

Tema

2

Unidad de Memoria

Problema 2-4

Se dispone de circuitos integrados de memoria RAM de 1024×4 bits. Estos chips disponen de dos señales de control, CS (selección del chip) y L/\bar{E} (lectura o escritura). Diseñar con ellos un sistema de memoria de $2K \times 8$ bits. La memoria debe responder sólo a las direcciones 0400H a 0BFFH y se comunica con el procesador central mediante las líneas de direcciones $A_{15}-A_0$, de datos D_7-D_0 , y las líneas de control \overline{MEML} (lectura) y \overline{MEME} (escritura). Para decodificar las direcciones utilizar un PLA indicando los términos producto y términos suma que debe incorporar.

Solución

Para construir esta memoria harán falta 4 circuitos integrados (2 para lograr la capacidad $\times 2$ para lograr el ancho de palabra adecuado). La Figura 2.1 muestra la manera de interconectar estos circuitos de memoria con la UCP.

A efectos prácticos, la memoria que se acaba de diseñar se puede considerar formada por dos bancos de memoria de 1K palabras de 8 bits/palabra. Son los bancos formados por los circuitos integrados CI0 y CI1, que contendrá las direcciones bajas (0 a 1023), y el formado por CI2 y CI3, que contendrá las direcciones altas (1024 a 2047). Los bancos se seleccionan mediante las señales CS_1 y CS_2 , respectivamente, que se generan mediante una PLA (según indica el enunciado) a partir de las señales de lectura/escritura y las líneas de direcciones.

Según indica el enunciado, esta memoria ocupa las direcciones 0400H a 0BFFH del sistema. Esto quiere decir que cuando la UCP coloque estas direcciones en el bus se habrá de acceder a estos módulos de memoria. Además, sólo se deberá acceder a ellos mediante estas direcciones, ya que el computador tendrá en general reservadas las direcciones restantes para otros fines (ROM, E/S, etc.) y si esta memoria respondiera a otras direcciones diferentes se producirían errores.

2 Problemas de Estructura y Tecnología de Computadores II

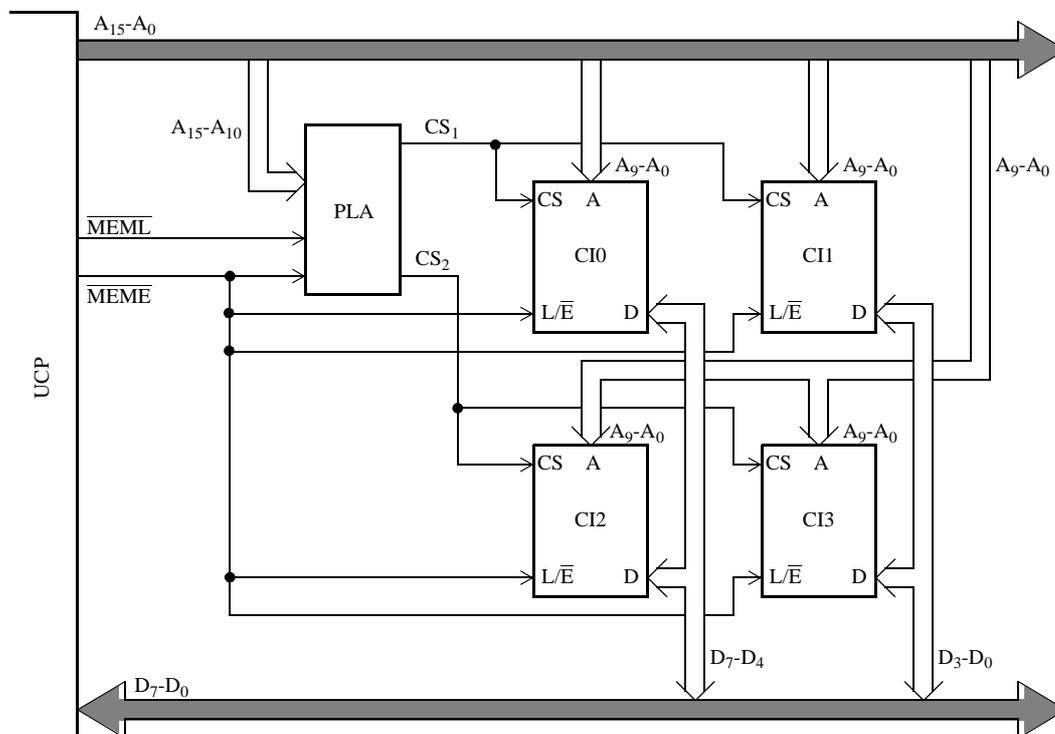


Figura 2.1: Diagrama de la memoria y su interconexión con la UCP

Como los circuitos de memoria utilizados en este diseño son de 1024 palabras (1K), hacen falta 10 bits (A_9-A_0) para direccionar una palabra dentro de un circuito. Los 6 bits de direcciones restantes ($A_{15}-A_{10}$) se utilizarán para seleccionar uno de los dos bancos de memoria.

En binario, las direcciones indicadas van de 0000 0100 0000 0000 a 0000 1011 1111 1111. Agrupando 6 y 10 bits, resulta 000001 0000000000 a 000010 1111111111. Es decir, son direcciones de la forma 000001 XXXXXXXXXXXX y 000010 XXXXXXXXXXXX. Cuando $A_{15}-A_{10}$ valgan 000001 se deberá activar CS_1 y cuando valgan 000010, CS_2 . Siempre, claro está, que se haya solicitado una operación de memoria.

La UCP utiliza las señales \overline{MEML} y \overline{MEME} para indicar la operación de memoria a realizar. Son posibles 4 combinaciones de estas dos señales. La Tabla 2.1 muestra su significado.

\overline{MEML}	\overline{MEME}	Operación
0	0	No permitida
0	1	Lectura
1	0	Escritura

$\overline{\text{MEML}}$	$\overline{\text{MEME}}$	Operación
1	1	Ninguna

Tabla 2.1: Posibles operaciones de memoria

Las señales $\overline{\text{MEML}}$ y $\overline{\text{MEME}}$ están activas con el valor 0 y las operaciones de lectura y escritura son mutuamente excluyentes (una operación no puede ser de lectura y escritura simultáneamente). Por eso, en la Tabla 2.1 la combinación 00 (ambas señales activas) no está permitida. La combinación 11 sí está permitida puesto que ambas señales no están activas, lo que indica que no hay que realizar una operación de memoria.

La Tabla 2.2 muestra la tabla de verdad de las señales CS_1 y CS_2 . A partir de ella se obtienen fácilmente sus expresiones lógicas.

$\overline{\text{MEML}}$	$\overline{\text{MEME}}$	Direcciones	Operación	CS_1	CS_2
0	0	Bajas	No permitida	0	0
		Altas	No permitida	0	0
0	1	Bajas	Lectura	1	0
		Altas	Lectura	0	1
1	0	Bajas	Escritura	1	0
		Altas	Escritura	0	1
1	1	Bajas	Ninguna	0	0
		Altas	Ninguna	0	0

Tabla 2.2: Generación de las señales CS_1 y CS_2

$$\text{CS}_1 = \overline{A_{15}}\overline{A_{14}}\overline{A_{13}}\overline{A_{11}}A_{10}\overline{\text{MEML}}\overline{\text{MEME}} + \overline{A_{15}}\overline{A_{14}}\overline{A_{13}}A_{11}A_{10}\overline{\text{MEML}}\overline{\text{MEME}}$$

$$\text{CS}_2 = \overline{A_{15}}\overline{A_{14}}\overline{A_{13}}A_{11}\overline{A_{10}}\overline{\text{MEML}}\overline{\text{MEME}} + \overline{A_{15}}\overline{A_{14}}\overline{A_{13}}A_{11}A_{10}\overline{\text{MEML}}\overline{\text{MEME}}$$

Estas expresiones se implementarán en una PLA con capacidad suficiente para funciones de 7 variables (obsérvese que en cualquier PLA las expresiones lógicas se implementan sin simplificar).

La señal L/\overline{E} puesta a 1 indica operación de lectura. Como las señales $\overline{\text{MEML}}$ y $\overline{\text{MEME}}$ son mutuamente excluyentes, en la Figura 2.1 se ha identificado $\overline{\text{MEME}}$ con L/\overline{E} . En efecto, ambas señales se pueden considerar equivalentes: en un acceso a memoria $\overline{\text{MEME}}$ a 0 implicará $\overline{\text{MEML}}$ a 1, lo que es una operación de escritura, y viceversa; los casos 00 y 11 no originarán problemas ya que entonces CS_1 y CS_2 son 0, según sus expresiones lógicas.

Problema 2-16

Se denomina *memoria entrelazada* a la memoria principal que se encuentra dividida en varios módulos

4 Problemas de Estructura y Tecnología de Computadores II

autónomos, de manera que se puede acceder al mismo tiempo a tantas posiciones de memoria como módulos tenga. Se denomina entrelazado de *orden inferior* cuando posiciones consecutivas de memoria principal se asignan a módulos consecutivos; se denomina entrelazado de *orden superior* si, empleando módulos de 2^n posiciones, se asignan las 2^n primeras posiciones al primer módulo, las 2^n posiciones siguientes al segundo módulo, y así sucesivamente.

Mostrar cómo se pueden implementar ambos tipos de entrelazado y discutir la principales características, así como las ventajas e inconvenientes, de cada uno de ellos.

Solución

Según indica el enunciado, la memoria entrelazada consiste en una memoria principal que se ha construido a partir de varios módulos independientes (chips) de memoria RAM. El esquema general de una memoria principal formada con M módulos se muestra en la Figura 2.2. Cuando la UCP coloca una dirección en el bus de direcciones, un módulo de decodificación de direcciones se encarga de traducir esta dirección del espacio de direcciones de la memoria principal a una dirección particular dentro de un determinado módulo, que es el único seleccionado.

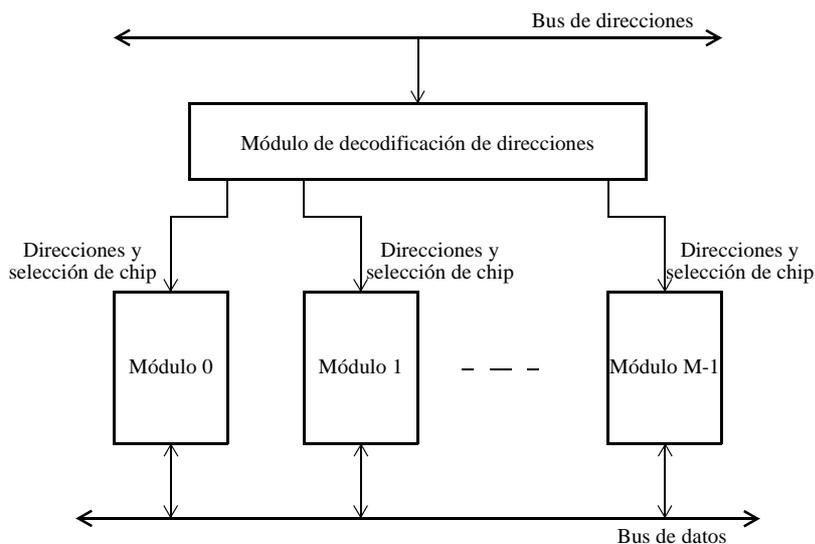


Figura 2.2: Esquema general de una memoria principal compuesta a partir de módulos independientes

Dependiendo de cómo se realice esta traducción una misma dirección de memoria principal será asignada a uno u otro módulo. Los distintos tipos de entrelazado propuestos se diferenciarán, por tanto, en su módulo decodificadores de direcciones.

En adelante se supondrá que la memoria principal esta formada por M módulos de memoria RAM de 2^n palabras cada uno. La capacidad total de la memoria será, por tanto, de $P = M \times 2^n$ palabras. Sin pérdida de generalidad, se supondrá además que M es una potencia de 2: $M = 2^m$ (en los párrafos siguientes se verá la razón de esta suposición). Es decir, la capacidad total de la memoria será de $P = 2^m \times 2^n = 2^{m+n}$ palabras, que serán direccionadas con $m + n$ bits de direcciones.

En el entrelazado de orden inferior posiciones consecutivas de la memoria principal se encuentran en módulos RAM consecutivos: la dirección 0 estará en el módulo 0, la 1 en el módulo 1, la 2 en el módulo 2, hasta llegar a la $M - 1$, que estará en el módulo $M - 1$; la dirección M estará nuevamente en el módulo 0, la $M + 1$ en el módulo 1, y así sucesivamente. Como regla general, la dirección D se encontrará en el módulo $(D \text{ mód } M)$.

Esto se puede conseguir utilizando los m bits menos significativos de la dirección para seleccionar el módulo correspondiente. Los n bits más significativos se utilizarán para indicar la palabra dentro del módulo seleccionado, como se muestra en la Figura 2.3.

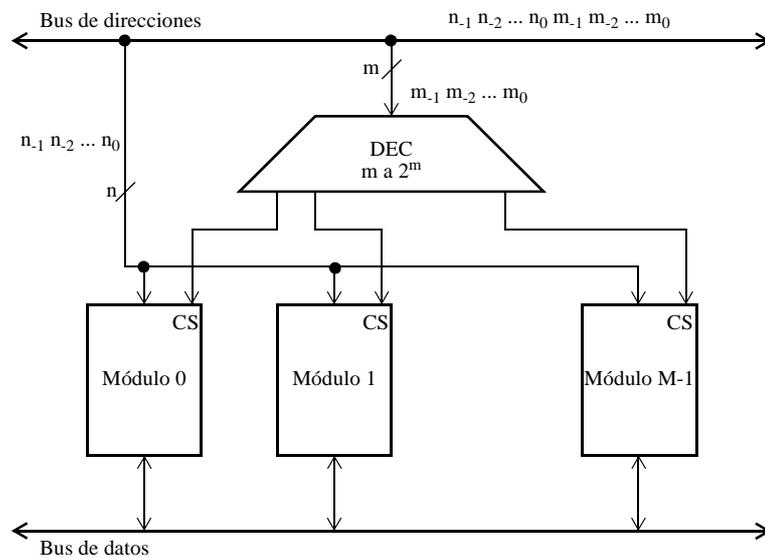


Figura 2.3: Entrelazado de orden inferior

La Tabla 2.3 muestra como se distribuyen las P direcciones de la memoria principal entre los M módulos que la componen. La primera columna indica la dirección dentro de cada módulo. Se comprueba que direcciones consecutivas se encuentran en módulos consecutivos.

Dirección dentro del módulo	MÓDULO				
	0	1	2	...	M-1
0	0	1	2	...	M-1
1	M	M+1	M+2	...	2M-1
2	2M	2M+1	2M+2	...	3M-1
...
2^n-1	P-M	P-M+1	P-M+2	...	P-1

Tabla 2.3: Mapa de direcciones de una memoria con entrelazado de orden inferior

6 Problemas de Estructura y Tecnología de Computadores II

Además, en esta tabla se observa que si M no fuera una potencia de 2, $M < 2^m$, entonces quedarían “huecos” en la memoria: direcciones del espacio de memoria principal que no tienen un bloque físico de memoria en el que alojarse. Por ejemplo, si $M = 2^m - 1$, las direcciones $M - 1, 2M - 1, 3M - 1, \dots, P - 1$ no tendrían su módulo RAM (el $M - 1$), “faltarían estas direcciones” no consecutivas, y la memoria no funcionaría correctamente.

Para lograr el entrelazado de orden superior hay que utilizar los bits más significativos para la selección del módulo, tal como se muestra en la Figura 2.4.

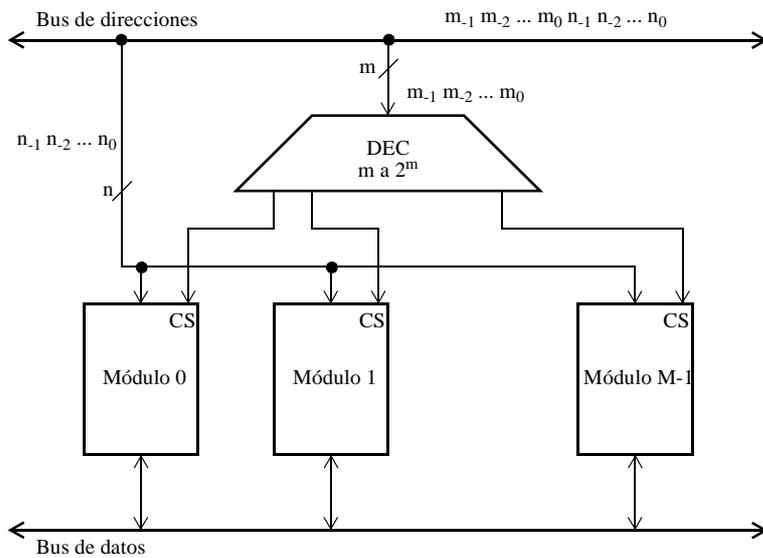


Figura 2.4: Entrelazado de orden superior

El mapa de direcciones de esta memoria se indica en la Tabla 2.4. En este caso, cada bloque de memoria contiene 2^n direcciones consecutivas de memoria principal.

Dirección dentro del módulo	MÓDULO				
	0	1	2	...	M-1
0	0	2^n	2^{n+1}	...	2^{m+n-1}
1	1	$2^{n+1}+1$	$2^{n+1}+2$...	$2^{m+n-1}+1$
2	2	$2^{n+2}+2$	$2^{n+1}+3$...	$2^{m+n-1}+2$
...
2^n-1	2^n-1	$2^{n+1}-1$	$2^{n+2}-1$...	P-1

Tabla 2.4: Mapa de direcciones de una memoria con entrelazado de orden superior

En este caso, si M no es una potencia de 2 no origina ningún fallo de la memoria, puesto que no quedan

huecos no consecutivos: la memoria tendrá menos de P palabras. Así, por ejemplo, si $M = 2^m - 1$ (falta el módulo $M - 1$), la memoria tendrá únicamente $P - 2^n$ palabras.

Utilizando esta organización modular de la memoria, bien de orden inferior o superior, se pueden ir entremezclando o entrelazando los accesos a los diversos módulos que componen la memoria principal. Obsérvese que en un instante de tiempo determinado sólo puede acceder al bus (para lectura o escritura) un *único* módulo. Pero como la velocidad de los chips de memoria principal es bastante inferior a la de los circuitos de la unidad de control y la unidad de procesamiento se pueden ordenar accesos a distintos módulos, con la consiguiente mejora en el rendimiento, según se muestra en el problema 1-3.

Normalmente, y debido al principio de localidad de la referencia, se direccionan posiciones de memoria consecutivas. En este caso el entrelazado de orden inferior es ventajoso, pues se pueden ordenar accesos a M posiciones consecutivas, una en cada módulo. Sin embargo, en el entrelazado de orden superior direcciones consecutivas se encontrarán, generalmente, en el mismo módulo, por lo que sólo se puede acceder a una de ellas en cada ocasión.

Por otra parte, y como ya se ha visto, la ausencia de uno de los módulos en el caso de entrelazado de orden inferior origina huecos en la memoria difíciles de solucionar. Por este motivo es una memoria poco tolerante a fallos. Dado que un sistema de este tipo ha de tener físicamente sus M módulos, ampliar la memoria es difícil, pues supondría añadir nuevas líneas de direcciones al bus.

La memoria con entrelazado de orden superior soporta mejor los fallos, pues el fallo de un módulo origina un hueco de 2^n posiciones *consecutivas*, lo que no inutiliza completamente la memoria. Además, es en principio factible escribir un programa para que el sistema ignore el hueco y no utilice (esto sería más difícil utilizando entrelazado de orden inferior). Con entrelazado de orden superior es fácil ampliar la capacidad de la memoria, ya que se puede comenzar con pocos módulos de memoria e irlos ampliando hasta completar los M módulos.