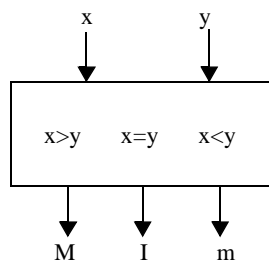


---

### Solución

A) El módulo comparador de dos bits que se quiere diseñar viene representado en la Figura 96-1-2, donde  $x$  e  $y$  son las entradas de datos, y  $M$ ,  $I$  y  $m$  son las tres salidas del comparador.



**Figura 96-1-2** Diagrama de bloques de un comparador de dos bits

Como el enunciado sólo permite utilizar puertas lógicas vamos a implementarlo mediante un circuito combinacional. La Tabla 96-1-1 muestra la tabla de verdad del comparador de 2 bits.

---

x	y	M	I	m
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

**Tabla 96-1-1** Tabla de verdad del comparador de 1 bit

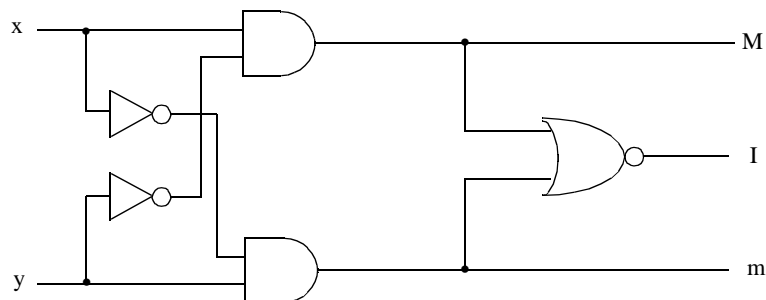
A partir de la Tabla 96-1-1 se deducen las siguientes funciones lógicas para M, I y m:

$$M = x \bar{y}$$

$$I = \bar{x} \bar{y} + x y = \overline{x \bar{y} + \bar{x} y}$$

$$m = \bar{x} y$$

y el circuito lógico correspondiente se muestra en la Figura 96-1-3.



**Figura 96-1-3** Comparador de 2 bits solicitado en el apartado A)

**B)** Para comparar X e Y es necesario comparar cada bit de uno de ellos con el bit de igual peso del otro. Para hacer estas comparaciones utilizamos comparadores de 1 bit como el diseñado en el apartado anterior. Si el resultado de la comparación de  $x_i$  e  $y_i$  es:  $M_i$ ,  $I_i$  y  $m_i$ , se cumple que:

$$M_i = 1 \quad \text{si} \quad x_i > y_i$$

$$I_i = 1 \quad \text{si} \quad x_i = y_i$$

$$m_i = 1 \quad \text{si} \quad x_i < y_i$$

A partir de  $M_i$ ,  $I_i$  y  $m_i$  se generan las salidas  $M$ ,  $I$  y  $m$  del comparador de 3 bits mediante las siguientes funciones booleanas:

$$M = M_2 + I_2 M_1 + I_2 I_1 M_0$$

$$I = I_2 I_1 I_0$$

$$m = m_2 + I_2 m_1 + I_2 I_1 m_0$$

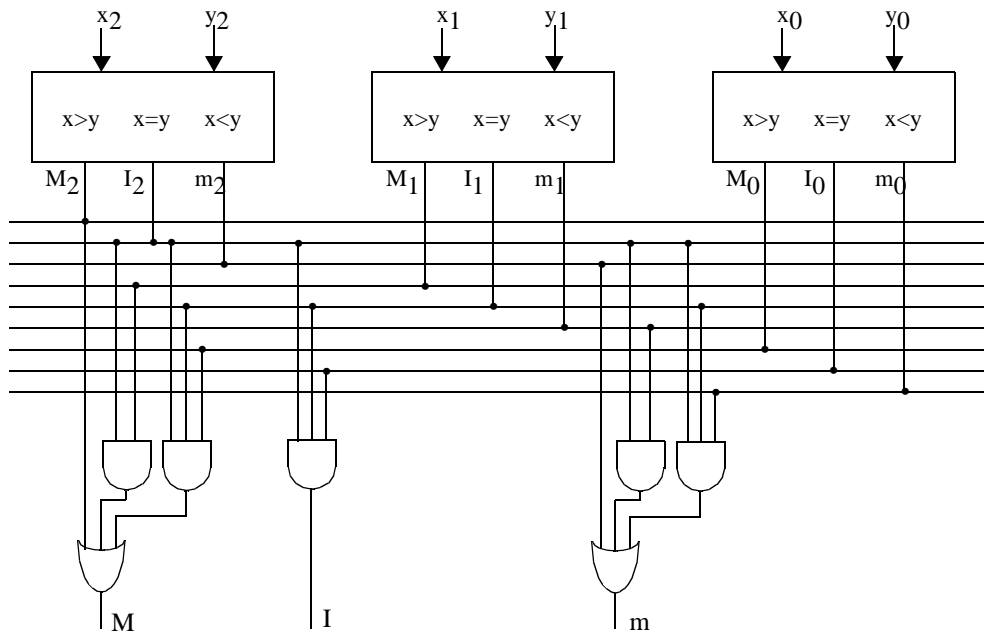
La explicación de estas expresiones es inmediata:

$$\mathbf{x} > \mathbf{y} \quad \text{si} \quad (x_2 > y_2) \quad \text{ó} \quad ((x_2 = y_2) \text{ y } (x_1 > y_1)) \quad \text{ó} \quad ((x_2 = y_2) \text{ y } (x_1 = y_1) \text{ y } (x_0 > y_0))$$

$$\mathbf{x} = \mathbf{y} \quad \text{si} \quad (x_2 = y_2) \text{ y } (x_1 = y_1) \text{ y } (x_0 = y_0)$$

$$\mathbf{x} < \mathbf{y} \quad \text{si} \quad (x_2 < y_2) \quad \text{ó} \quad ((x_2 = y_2) \text{ y } (x_1 < y_1)) \quad \text{ó} \quad ((x_2 = y_2) \text{ y } (x_1 = y_1) \text{ y } (x_0 < y_0))$$

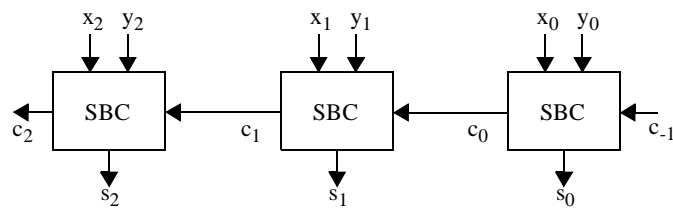
La Figura 96-1-4 muestra el circuito lógico pedido en este apartado obtenido a partir de las expresiones anteriores.



**Figura 96-1-4** Circuito lógico de un comparador de dos números de 3 bits

---

C) Sobre este apartado no hay ningún comentario a hacer, y directamente la solución es la mostrada en la Figura 96-1-5.



**Figura 96-1-5** Sumador paralelo de números de 3 bits

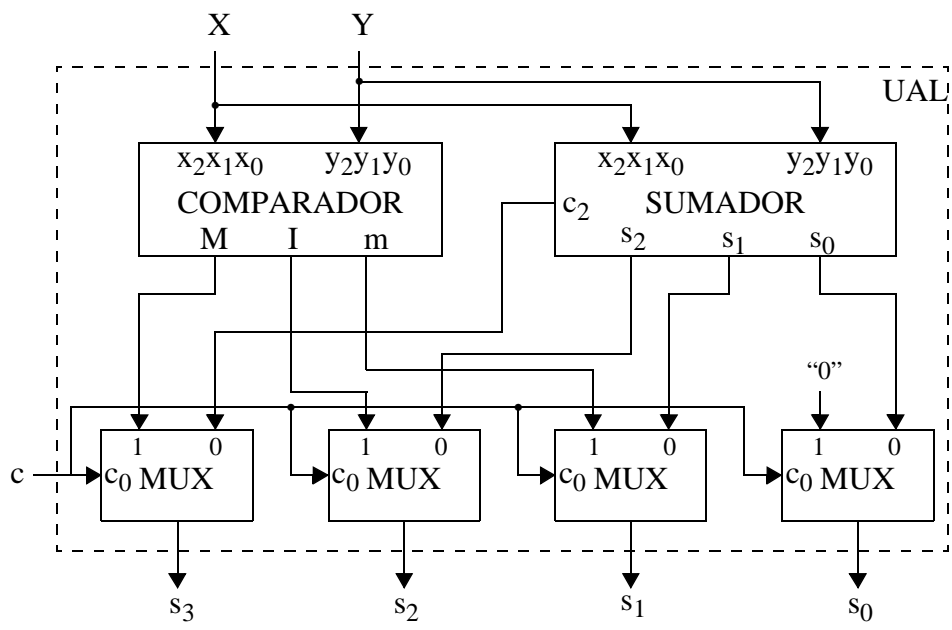
D) En la Figura 96-1-6 se muestra la estructura de la UAL pedida en el enunciado del problema, donde además de los módulos diseñados en los apartados anteriores, se han empleado 4 multiplexores con 2 entradas de datos y una salida.

La entrada de selección de la “c” del la UAL está conectada directamente a la entrada de selección de los cuatro multiplexores de forma que:

- si  $c = 0$  la salida de la UAL  $S = M \text{ I m } 0$
- si  $c=1$  la salida de la UAL  $S = X+Y$

Hay que observar como el acarreo de salida del sumador de 3 bits se ha conectado a la salida más significativa de la UAL, ya que esa es realmente su función. El resultado de la suma de 2 números de 3 bits requiere un máximo de 4 bits.

---



**Figura 96-1-6** Estructura de la UAL pedida en el problema