

Problema 3:

Se desea construir un sumador binario con aceleración de arrastres (SBAA) para 2 números binarios X e Y de 3 bits cada uno. Para ello, el diseño se realizará siguiendo los siguientes pasos:

- (1.5 puntos) La figura de la izquierda muestra un sumador binario completo modificado (SBC modificado) con dos entradas de datos x_i e y_i y un acarreo de entrada c_{i-1} . Exprese la función lógica de sus cuatro salidas: s_i (suma), c_i (acarreo de salida), g_i (generación de acarreo) y p_i (propagación de acarreo). A partir de estas funciones lógicas, y empleando únicamente puertas lógicas, diseñe este SBC modificado.
- (1.5 puntos) La figura central muestra un circuito de aceleración de arrastres (CAA) de 3 bits con tres entradas de generación de acarreo g_i , tres entradas de propagación de acarreo p_i y un acarreo de entrada c_{-1} . Exprese las funciones lógicas de los acarreos c_2 , c_1 y c_0 generados por este módulo. A partir de estas funciones lógicas, y empleando únicamente puertas lógicas, diseñe este CAA.
- (1 punto) Utilizando únicamente 3 SBC modificados como los diseñados en A) y el CAA diseñado en B), construya razonadamente el sumador binario con aceleración de arrastre de 3 bits (SBAA) solicitado en el enunciado y mostrado en la figura de la derecha.

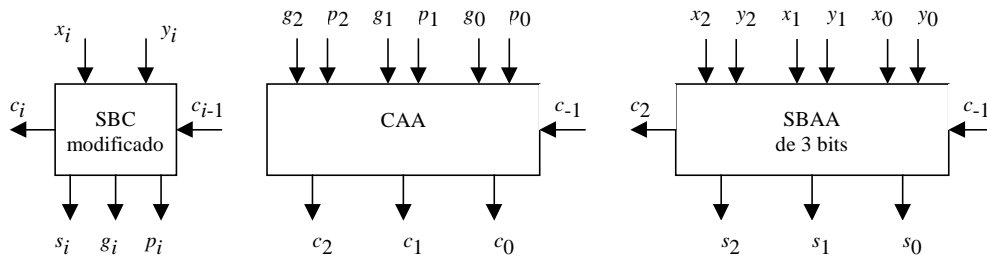


Figura 98-3-1: Módulos del problema

Sol

A) Las expresiones que vamos a utilizar para implementar el SBC modificado son:

$$p_i = x_i \oplus y_i$$

$$g_i = x_i y_i$$

$$S_i = x_i \oplus y_i \oplus c_{i-1} = p_i \oplus c_{i-1}$$

$$c_i = x_i y_i + (x_i \oplus y_i) c_{i-1} = g_i + p_i c_{i-1}$$

y el circuito correspondiente es el mostrado en la Figura 98-3-2.

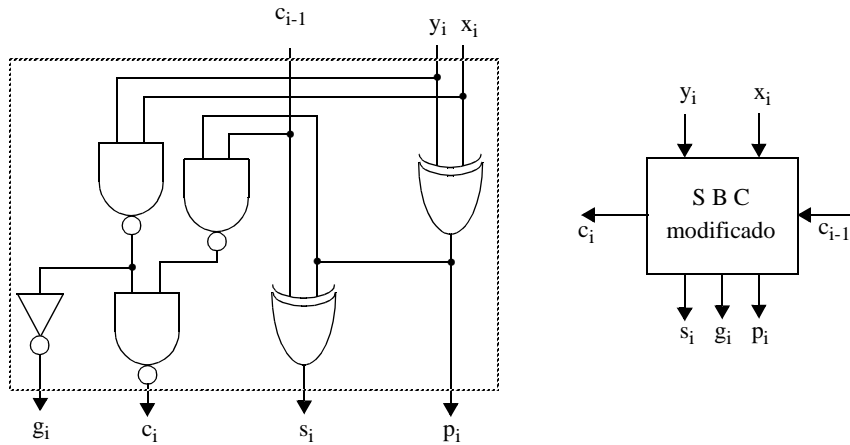


Figura 98-3-2: SBC modificado

B) Para construir las expresiones de c_2 , c_1 y c_0 generados por este módulo a partir de las entradas de generación de acarreo g_i ($i=1,2,3$), las entradas de propagación de acarreo p_i ($i=1,2,3$) y el acarreo de entrada c_{-1} , se comienza por la expresión de c_0 y luego se va sustituyendo su valor en las siguientes.

- $c_0 = g_0 + p_0 c_{-1}$
- $c_1 = g_1 + p_1 c_0 = g_1 + p_1 (g_0 + p_0 c_{-1}) = g_1 + p_1 g_0 + p_1 p_0 c_{-1}$
- $c_2 = g_2 + p_2 c_1 = g_2 + p_2 (g_1 + p_1 g_0 + p_1 p_0 c_{-1}) = g_2 + p_2 g_1 + p_2 p_1 g_0 + p_2 p_1 p_0 c_{-1}$

El circuito resultante se muestra en la Figura 98-3-3.

C) Los tres SBC modificados y el CAA los podemos conectar según se muestra en la Figura 98-3-4. En este diseño se puede observar cómo los arrastres que se introducen en los SBC modificados son los generados directamente por el módulo CAA y que, sin embargo, los arrastres generados por estos SBC modificados se quedan sin utilizar. Esta es la idea fundamental de esta técnica.

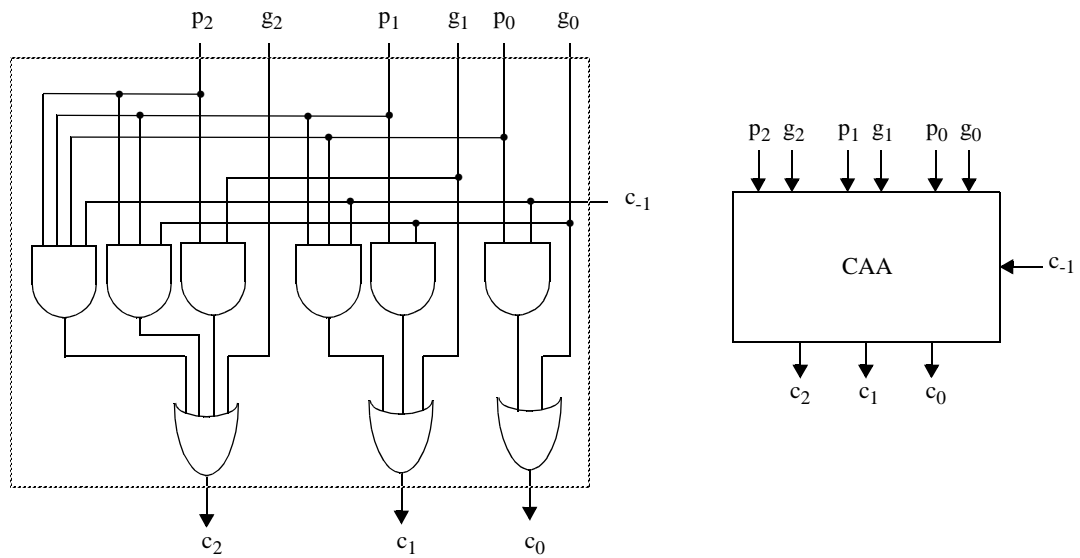


Figura 98-3-3: Circuito de aceleración de arrastres (CAA)

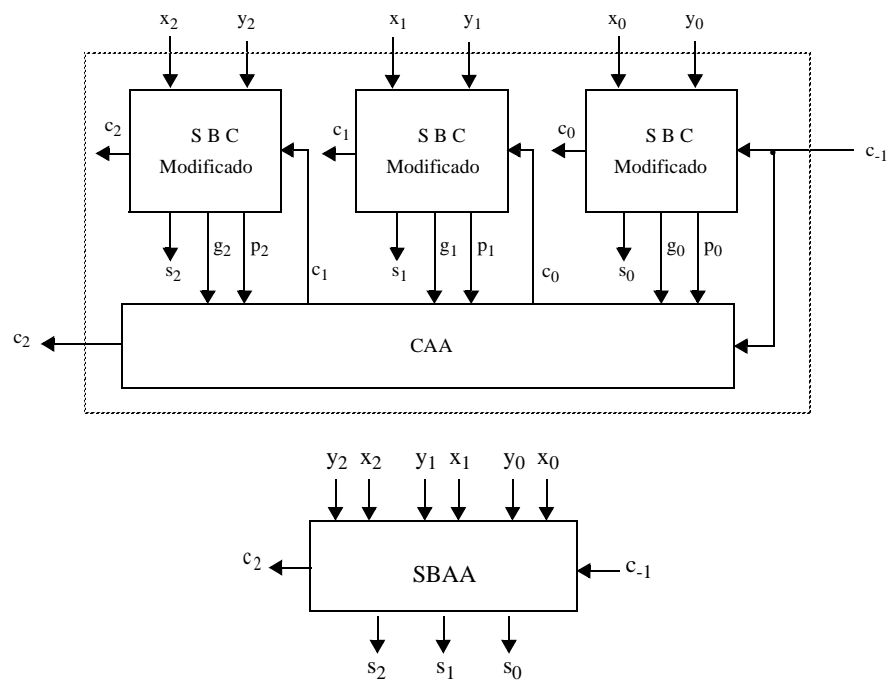


Figura 98-3-4: Sumador binario de 3 bits con aceleración de arrastre