

Figura 98-1-1: Módulo UAL

Definición

A) Las expresiones que vamos a utilizar para implementar el SBC son:

$$S_i = x_i \oplus y_i \oplus c_{i-1}$$

$$c_i = x_i y_i + (x_i \oplus y_i) c_{i-1}$$

donde x_i e y_i son los datos de entrada, c_{i-1} es el acarreo de entrada, S_i es el resultado de la suma y c_i es el acarreo de salida. El diseño resultante se muestra en la Figura 98-1-2.

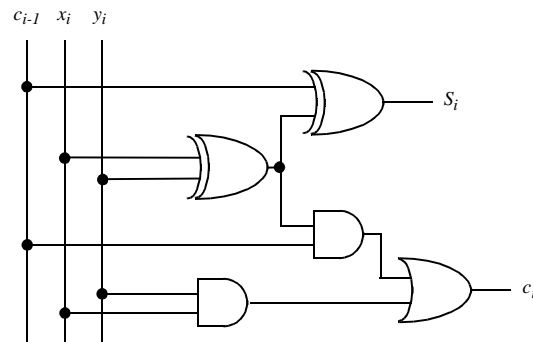


Figura 98-1-2: Sumador Binario Completo

B) Como $x - y = x + (-y)$, si se dispone de un circuito que calcula la suma de números negativos se puede efectuar la operación de restar. En el caso de la representación de números negativos en complemento a 2 la resta resulta especialmente sencilla, porque el valor negativo es muy simple de realizar. En efecto, si $y = y_{n-1} y_{n-2} \dots y_1 y_0$ es un número entero representado en complemento a 2, entonces $-y$ se calcula directamente: $-y = \bar{y}_{n-1} \bar{y}_{n-2} \dots \bar{y}_1 \bar{y}_0 + 1$. Así pues, para obtener $-y$ a partir de y , se efectúan las dos operaciones siguientes:

- 1) Sustituir todos los bits de y por su complemento (es decir, cambiar $0 \rightarrow 1$ y $1 \rightarrow 0$)
- 2) Sumar 1 al bit menos significativo

Teniendo esto en cuenta, se puede diseñar fácilmente un único circuito sumador-restador (ver Figura 98-1-3) donde la señal de control M gobierna la función a realizar:

- Si $M = 0$: $S = x + y$
- Si $M = 1$: $S = x - y$

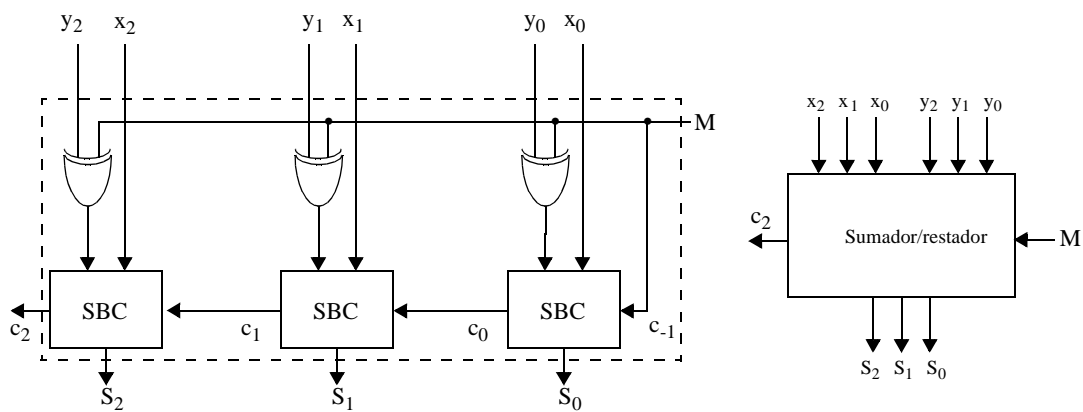


Figura 98-1-3: Sumador-restador binario paralelo con propagación de arrastre

C) Este comparador consiste en un circuito con 6 entradas ($x_2x_1x_0y_2y_1y_0$) y tres salidas (MIm). El módulo de memoria ROM necesario tiene que tener un tamaño mínimo de $2^6 \times 3$. El contenido de las 16 primeras posiciones de memoria se muestra en la Tabla 98-1-2.

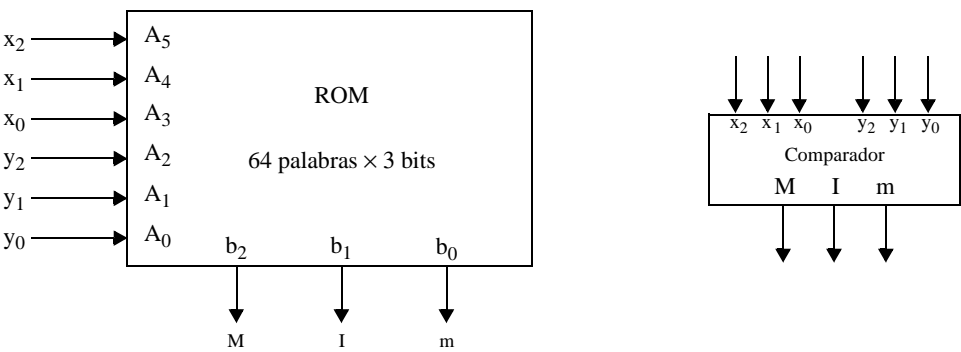


Figura 98-1-4: Comparador diseñado con memoria ROM

Dirección memoria ($x_2 x_1 x_0 y_2 y_1 y_0$)	Contenido (M I m)
$A_5 A_4 A_3 A_2 A_1 A_0$	$b_2 b_1 b_0$
0 0 0 0 0 0	0 1 0
0 0 0 0 0 1	0 0 1
0 0 0 0 1 0	0 0 1
0 0 0 0 1 1	0 0 1
0 0 0 1 0 0	0 0 1
0 0 0 1 0 1	0 0 1
0 0 0 1 1 0	0 0 1
0 0 0 1 1 1	0 0 1
0 0 1 0 0 0	1 0 0
0 0 1 0 0 1	0 1 0
0 0 1 0 1 0	0 0 1
0 0 1 0 1 1	0 0 1
0 0 1 1 0 0	0 0 1
0 0 1 1 0 1	0 0 1
0 0 1 1 1 0	0 0 1
0 0 1 1 1 1	0 0 1
.....

Tabla 98-1-2: Contenido de las 16 primeras posiciones de memoria

D) En la Figura 98-1-5 se muestra el diseño de la UAL pedida en el problema donde se han utilizado 4 multiplexores para seleccionar el valor adecuado a colocar en la salida, gobernados por las entradas c_1 y c_0 . También la entrada de control de la UAL c_0 se utiliza para seleccionar la operación a realizar por el Sumador/Restador.

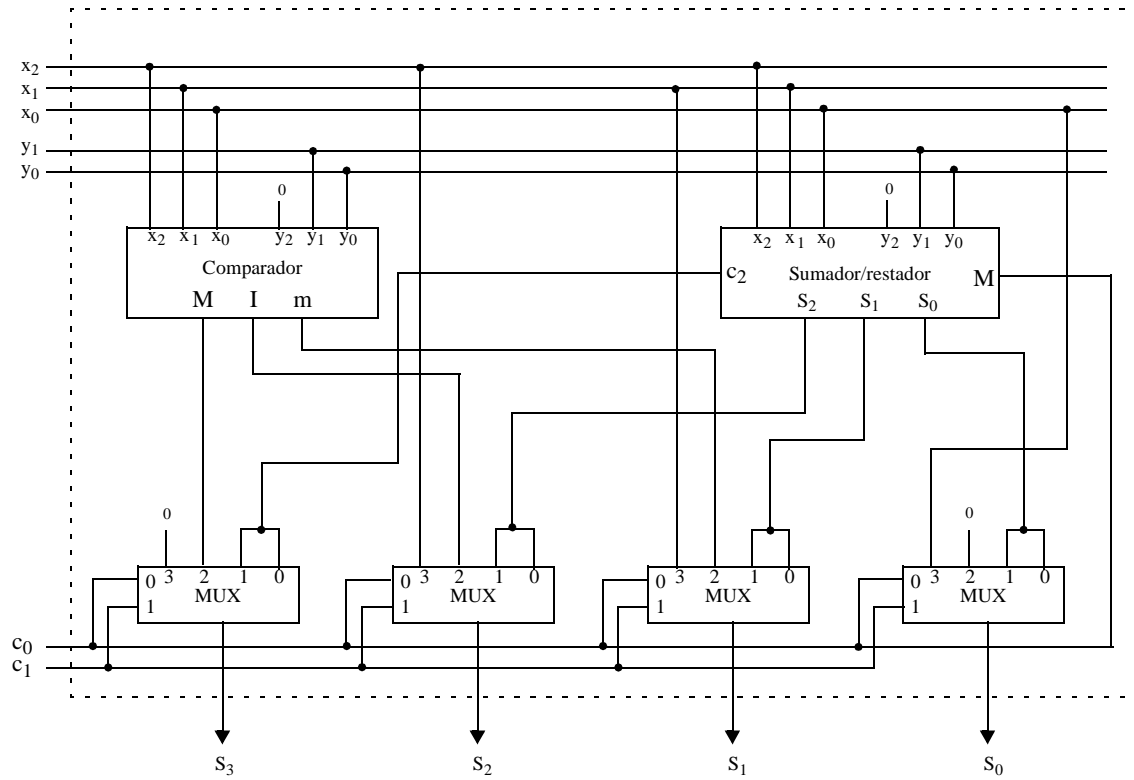


Figura 98-1-5: UAL pedida en el problema

Fig 2: