

DISEÑO DEL PROCESADOR

Partes de un sistema digital

- Unidad de procesamiento: Se almacenan y transforman los datos
- Unidad de control: Genera las secuencias de señales de control de acuerdo al algoritmo de transferencia de registros.

Tipos de microoperaciones

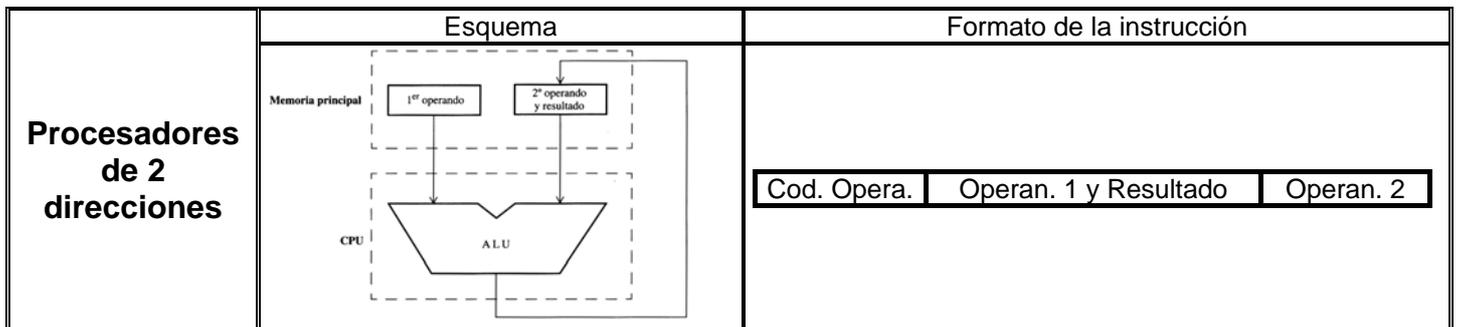
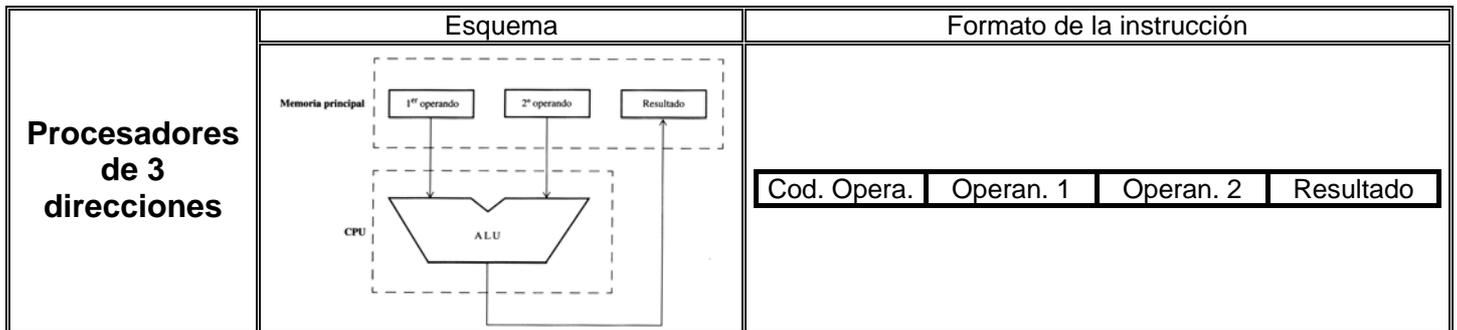
- De transferencia
- De proceso

Fases en el ciclo de ejecución de una instrucción

- Búsqueda
- Decodificación
- Búsqueda de los operandos
- Ejecución

Tipos de procesadores según el número de direcciones

- 3 direcciones
- 2 direcciones
- 1 dirección
- 0 direcciones



	Esquema	Formato de la instrucción
Procesadores de 1 dirección		<div style="border: 1px solid black; padding: 5px; display: flex; justify-content: space-between;"> Cod. Opera. Operando </div>

	Esquema	Formato de la instrucción
Procesadores de 0 direcciones	<p style="font-size: small; text-align: center;">Flujo de datos en un procesador de pila en las instrucciones con referencia a memoria</p>	<div style="border: 1px solid black; padding: 5px; display: flex; justify-content: center; align-items: center;"> Código Operación </div>

	Esquema	Formato de la instrucción
Procesador sin ALU	<p style="text-align: center; font-size: small;">Estructura de un procesador sin ALU</p>	

Procesadores con banco de registros	- Acceso más rápido a la memoria
	- Menos espacio en memoria

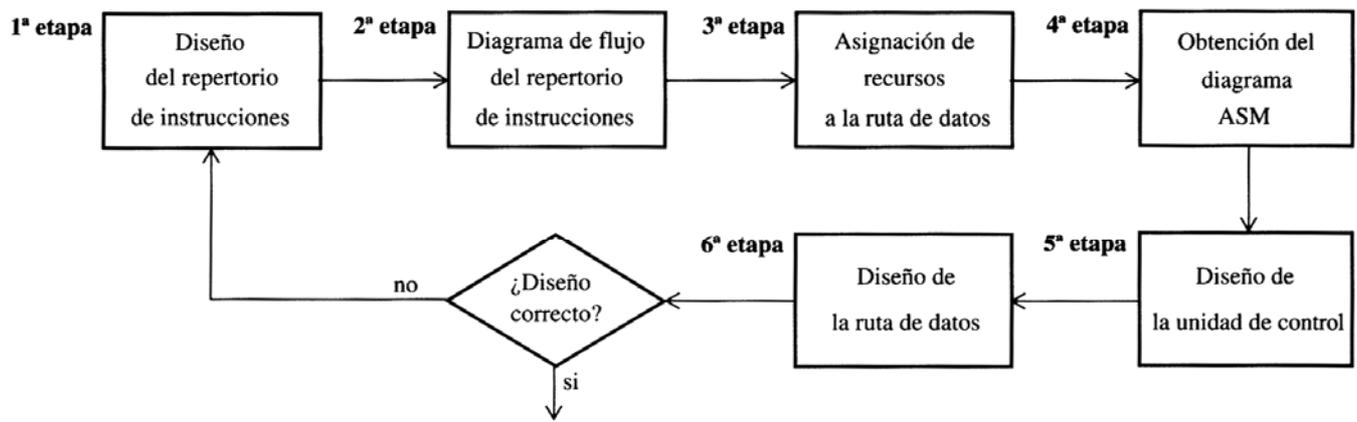
Modos de direccionamiento

- Implícito
- Inmediato
- Directo
- Relativo
- Indirecto
- Indexado

Fases en la ejecución de una instrucción

- Búsqueda de la instrucción (Emplea un ciclo de reloj)
- Decodificación
- Búsqueda de los operandos
- Ejecución

Fases en el diseño del procesador:



Etapas en el diseño del procesador

Diseño de un procesador elemental SIMPLE1

Formato de instrucción:

11	10	9	8	7	6	5	4	3	2	1	0
Cod. Operac.			Operando								

- Registros**
- PC: Como la capacidad del operando → 9 bits
 - IR: Reg. Instrucciones → anchura del formato de la instrucción → 12 bits
 - MAR: Reg. Direcc. Mem. → capacidad de direccionamiento → 9 bits
 - MBR: Reg. Datos de memoria → anchura del formato de la instruc. → 12 bits
 - A, B: Registros de trabajo → Como la capacidad del operando → 9 bits
 - ALU: Suma / resta

Instrucciones:

Nemotécnico	Código binario	Instrucción	Acción
LDA x	LDA = 001	Carga directa	$A \leftarrow M[x]$
STA x	STA = 010	Almacenamiento directo	$M[x] \leftarrow A$
ADD	ADD = 011	Suma B a A	$A \leftarrow A + B$
SUB	SUB = 100	Resta B de A	$A \leftarrow A - B$
MAB	MAB = 101	Mueve A a B	$B \leftarrow A$
BR x	BR = 110	Salto incondicional a x	$PC \leftarrow x$
BRN x	BRN = 111	Salto a x si indicador negativo a 1	$PC \leftarrow x$ si $IN = 1$

Repertorio de instrucciones de SIMPLE1

Diagrama de flujo del repertorio de instrucciones:

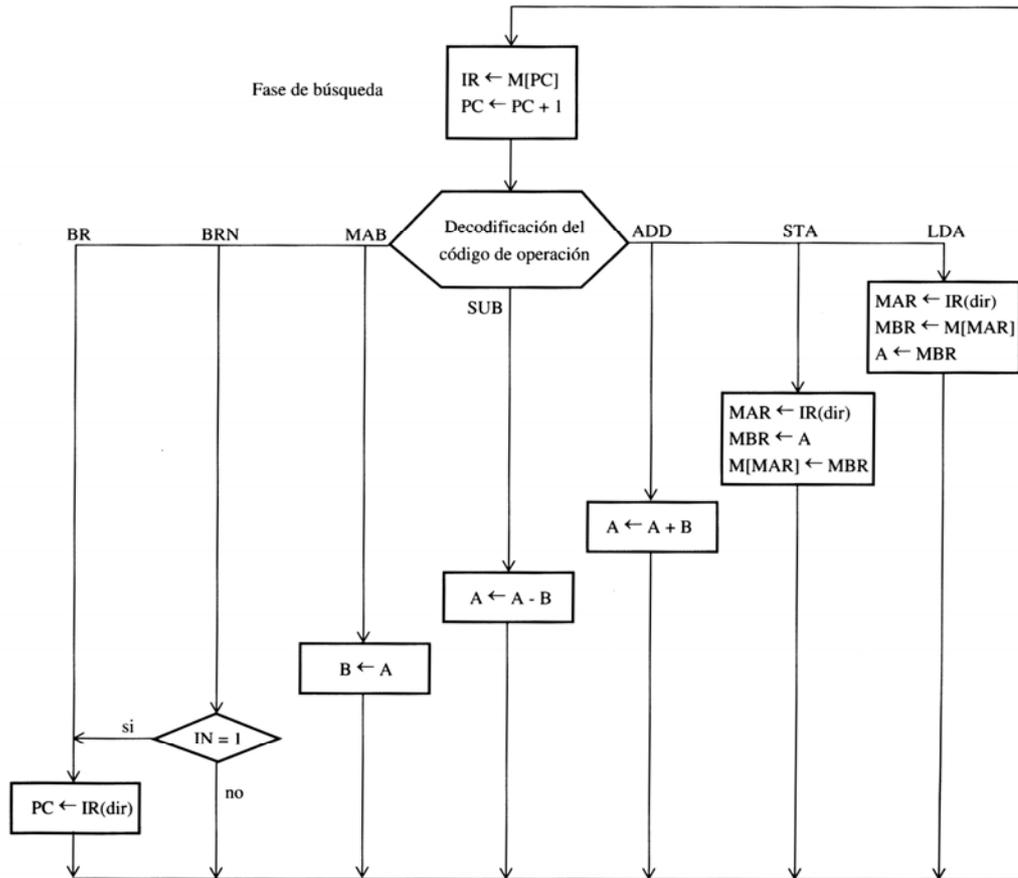


Diagrama de flujo del repertorio de instrucciones de SIMPLE1

Asignación de recursos:

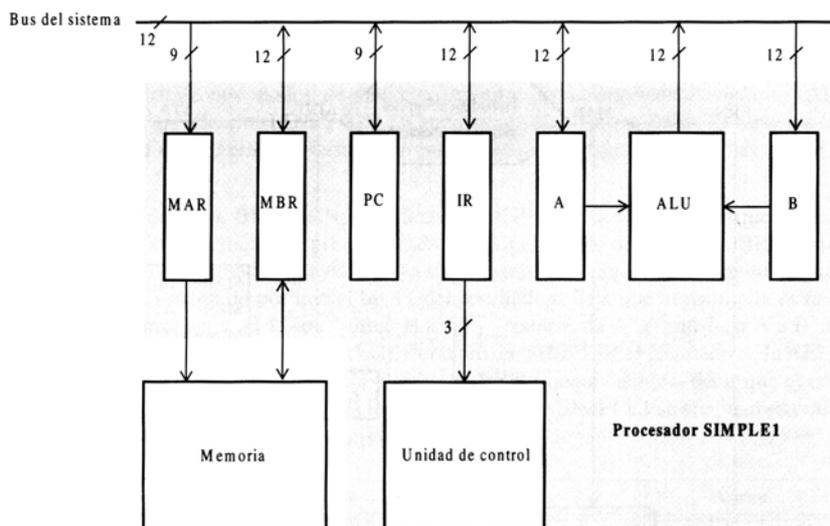
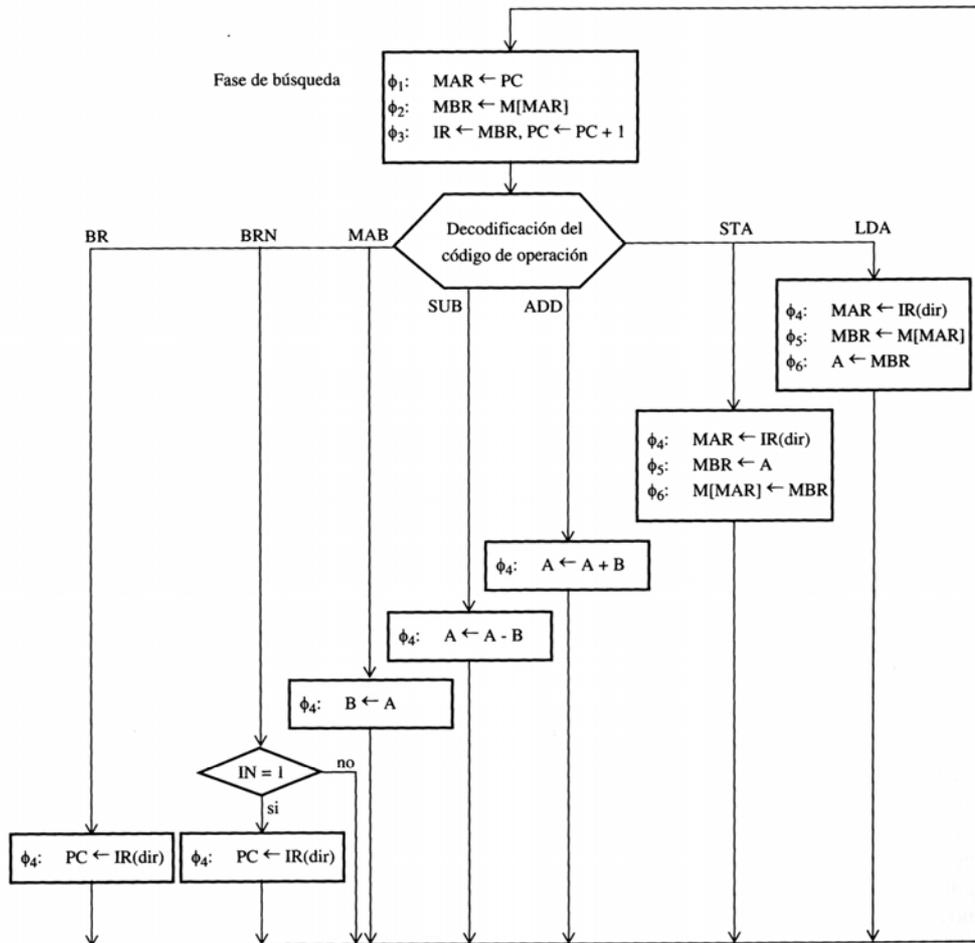
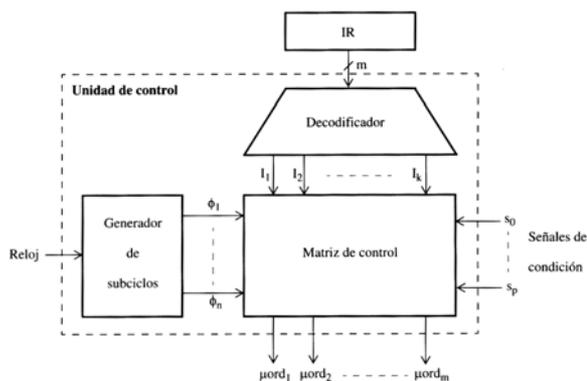


Diagrama ASM del procesador:



: Diagrama ASM del procesador SIMPLE1

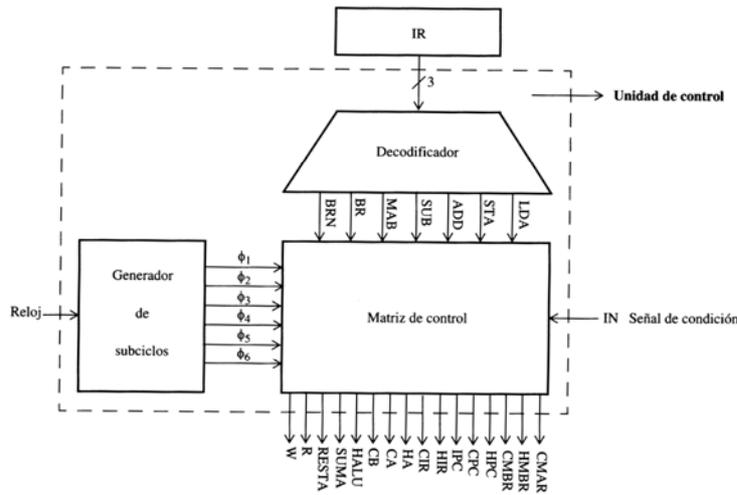
Diseño de la unidad de control:



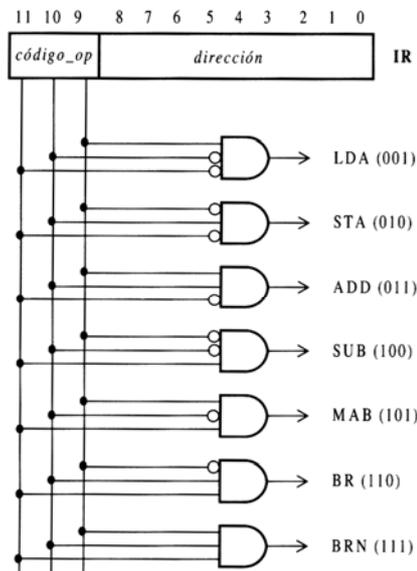
H	Habilitar salida de registro a bus
C	Cargar registro desde bus

Señal de control	Microorden controlada
R	Leer de la memoria ($MBR \leftarrow M[MAR]$)
W	Escribir en la memoria ($M[MAR] \leftarrow MBR$)
CMAR	Cargar el contenido del bus en MAR ($MAR \leftarrow Bus$)
HMBR	Habilitar el registro MBR ($Bus \leftarrow MBR$)
CMBR	Cargar el contenido del bus en MBR ($MBR \leftarrow Bus$)
HPC	Habilitar el registro PC ($Bus \leftarrow PC$)
CPC	Cargar el contenido del bus en PC ($PC \leftarrow Bus$)
IPC	Incrementar el contenido de PC ($PC \leftarrow PC + 1$)
HIR	Habilitar el registro IR ($Bus \leftarrow IR$)
CIR	Cargar el contenido del bus en IR ($IR \leftarrow Bus$)
HA	Habilitar el registro A ($Bus \leftarrow A$)
CA	Cargar el contenido del bus en A ($A \leftarrow Bus$)
CB	Cargar el contenido del bus en B ($B \leftarrow Bus$)
HALU	Habilitar la unidad aritmético-lógica
SUMA	Seleccionar la función de suma en la unidad aritmético-lógica
RESTA	Seleccionar la función de resta en la unidad aritmético-lógica

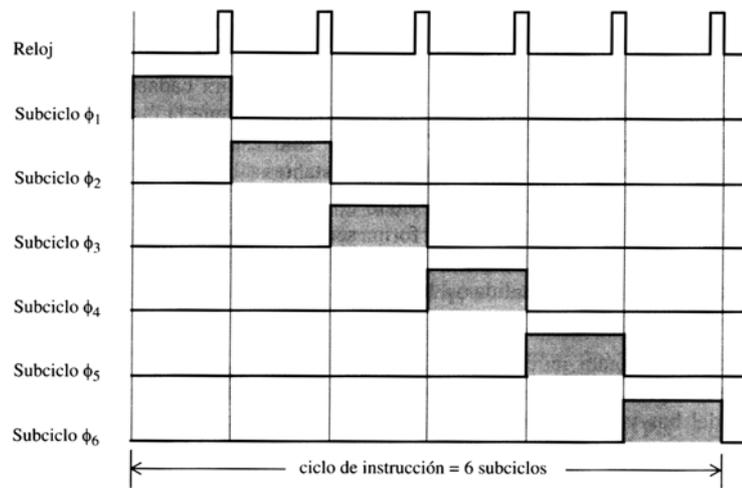
Señales de control del procesador SIMPLE1



Unidad de control del procesador SIMPLE1 con decodificación de sus entradas



Decodificador de instrucciones del procesador SIMPLE1

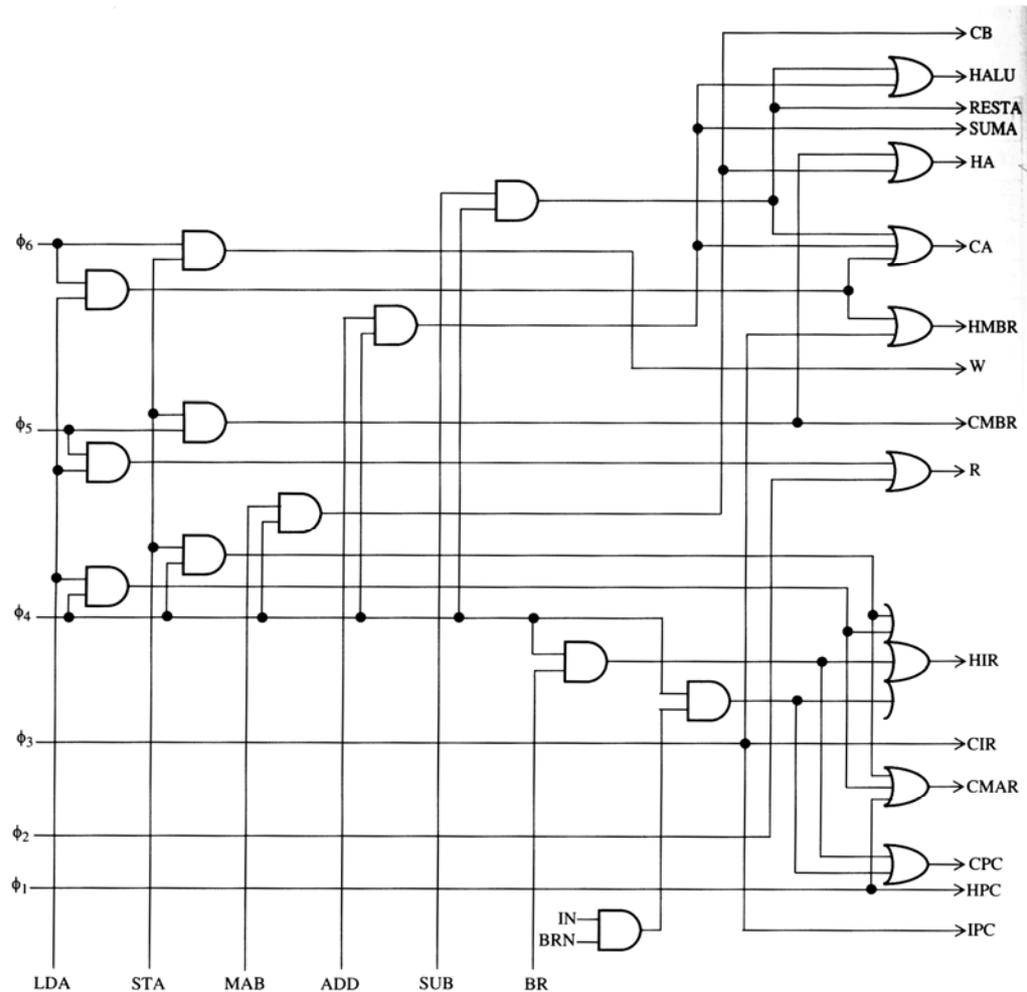


División del ciclo de instrucción del procesador SIMPLE1 en 6 subciclos

	IPC	CPC	HPC	CMAR	R	W	CMBR	HMBR	CIR	HIR	CA	HA	SUMA	RESTA	HALU	CB
Búsqueda	ϕ_3		ϕ_1	ϕ_1	ϕ_2			ϕ_3	ϕ_3							
LDA				ϕ_4	ϕ_5			ϕ_6		ϕ_4	ϕ_6					
STA				ϕ_4		ϕ_6	ϕ_5			ϕ_4		ϕ_5				
ADD											ϕ_4		ϕ_4		ϕ_4	
SUB											ϕ_4			ϕ_4	ϕ_4	
MAB												ϕ_4				ϕ_4
BR		ϕ_4								ϕ_4						
BRN		ϕ_4 IN								ϕ_4 IN						

Tabla 6.9: Matriz de instantes de activación de las señales de control para cada instrucción de SIMPLEI

$$\begin{aligned}
 \text{IPC} &= \phi_3 \\
 \text{CPC} &= \phi_4 \text{ BR} + \phi_4 \text{ IN BRN} \\
 \text{HPC} &= \phi_1 \\
 \text{CMAR} &= \phi_1 + \phi_4 \text{ LDA} + \phi_4 \text{ STA} \\
 \text{R} &= \phi_2 + \phi_5 \text{ LDA} \\
 \text{W} &= \phi_6 \text{ STA} \\
 \text{CMBR} &= \phi_5 \text{ STA} \\
 \text{HMBR} &= \phi_3 + \phi_6 \text{ LDA} \\
 \text{CIR} &= \phi_3 \\
 \text{HIR} &= \phi_4 \text{ LDA} + \phi_4 \text{ STA} + \phi_4 \text{ BR} + \phi_4 \text{ IN BRN} \\
 \text{CA} &= \phi_6 \text{ LDA} + \phi_4 \text{ ADD} + \phi_4 \text{ SUB} \\
 \text{HA} &= \phi_5 \text{ STA} + \phi_4 \text{ MAB} \\
 \text{SUMA} &= \phi_4 \text{ ADD} \\
 \text{RESTA} &= \phi_4 \text{ SUB} \\
 \text{HALU} &= \phi_4 \text{ ADD} + \phi_4 \text{ SUB} \\
 \text{CB} &= \phi_4 \text{ MAB}
 \end{aligned}$$



Matriz de control del procesador SIMPLEI

JUNIO 2003 RESERVA

3- En un procesador con instrucciones de cero direcciones (procesador con pila), indique si las secuencias de instrucciones propuestas calculan la expresión $X=Y^2(X+Z)$

I. Push[X]; Push[Z]; Add; Push[Y]; Push[Y]; Mult; Mult; Pop[X]

II. Push[Y]; Push[Y]; Push[X]; Push[Z]; Add; Mult; Mult; Pop[X]

A) I:sí, II:sí B) I:sí, II:no C) I:no, II:sí D) I:no, II:no

PROBLEMA DE JUNIO DEL 2002 2ª SEMANA

En clase se realizará el problema correspondiente al examen de JUNIO del 2002 2ª semana.

Problema - Junio 2ª semana:

El siguiente algoritmo describe una determinada operación de un sistema digital.

- A) (2 puntos) Diseñar la Unidad de Procesamiento que permita realizar este algoritmo utilizando los módulos de la Figura 2: registros de desplazamiento de 8 bits, una UAL con dos entradas de 8 bits cada una, un contador módulo-16 bidireccional y circuitos triestado de conexión unidireccional con control de 8 bits; además de puertas lógicas y los módulos combinacionales (MUX, DMUX, codificadores y decodificadores) que considere necesarios. Debe tener en cuenta que al bus vuelcan datos múltiples

```

1: Declaración: A[8], B[8], Cont[4]; Bus[8]
2:   A ← Bus;
3:   B ← Bus, Cont = 0;
4:   while Cont ≠ 14
5:     if A es múltiplo de 4 then
6:       A ← A - B, Cont = (Cont + 2) mod 16;
7:     else
8:       B ← B + A;
9:     endif;
10:  endwhile;
11:  Bus ← B;
12:  Bus ← A;
13:  Parar;
    
```

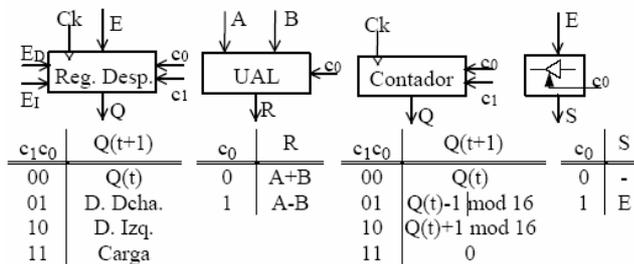


Figura 2: Módulos secuenciales del problema con sus tablas de funcionamiento

