

En la siguiente memoria, se muestra el desarrollo correspondiente de un sistema lógico secuencial en el que cuando x es 0 funciona como un contador hacia arriba, y cuando x es 1 funciona como un contador hacia abajo.

Se presentará primero una descripción general del circuito, para luego pasar a describir sus diferentes bloques funcionales.

El circuito completo con sus cronogramas de salida se muestra en las siguientes figuras:

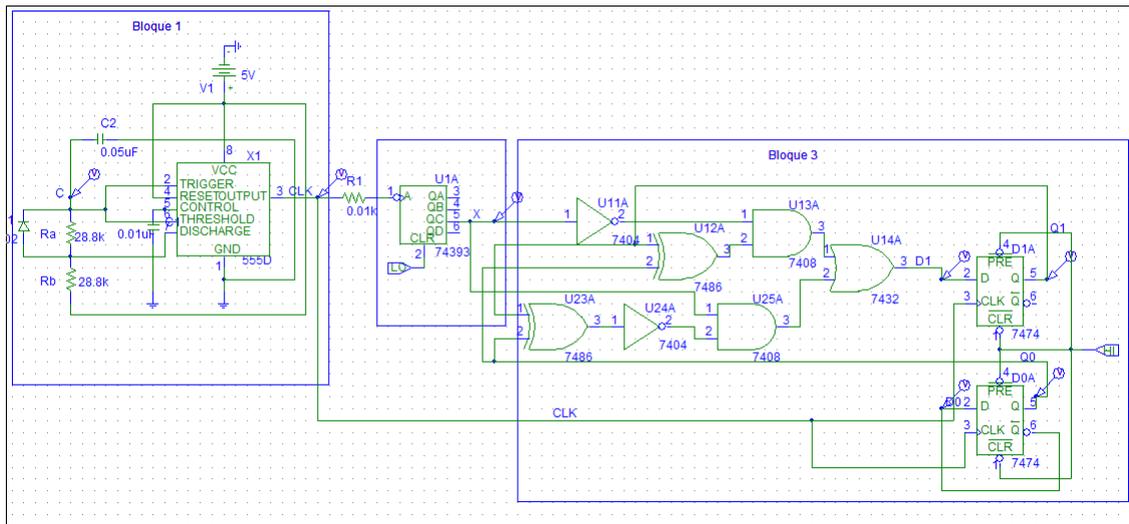


Figura 1: circuito completo.

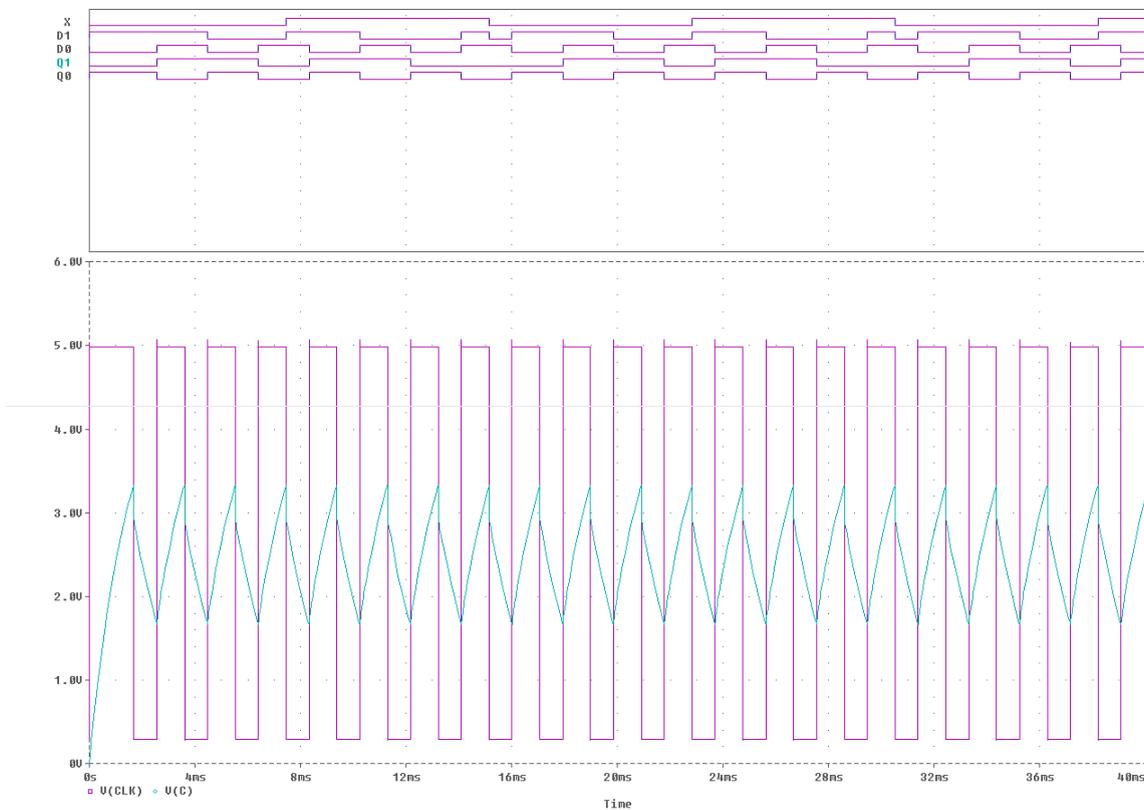


Figura 2: cronograma general del circuito.

El circuito consta de un circuito integrado 555 trabajando en modo astable, posteriormente se conecta a su salida un contador SN74393 para terminar con un autómata compuesto por dos biestables.

El cronograma muestra en su parte inferior el cronograma de salida del 555 y en su parte superior las diferentes señales de salida ordenadas, siendo D1 y D0 el bit de mayor peso y el de menor peso respectivamente, aplicándose el mismo criterio para Q1 y Q0. X será la señal de entrada para el autómata.

Bloque 1.

En la figura siguiente, se muestra la parte correspondiente al bloque 1 que es un reloj construido con un circuito integrado 555 trabajando en modo astable, en el que t_1 =tiempo en alta=1ms, t_2 =tiempo en baja=1ms, T =periodo=1ms.

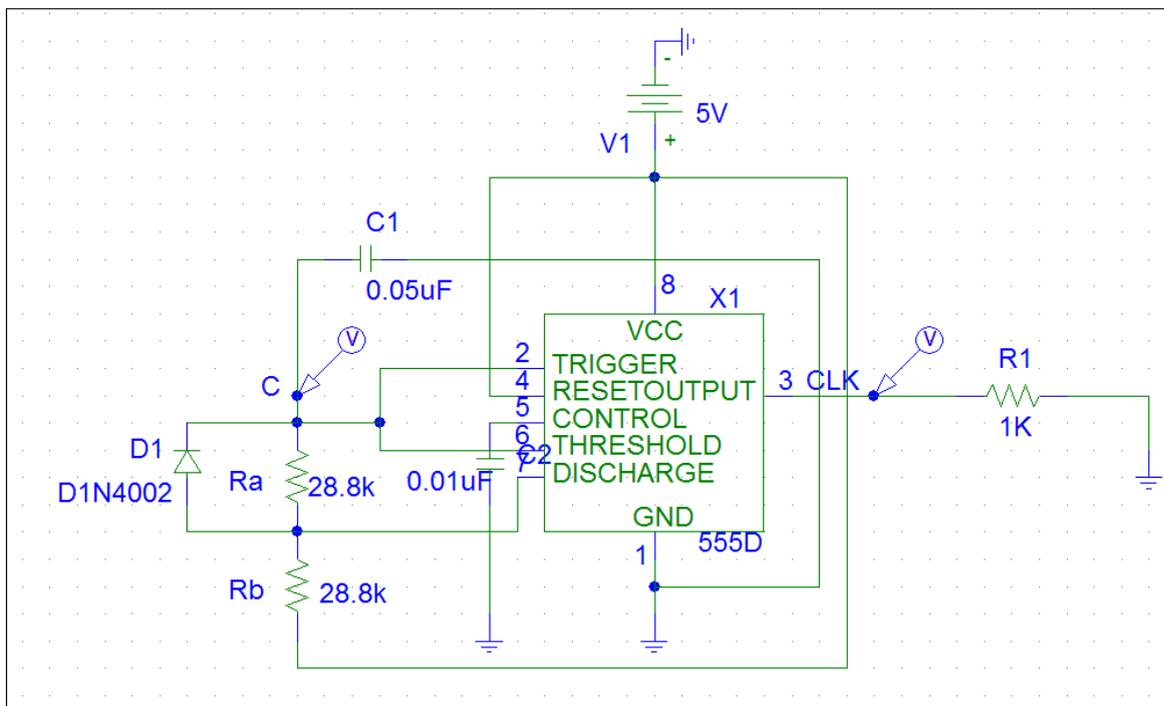


Figura 3: circuito astable.

Hay que tener en cuenta, que debido a las características físicas de los componentes, nunca se llegará a conseguir ajustar los ciclos de reloj tanto como quisiéramos, como consecuencia de ello, solo podremos conseguir aproximaciones a la frecuencia dada.

Como hemos dicho, el reloj se compone de un circuito integrado 555 que hemos configurado en modo astable donde los valores de R_a , R_b y C fijan el tiempo que la salida va a estar en alta y en baja, se ha optado por el uso del diodo en paralelo con R_a para independizar las resistencias de modo que el condensador realice su ciclo a través de cada una en los tiempos en alta y en baja, para calcular dichos valores, se ha fijado el valor del condensador a 0.01uF y se ha calculado el valor de las resistencias mediante la fórmula $t = \ln 2 * R * C$, arrojando un valor para las resistencias de 30,685K, optándose por poner el valor comercial más próximo que

son 28,8K. La salida se utilizará para las señales de reloj de los biestables del autómata. Es siguiente es el cronograma de salida:

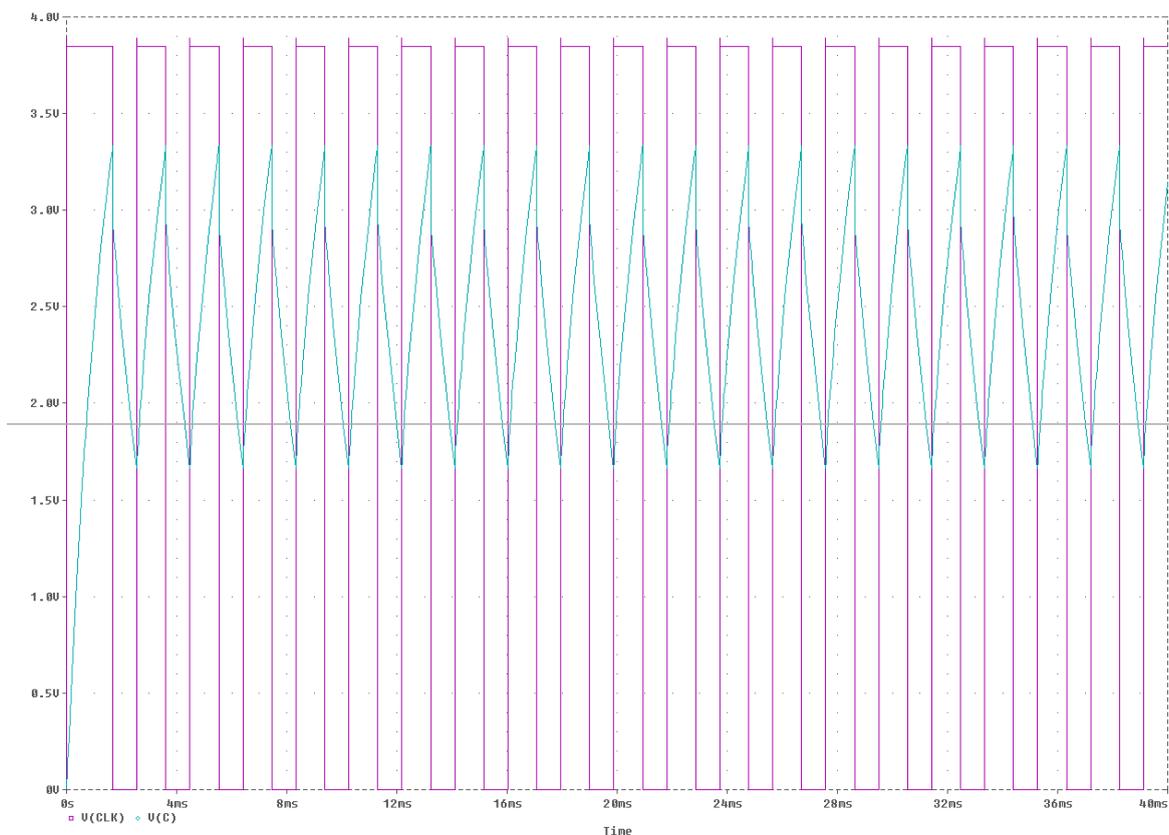


Figura 4: cronograma de salida del circuito astable.

Bloque 2.

El bloque 2, como se ha mencionado anteriormente, consta de un contador, el circuito integrado SN74393 sin más añadidos, en este contador, se toma como salida QC para conseguir la señal de 4ms pedida y que utilizaremos como entrada X del autómata, de manera que cuando esta esté en baja realice una cuenta hacia arriba, y cuando esté en baja cuenta hacia abajo. A continuación se muestra el circuito con su correspondiente cronograma de salida.

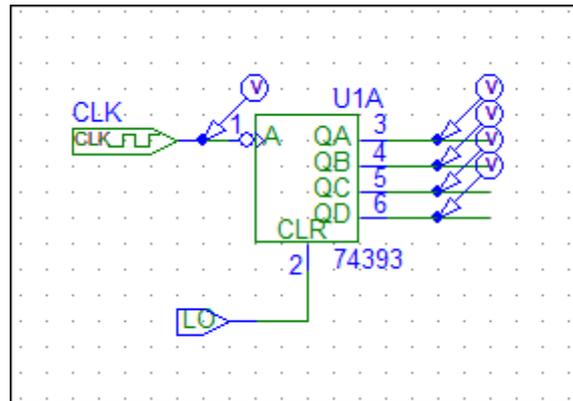


Figura 5: circuito SN74393.

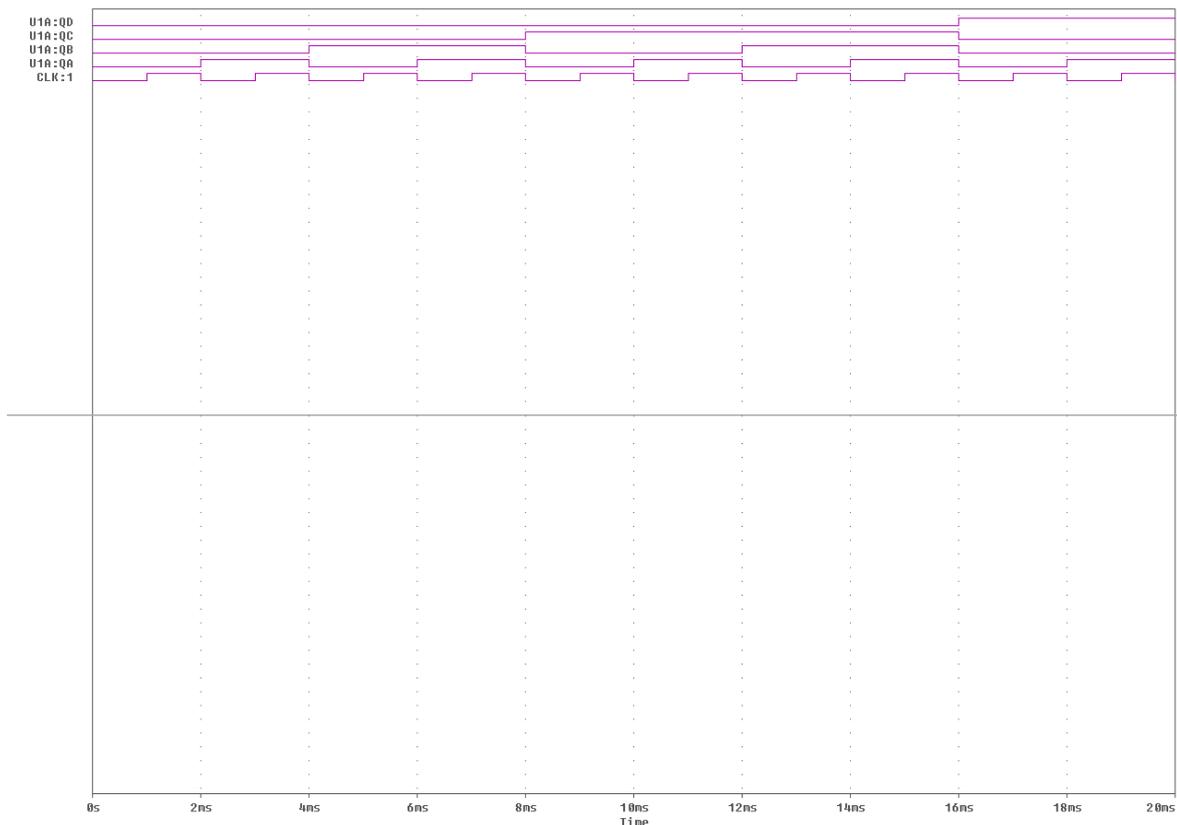


Figura 6: cronograma de las salidas del circuito contador SN74393.

Como se puede ver en el cronograma, donde se han representado todas las salidas del integrado QA, QB, QC, QD, cada una es múltiplo en periodo de la señal anterior, o un divisor de frecuencia si queremos llamarlo así, de ahí que se haya elegido la salida QC para generar la señal X de entrada al autómata ya que

es la que se ajusta al período de 4ms pedidos. Se ha utilizado una puerta AND con sus dos salidas interconectadas, y a su vez conectadas a la salida del astable, y su salida conectada a la entrada del contador SN74393 a modo de sencillo conversor analógico/digital para prevenir posibles lecturas erróneas en los cambios de estado.

Bloque 3.

Este bloque consta de un autómata de Mealy, como se muestra en la siguiente figura:

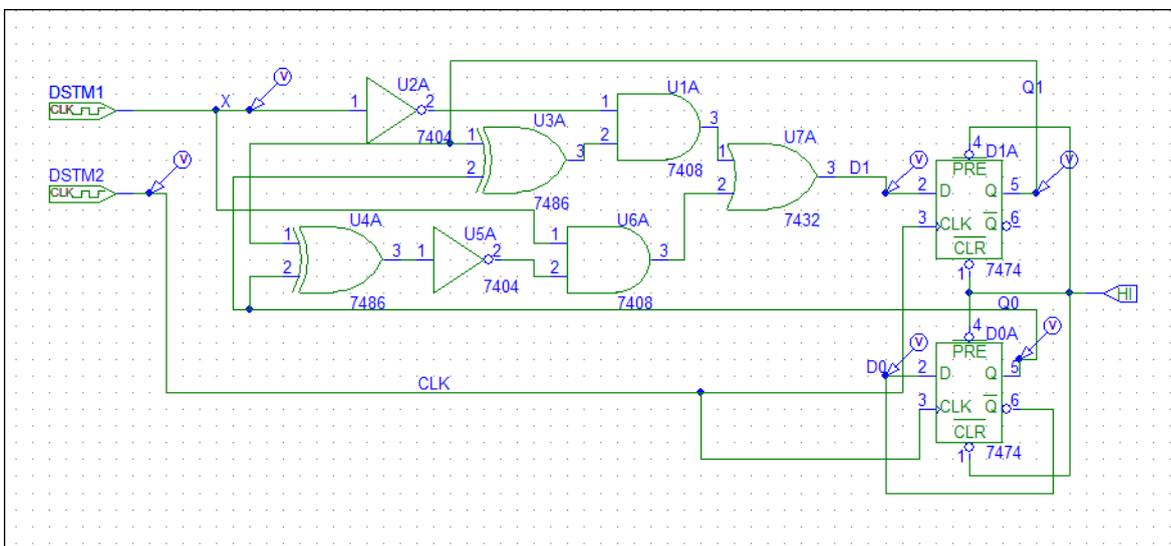


Figura 7: circuito completo correspondiente al contador reversible (bloque 3).

Cuyo diagrama de estados es el siguiente (a continuación debe tenerse en cuenta que los estados negados se han representado con un apóstrofe a continuación ejemplo: X')

		X=0		
	S1			S1
		X=1		
	00			01
X=0	X=1		X=1	X=0
	S4	X=1		S3
	11	X=0		10

Su matriz para X es:

Q1 Q0	00	01	10	11
00	0	X'	0	0
01	0	0	X'	0
10	0	0	0	X'
11	X'	0	0	0

La siguiente es la matriz para X':

Q1 Q0	00	01	10	11
00	0	0	0	X
01	X	0	0	0
10	0	X	0	0
11	0	0	X	0

A continuación se representa la matriz funcional:

Q1 Q0	00	01	10	11
00	0	X'	0	X
01	X	0	X'	0
10	0	X	0	X'
11	X'	0	X	0

A partir de este punto, es fácil sacar las funciones lógicas que nos servirán para diseñar el circuito combinacional para controlar los estados del autómata, pero antes, y para mayor información, representemos la tabla de la verdad, cuyas funciones una vez extraídas y minimizadas, deberían coincidir con las expresiones de las matrices:

Q1	Q0	X	Q1'=D1	Q0'=D0
0	0	0	0	1
0	0	1	1	0
0	1	0	1	1
0	1	1	0	0
1	0	0	1	1
1	0	1	0	0
1	1	0	0	1
1	1	1	1	0

Una vez realizados todos estos procesos, vamos a deducir las funciones lógicas, fácilmente se puede llegar a las siguientes:

$$D1 = Q1'Q0'X + Q1'Q0X + Q1Q0'X + Q1Q0X = X'(Q1'Q0 + Q1Q0') + X(Q1'Q0' + Q1Q0)$$

Aquí podemos sustituir $(Q1'Q0+Q1Q0')$ por una puerta EXOR y $(Q1'Q0'+Q1Q0)$ por una EXNOR o en su defecto, una EXOR seguida de una NOT que es lo que se ha hecho en el presente circuito.

$$D0=Q1'Q0'X'+Q1'Q0'X+Q1Q0'X'Q1Q0X=Q0'$$

Quedando así las funciones lógicas listas para su posterior implementación en el circuito mediante puertas lógicas. Estas funciones sirven como entrada a un par de biestables ya que el autómata será de 4 estados y número de biestables= 2^n estados. Las entradas de preset y clear de estos dos biestables, estarán a nivel alto para su correcto funcionamiento síncrono.

A continuación se muestra el cronograma de salida de este bloque con sus salidas ordenadas:

