

## Ejemplo básico de uso de una ALU.

En el siguiente documento, se presenta un circuito que consta de dos bloques funcionales claramente diferenciados. El primero de ellos (bloque A), consta de un codificador con prioridad en el que tenemos tres señales a la entrada P2, P1, P0, en el cual sólo es prioritaria una salida, activando según la salida que esté activa en ese momento, una ALU (Aritmetic Logic Unit) en el segundo bloque (bloque B), la cual realiza las siguientes operaciones:

- Si está activa la salida P2, la operación a realizar será A plus B.
- Si está activa P1, la operación a realizar será NOT (AB).
- Si está activa P0, la operación a realizar será (A + NOT (B)) plus 1.

En la figura 1, se muestra el circuito completo con los dos bits de mayor peso de cada palabra a calcular a nivel bajo, con el que realizarán las tablas de la verdad y la explicación teórica del circuito, En adelante, me referiré a este circuito como circuito de prueba. También se muestra en la figura 2, el cronograma general de salida correspondiente al mismo y el cual se descompondrá en las diferentes “partes” para la correspondiente explicación teórica. A su vez, en la figura 3, se muestra el circuito completo con todas sus señales activas y su cronograma general correspondiente en la figura 4, a partir de ahora me referiré a este circuito como circuito completo.

Aclaración importante: en todos los esquemas circuitales, se han utilizado pares de puertas lógicas de dos entradas para simular las de tres entradas, la causa de esto es que el PSPICE en su versión demo no permite insertar puertas de más de dos entradas. Otro factor a tener en cuenta es que para todas las explicaciones, se ha supuesto lógica positiva.

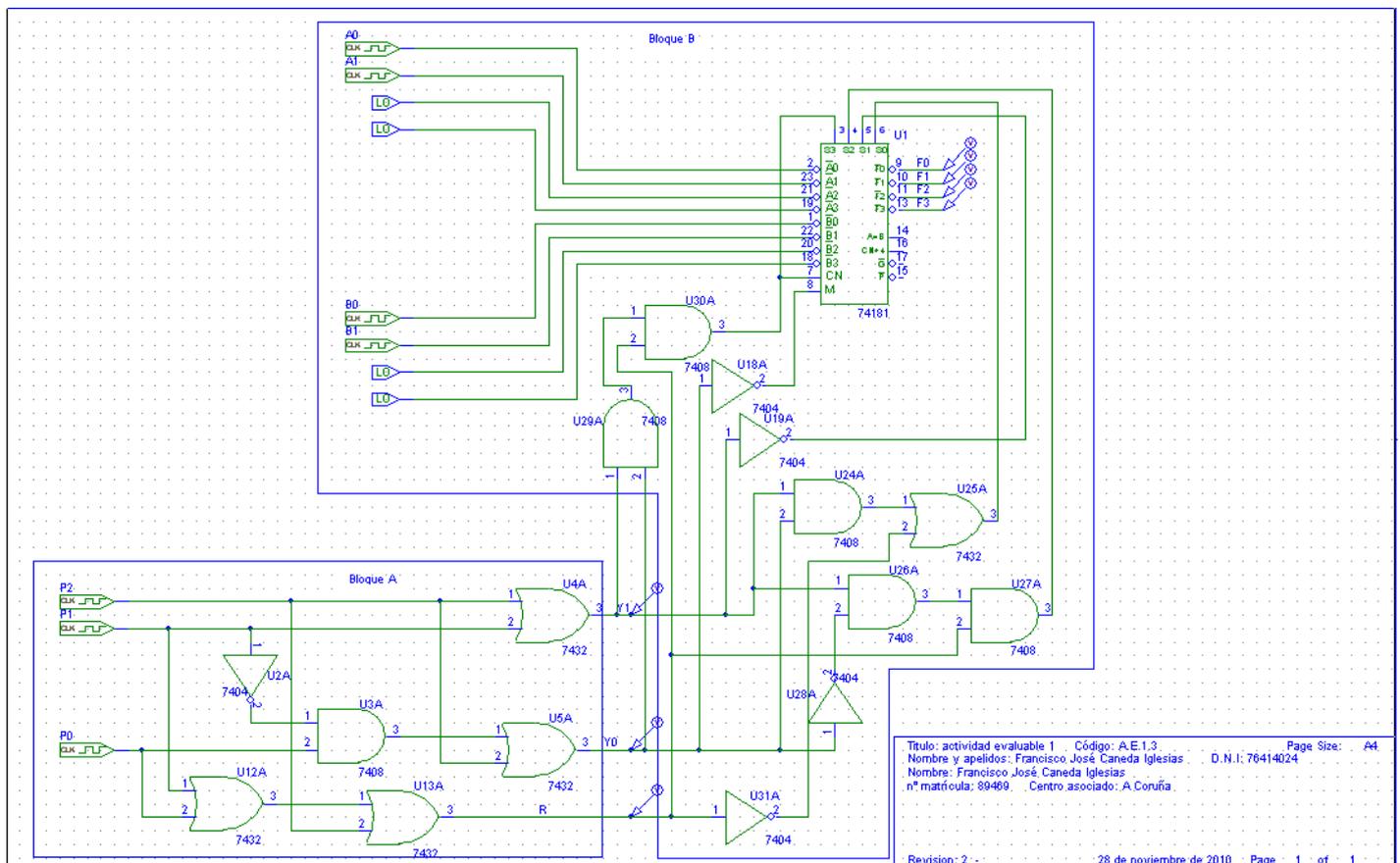


Figura 1.- esquema general del circuito con los bits de mayor peso en nivel bajo (circuito de prueba).



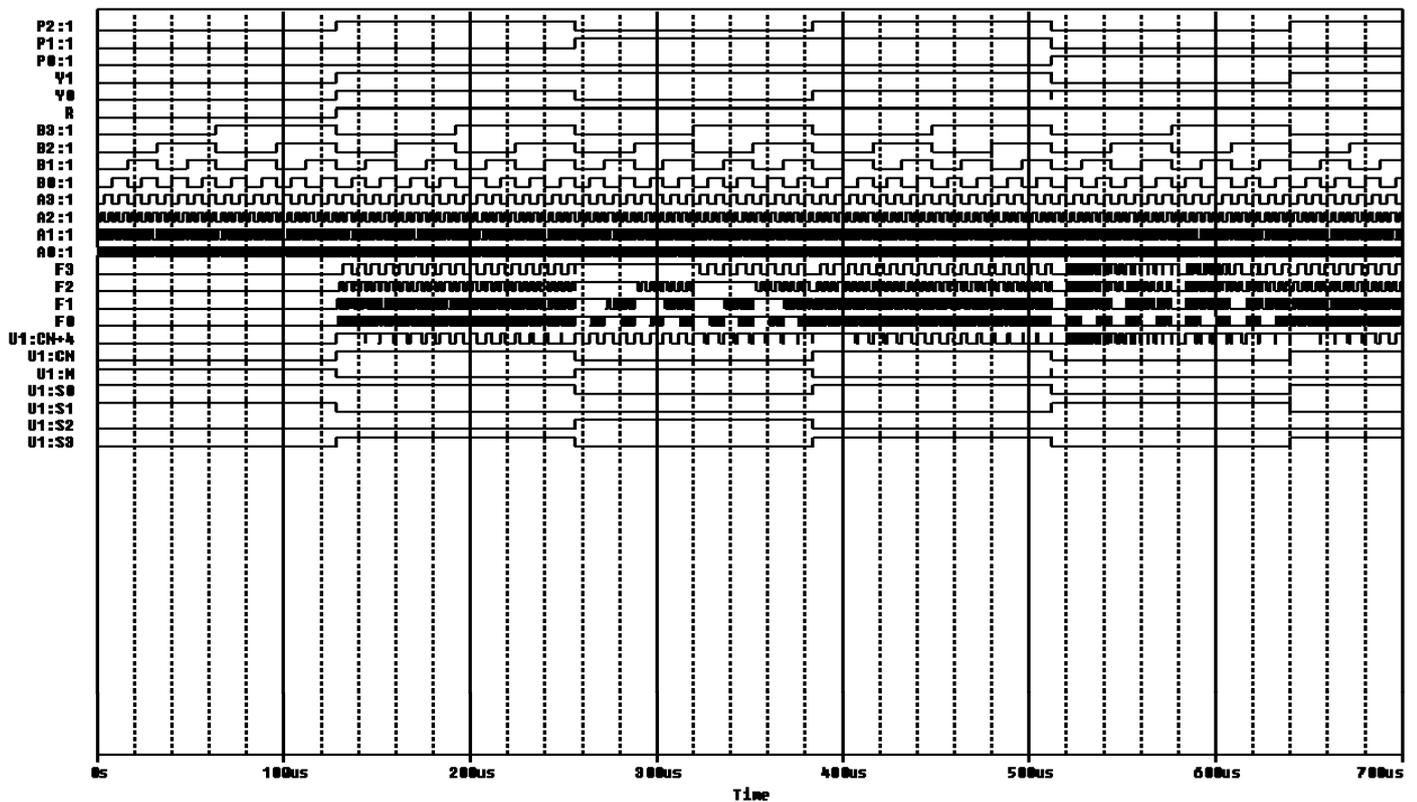


Figura 4 cronograma general de salida del circuito completo de la figura 3.

## Señales y componentes utilizados en los circuitos.

Se han utilizado en los circuitos puertas lógicas de uso general y una ALU 74181. Las señales de entrada, constan de relojes de pulsos digitales ajustados de la siguiente manera:

Para el circuito con el que comprobaremos las tablas de la verdad, se han utilizado siete relojes A0, A1, B0, B1, P2, P1, P0, las señales A2, A3, B2, B3, se han dejado a nivel bajo para facilitar la consecución de dichas tablas.

Para los relojes de pulsos se han ajustado los siguientes tiempos:

- A0: 0.5us, A1: 1us, B0: 2us, B1: 4us.
- P2: 16us, P1: 32us, P0: 64us.

Para añadir todas las señales después de comprobado el correcto funcionamiento, se han utilizado los siguientes tiempos en los relojes de pulsos:

- A0: 0.5us, A1: 1us, A2: 2us, A3: 4us, B0: 8us, B1: 16us, B2: 32us, B3: 64us.
- P2: 128us, P1: 256us, P0: 512us.

## Bloque A.

El bloque A de este circuito, es un codificador con prioridad que responde a la siguiente tabla de la verdad:

Y1	Y0	P2	P1	P0	R
1	1	1	x	x	1
1	0	0	1	x	1
0	1	0	0	1	1
0	0	0	0	0	0

Como se puede ver, la entrada P2, sólo estará activa cuando las dos salidas Y0 e Y1 estén a nivel lógico alto independientemente del estado de P1 y P0, P1 estará en nivel alto, cuando Y1 esté en 1 e Y0 en nivel bajo P0 se activará, cuando Y1 ase a nivel lógico bajo e Y0 esté en nivel lógico alto. La salida R, indica que todas las entradas del codificador están a nivel bajo, su función es poner las salidas de la ALU en reposo (a nivel lógico bajo) cuando esto ocurre, observando la tabla de la verdad vemos que esta salía debe ser cero cuando todas las entradas son cero y uno en los demás casos.

Observando esta tabla de la verdad, es pueden deducir las funciones de salida Y1, Y0 y R; las cuales son:

- $Y1 = P2 + P1$ .
- $Y0 = P2 + \text{NOT}(P1) \cdot P0$ .
- $R = P2 + P1 + P0$ .

Y que nos darán el circuito correspondiente como se puede ver en la siguiente figura.

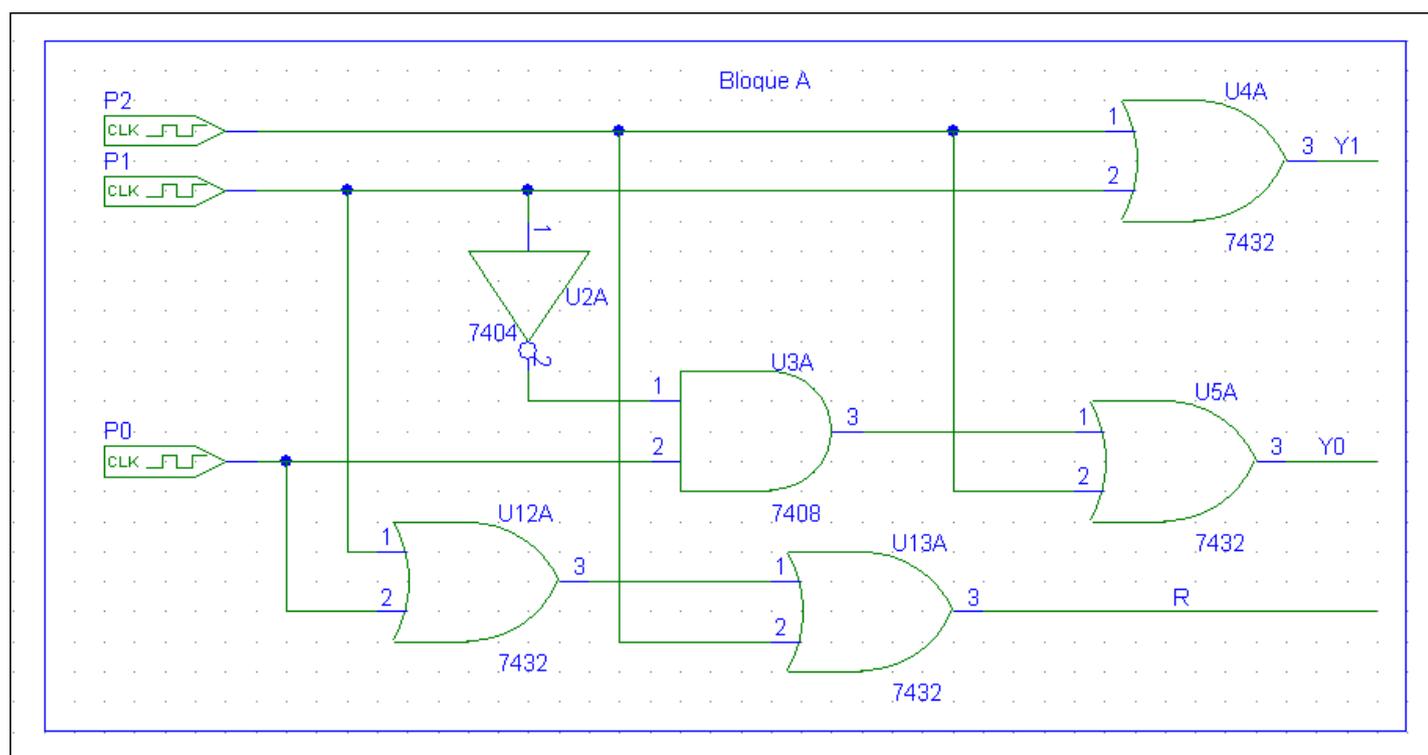


Figura 5.- esquema del codificador con prioridad (bloque A).

## Bloque B.

Aquí se presenta el segundo bloque funcional correspondiente a la ALU con su correspondiente circuitería que controla los distintos estados de las patillas de control de la misma. Las conexiones se han realizado teniendo en cuenta la tabla de la verdad indicada, siempre teniendo en cuenta que se han utilizado pares de puertas lógicas de dos entradas ante la imposibilidad de utilizar puertas de tres entradas en la versión demo de PSPICE.

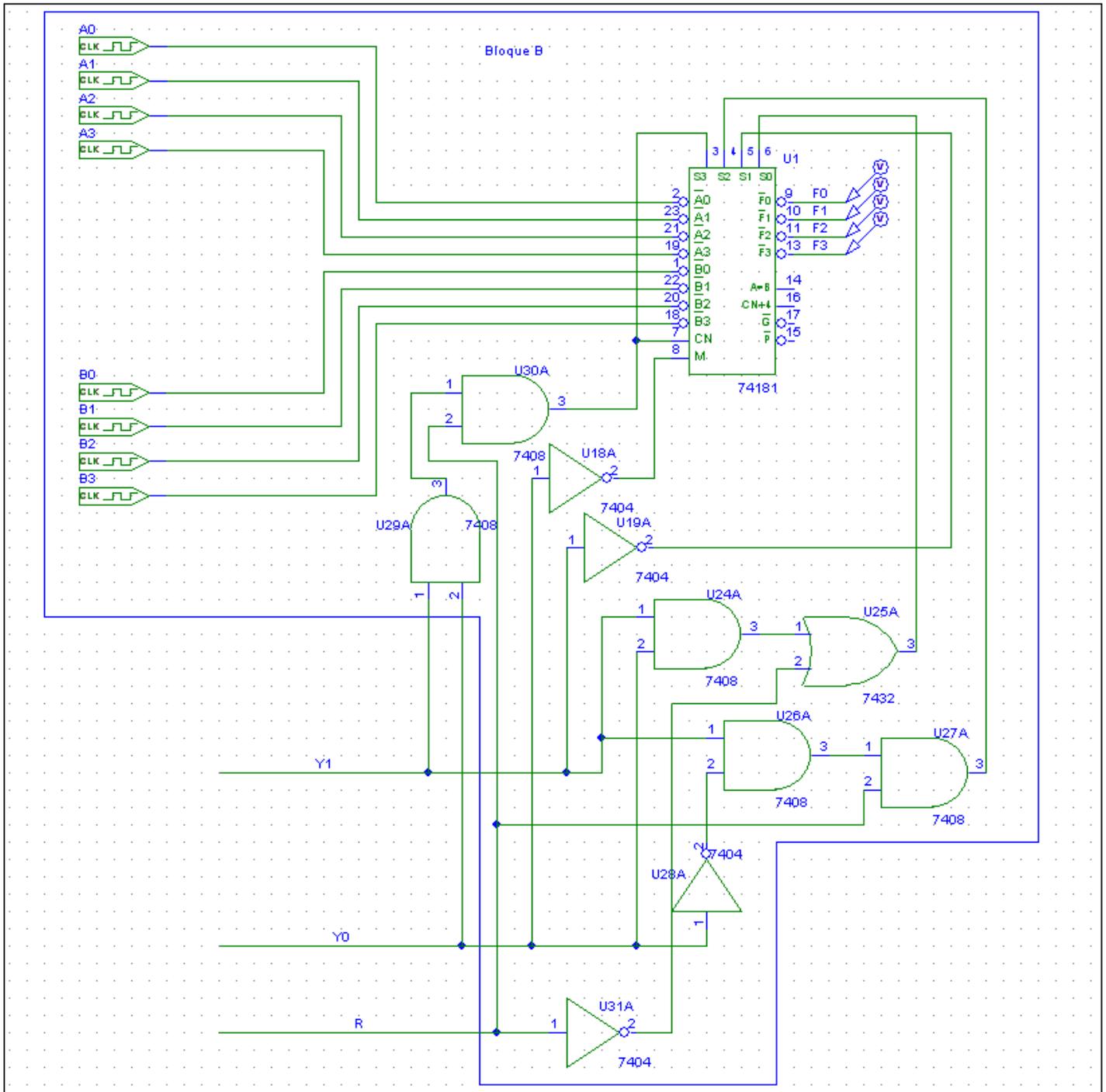


Figura 6.- circuito correspondiente al bloque B.

Y1	Y0	R	NOT (Cn)	M	S0	S1	S2	S3
1	1	1	1	0	1	0	0	1
1	0	1	x	1	0	0	1	0
0	1	1	0	0	0	1	0	0
0	0	0	0	1	1	1	0	0

Observando esta tabla, se concluyen las funciones correspondientes a las patillas de control de la ALU y con ellas, el circuito de conexión desde las salidas Y1, Y0 Y R de la etapa anterior, las cuales son:

$$\text{NOT (Cn)} = Y1 \cdot Y0 \cdot R.$$

$$M = \text{NOT (Y0)}.$$

$$S0 = \text{NOT (R)} + Y1 \cdot Y0.$$

$$S1 = \text{NOT (Y1)}.$$

$$S2 = Y1 \cdot \text{NOT (Y0)} \cdot R.$$

$$S3 = Y1 \cdot Y0 \cdot R.$$

Quedando así el circuito de control definido, pasando a definir los relojes como se ha indicado anteriormente.

## Cronogramas y tablas de la verdad.

Para estas comprobaciones se ha utilizado el circuito reducido con los bits de mayor peso de cada una de las palabras a calcular por la ALU a nivel bajo, como se muestra en la siguiente figura.

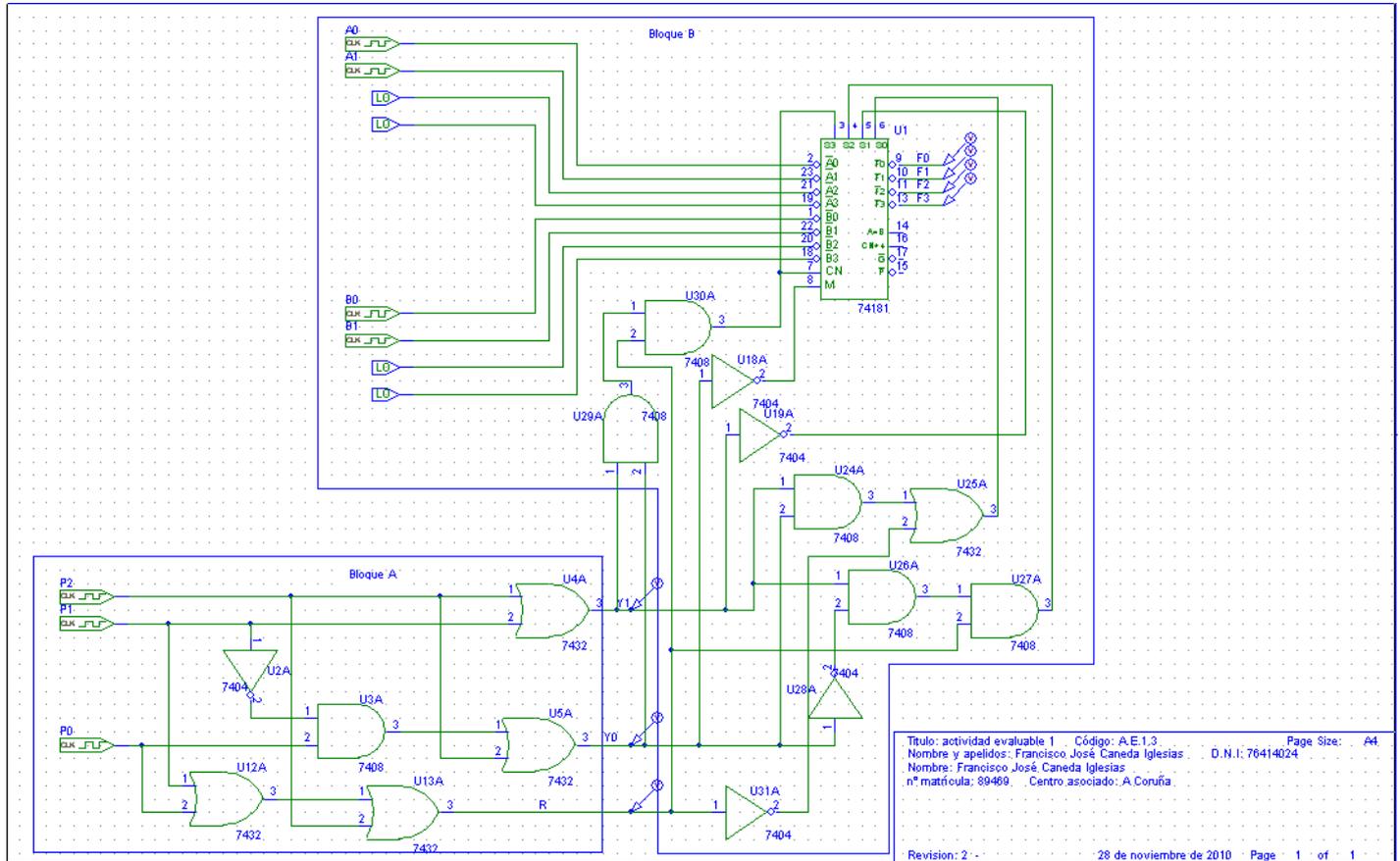


Figura 7.- circuito utilizado para hacer las distintas comprobaciones (circuito de prueba en adelante).

Empecemos por comprobar la situación cuando P2 está a nivel alto (tiene la prioridad). Cuando esto ocurre, las patillas de control de la ALU presentan los siguientes estados: Cn=H, M=L, S0=H, S1=L, S2=L, S3=H. La tabla de la verdad tanto teórica como práctica (según el cronograma), son coincidentes, a continuación se presenta la tabla de la verdad correspondiente así como las partes de los cronogramas de salida para 4 bits con el que está realizado la tabla como el de 8 bits de entrada para cuando P2 toma la prioridad.

B1 B0 A1 A0	Cn+4	NOT (Cn) M S0 S1 S2 S3	F3 F2 F1 F0
0 0 0 0	1	H L H L L H	0 0 0 0
0 0 0 1	1	H L H L L H	0 0 0 1
0 0 1 0	1	H L H L L H	0 0 1 0
0 0 1 1	1	H L H L L H	0 0 1 1
0 1 0 0	1	H L H L L H	0 0 0 1
0 1 0 1	1	H L H L L H	0 0 1 0
0 1 1 0	1	H L H L L H	0 0 1 1
0 1 1 1	1	H L H L L H	0 1 0 0
1 0 0 0	1	H L H L L H	0 0 1 0
1 0 0 1	1	H L H L L H	0 1 0 1
1 0 1 0	1	H L H L L H	0 1 0 0
1 0 1 1	1	H L H L L H	0 1 0 1
1 1 0 0	1	H L H L L H	0 0 1 1
1 1 0 1	1	H L H L L H	0 1 0 0
1 1 1 0	1	H L H L L H	0 1 0 1
1 1 1 1	1	H L H L L H	0 1 1 0

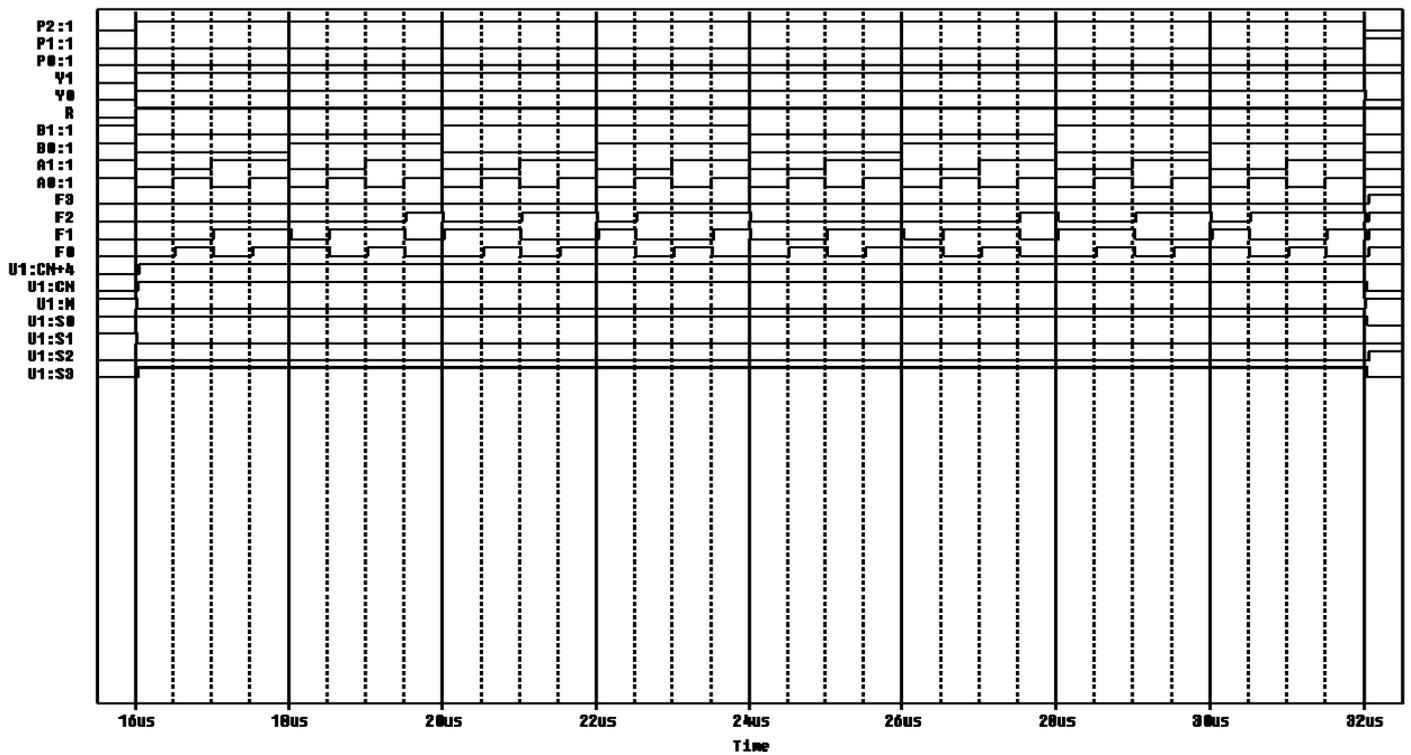


Figura 8.- cronograma de salida correspondiente al circuito de prueba cuando la señal P2 toma la prioridad

En la parte del cronograma de salida correspondiente a cuando P2 toma la prioridad, que corresponde a la franja temporal que va desde los 16us a los 32us, y por lo tanto, corresponde hacer la operación A plus B, se puede observar la coincidencia entre el cronograma y la tabla de la verdad. . A pesar de ello, se ha sacado la misma a partir del cronograma y se ha comprobado que los resultados son los mismos.

Se presenta en la siguiente figura la arte del cronograma correspondiente al circuito de 8 bits cuando P2 toma la prioridad.

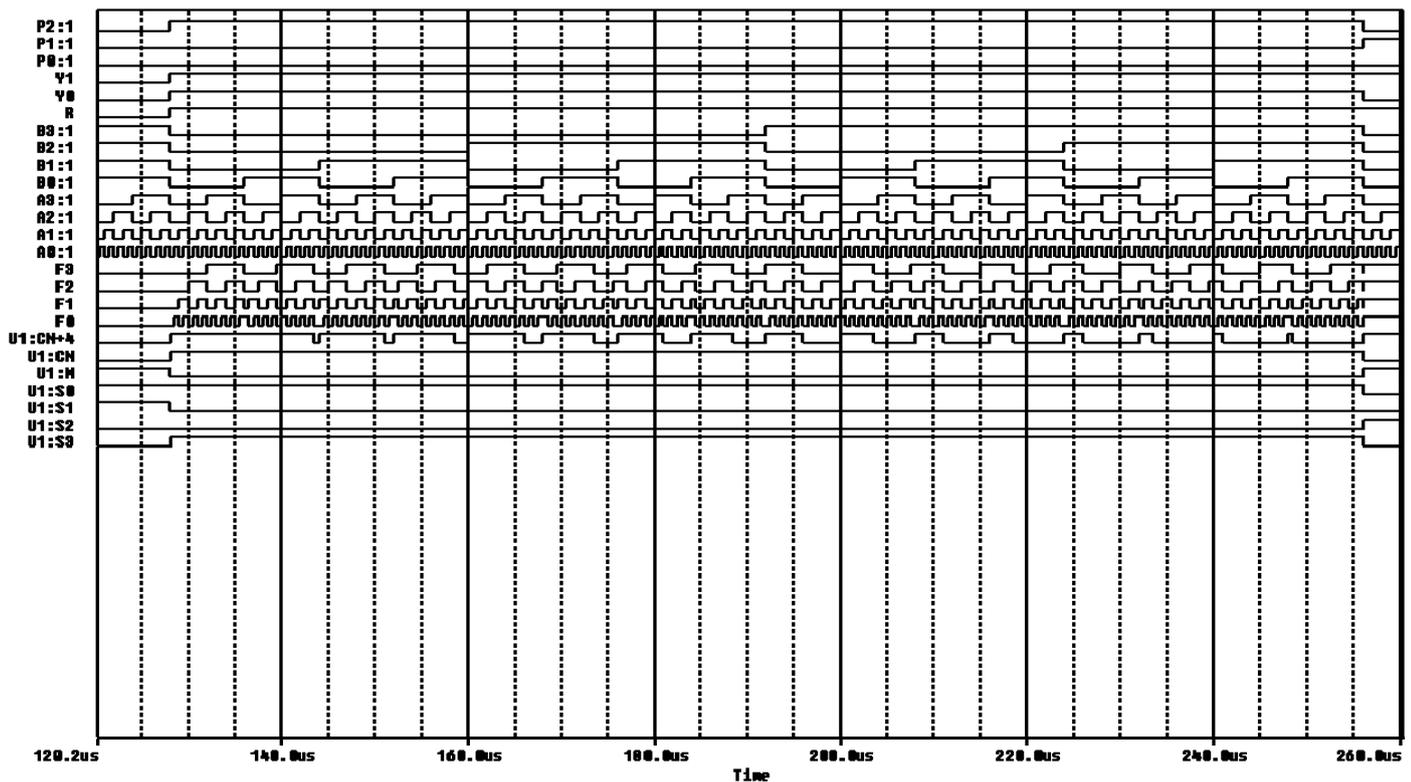


Figura 9.- cronograma de salida correspondiente al circuito con completo cuando P2 toma prioridad

Se hará a continuación lo propio con cuando la señal P1 toma la prioridad, en este estado, la operación que corresponde realizar a la ALU es NOT (AB).

B1 B0 A1 A0	Cn+4	NOT (Cn)	M	S0	S1	S2	S3	F3	F2	F1	F0
0 0 0 0	1	x	H	L	L	H	L	1	1	1	1
0 0 0 1	1	x	H	L	L	H	L	1	1	1	1
0 0 1 0	1	x	H	L	L	H	L	1	1	1	1
0 0 1 1	1	x	H	L	L	H	L	1	1	1	1
0 1 0 0	1	x	H	L	L	H	L	1	1	1	1
0 1 0 1	1	x	H	L	L	H	L	1	1	1	0
0 1 1 0	1	x	H	L	L	H	L	1	1	1	1
0 1 1 1	1	x	H	L	L	H	L	1	1	1	0
1 0 0 0	1	x	H	L	L	H	L	1	1	1	1
1 0 0 1	1	x	H	L	L	H	L	1	1	1	1
1 0 1 0	1	x	H	L	L	H	L	1	1	0	1
1 0 1 1	1	x	H	L	L	H	L	1	1	0	1
1 1 0 0	1	x	H	L	L	H	L	1	1	1	1
1 1 0 1	1	x	H	L	L	H	L	1	1	1	0
1 1 1 0	1	x	H	L	L	H	L	1	1	0	1
1 1 1 1	1	x	H	L	L	H	L	1	1	0	0

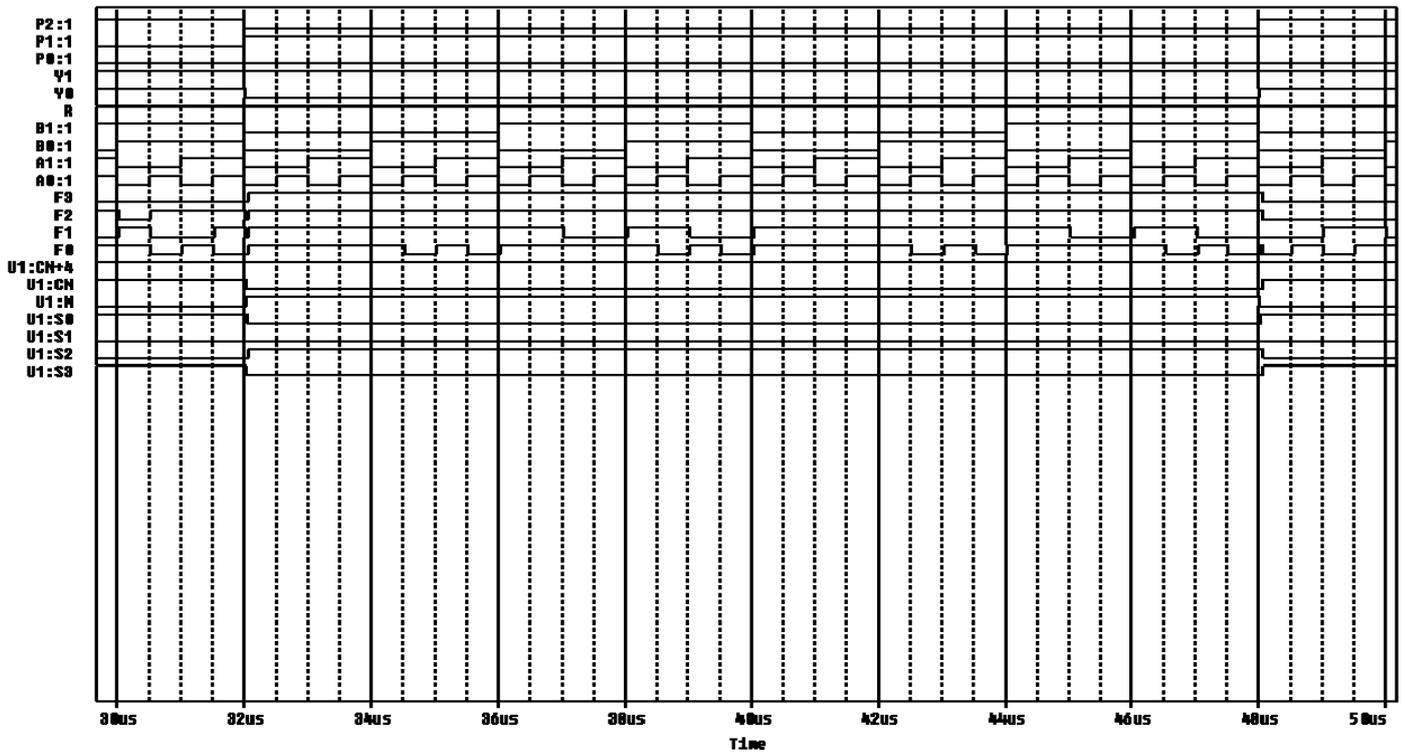


Figura 10.- cronograma correspondiente al momento en que P1 toma prioridad en el circuito de prueba.

En el cronograma de la figura 10, se puede observar el momento en que P1 toma la prioridad, que corresponde a la porción temporal que va desde los 32us, hasta los 48us que se activa otra vez P2. Se puede observar aquí que sacando la tabla de la verdad correspondiente al cronograma, resulta una tabla de la verdad equivalente a la teórica, por lo que no se repetirá aquí.

A continuación se presenta el cronograma correspondiente cuando P1 toma prioridad en el circuito completo donde las 8 entradas de la ALU están presentes con sus relojes ajustados.

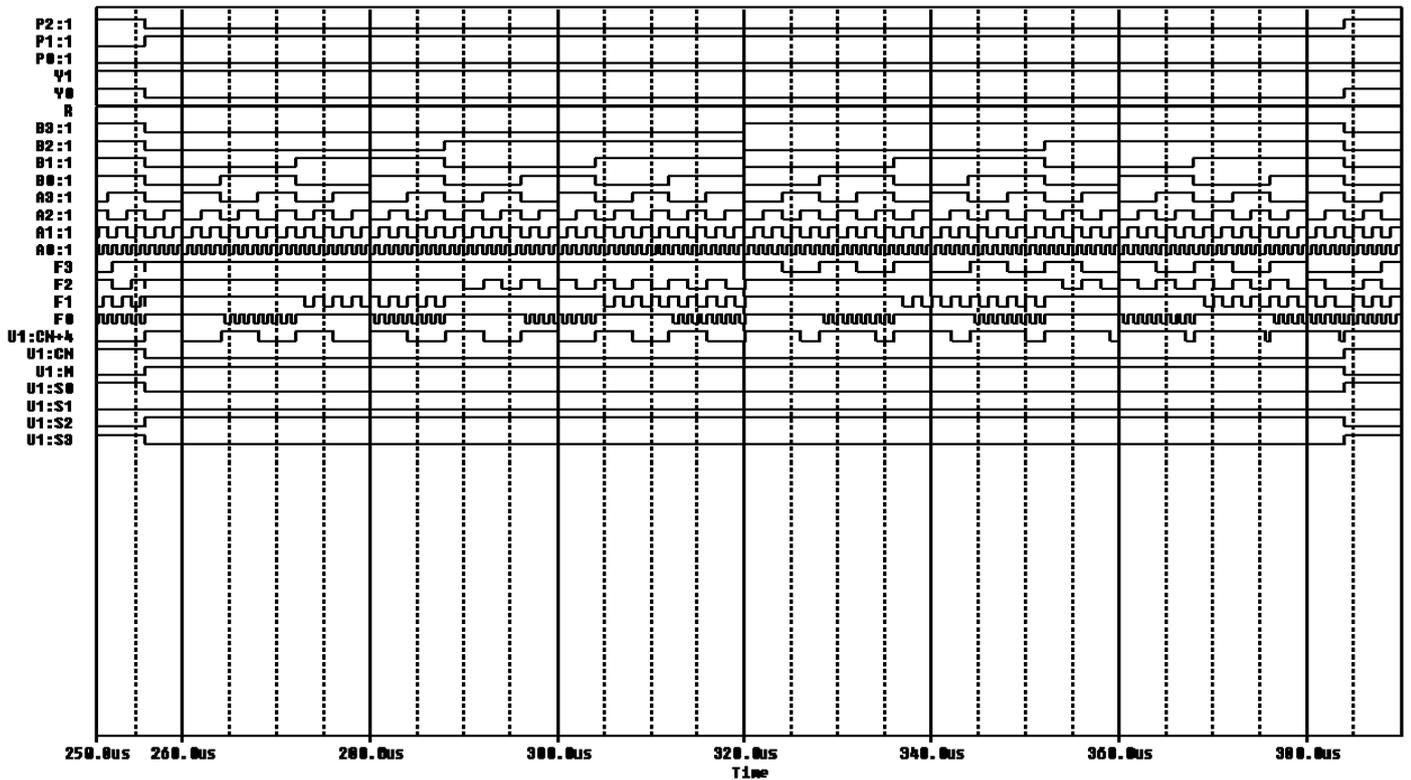


Figura 11.- cronograma correspondiente a cuando P1 toma prioridad en el circuito completo.

Pasamos a representar la tabla de la verdad correspondiente al momento en que P0 es activa. En este estado, corresponde a la ALU realizar la operación (A+NOT (B)) plus1. En esta ocasión, se debe prestar especial atención a la patilla Cn+4, que es la encargada de generar el acarreo por si es necesario conectar etapas posteriores, esta salida Cn+4 generará acarreo cuando está a nivel bajo (a cero) y no lo generará cuando esta a nivel alto, esto es así porque esta ALU, funciona con lógica negativa, por lo que al no estar negada esta salida generará acarreo cuando esta a cero y no lo generará cuando está a uno.

B1 B0 A1 A0	Cn+4	NOT (Cn) M S0 S1 S2 S3	F3 F2 F1 F0
0 0 0 0	0	L L L H L L	0 0 0 0
0 0 0 1	0	L L L H L L	0 0 0 0
0 0 1 0	0	L L L H L L	0 0 0 0
0 0 1 1	0	L L L H L L	0 0 0 0
0 1 0 0	1	L L L H L L	1 1 1 1
0 1 0 1	0	L L L H L L	0 0 0 0
0 1 1 0	1	L L L H L L	1 1 1 1
0 1 1 1	0	L L L H L L	0 1 0 0
1 0 0 0	1	L L L H L L	1 1 1 0
1 0 0 1	1	L L L H L L	1 1 1 1
1 0 1 0	0	L L L H L L	0 1 0 0
1 0 1 1	0	L L L H L L	0 1 0 1
1 1 0 0	1	L L L H L L	1 1 0 1
1 1 0 1	1	L L L H L L	1 1 1 0
1 1 1 0	1	L L L H L L	1 1 1 1
1 1 1 1	0	L L L H L L	0 1 1 0

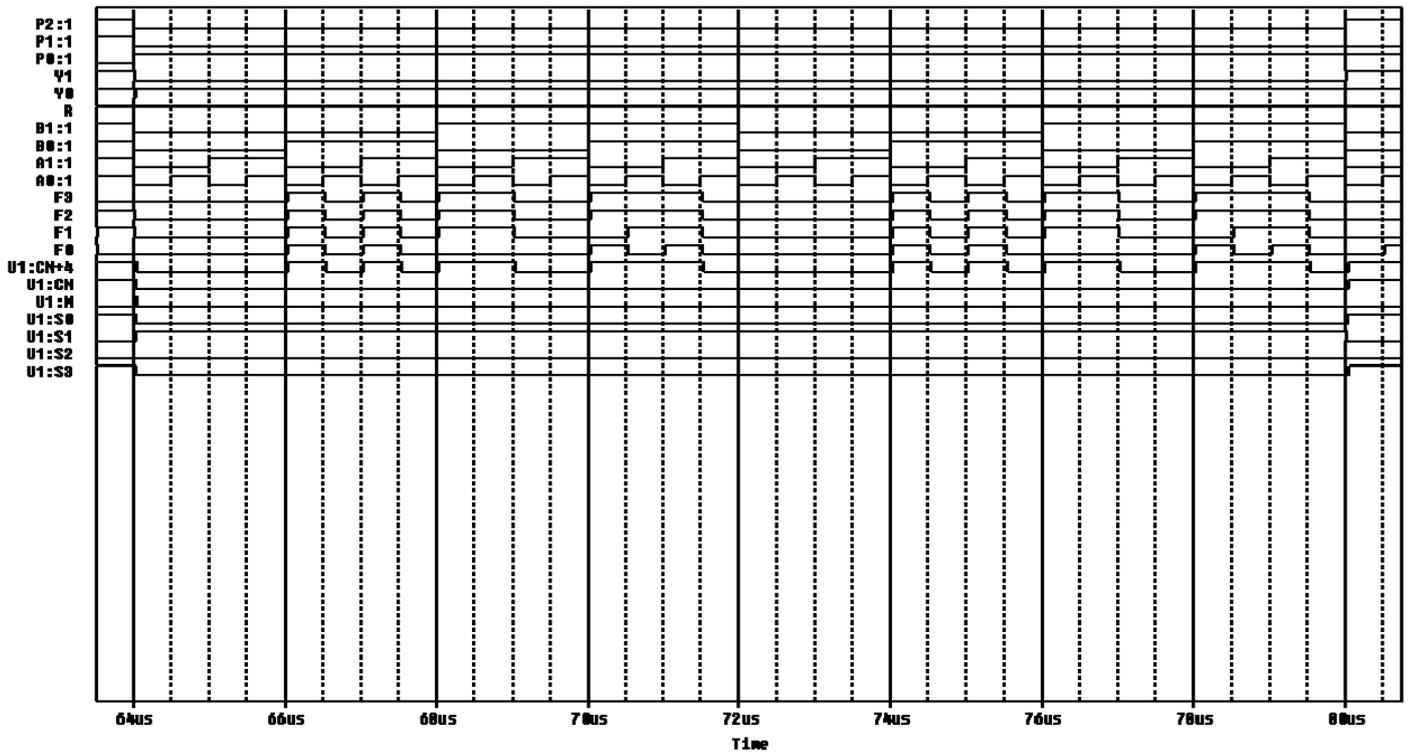


Figura 12.- cronograma correspondiente a cuando P0 pasa a estar activo en el circuito de prueba.

En el cronograma de la figura 12, se puede observar el momento en el que P0 pasa a tomar la prioridad, realizando la ALU la operación  $(A + \text{NOT}(B)) + 1$ . En él se puede observar este momento que va desde los 64us a los 80us que pasa a toma prioridad P2. Es fácil comprobar que la tabla de la verdad generada a partir del cronograma coincide con la teórica, de hecho, así se ha hecho, por lo que se prescinde de representarla aquí.

En la siguiente figura, se presenta el cronograma donde P0 toma prioridad en el circuito completo.

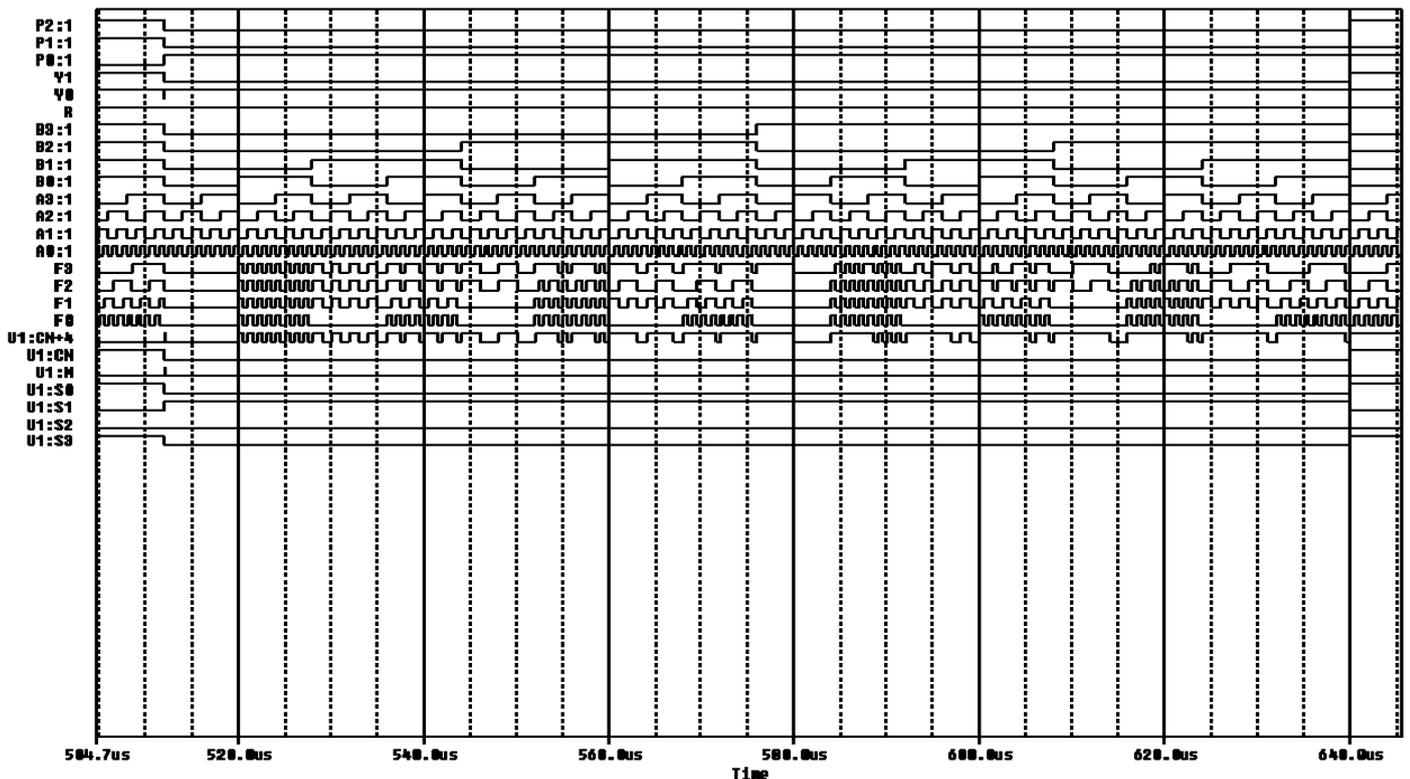


Figura 13.- cronograma correspondiente a cuando P0 toma la prioridad en el circuito completo.

Para finalizar, se presenta la tabla de la verdad correspondiente a cuando P2, P1 y P0 están a cero, con lo que las salidas de la ALU deberían estar todas en reposo, presentar estados bajos (a cero).

B1 B0 A1 A0	Cn+4	NOT (Cn)	M	S0	S1	S2	S3	F3	F2	F1	F0
0 0 0 0	1	L	H	H	H	L	L	0	0	0	0
0 0 0 1	1	L	H	H	H	L	L	0	0	0	0
0 0 1 0	1	L	H	H	H	L	L	0	0	0	0
0 0 1 1	1	L	H	H	H	L	L	0	0	0	0
0 1 0 0	1	L	H	H	H	L	L	0	0	0	0
0 1 0 1	1	L	H	H	H	L	L	0	0	0	0
0 1 1 0	1	L	H	H	H	L	L	0	0	0	0
0 1 1 1	1	L	H	H	H	L	L	0	0	0	0
1 0 0 0	1	L	H	H	H	L	L	0	0	0	0
1 0 0 1	1	L	H	H	H	L	L	0	0	0	0
1 0 1 0	1	L	H	H	H	L	L	0	0	0	0
1 0 1 1	1	L	H	H	H	L	L	0	0	0	0
1 1 0 0	1	L	H	H	H	L	L	0	0	0	0
1 1 0 1	1	L	H	H	H	L	L	0	0	0	0
1 1 1 0	1	L	H	H	H	L	L	0	1	0	0
1 1 1 1	1	L	H	H	H	L	L	0	0	0	0

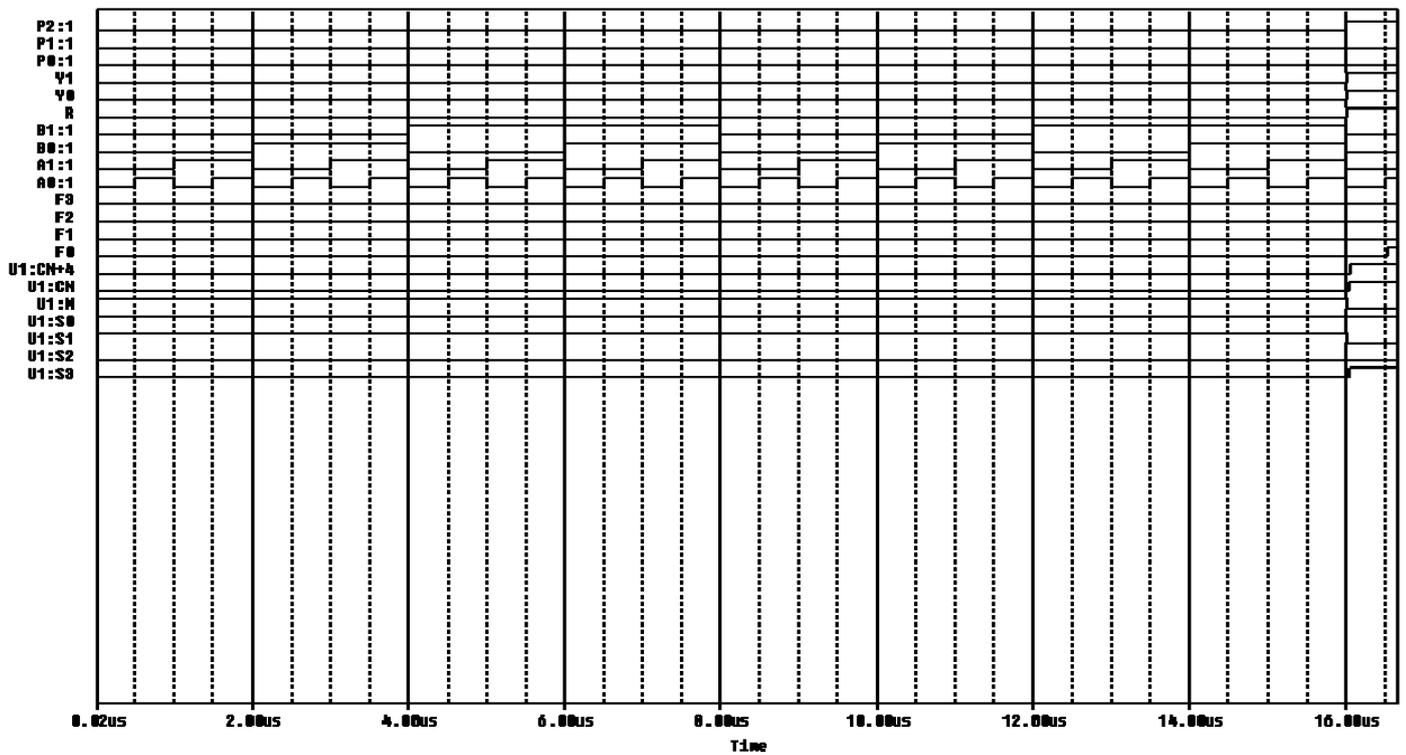


Figura 14.- cronograma correspondiente al estado en que todas las entadas P2, P1 y P0 están a cero en el circuito de prueba.

En el anterior cronograma, se puede ver el estado correspondiente a cuando están P2, P1 y P0 a cero que corresponde a la franja entre 0us y16us, momento en el que P2 toma la prioridad, es deducible que la tabla de la verdad sacada a partir del cronograma, coincide con la teórica por lo que no se representará.

A continuación se presenta el cronograma para el circuito completo en el que todas sus entradas P2, P1 y P0 están a cero.

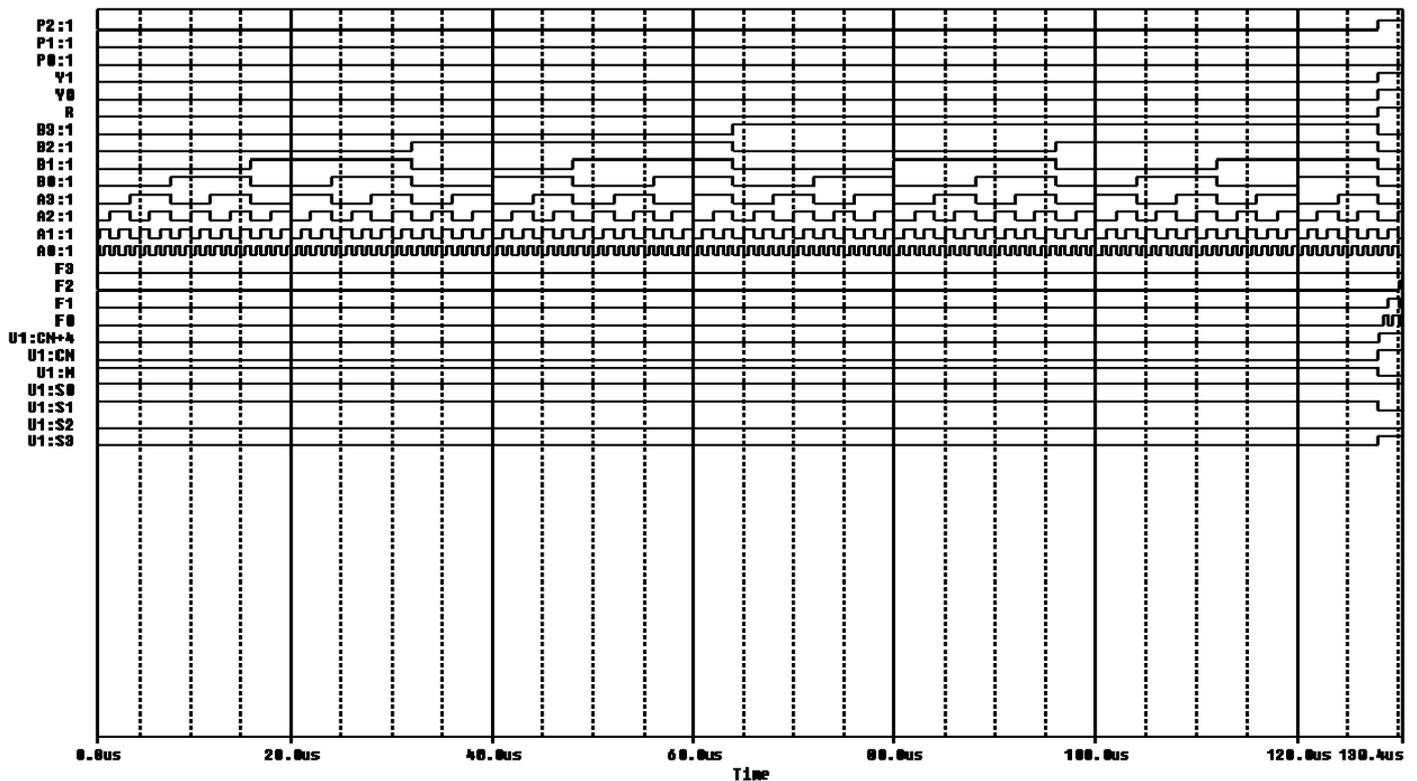


Figura 15.- cronograma correspondiente a P2, P1 y P0 a cero en el circuito completo.