



# TEMA V

EXIGENCIAS  
COMPUTACIONALES DE LA  
LÓGICA SECUENCIAL:  
CIRCUITOS BIESTABLES

# TEMA 5: EXIGENCIAS COMPUTACIONALES DE LA LÓGICA SECUENCIAL: CIRCUITOS BIESTABLES

- Contexto
- Conocimiento Previo Necesario
- Objetivos del Tema
- Guía de Estudio
- Contenido del Tema
- 5.1. Introducción a los Autómatas Finitos: concepto de estado
- 5.2. El Tiempo en Digital: comportamiento síncrono y asíncrono
- 5.3. Biestables
  - 5.3.1. R-S Básico
  - 5.3.2. R-S Sincronizado a Niveles
  - 5.3.3. Disparo por Flancos
  - 5.3.4. R-S Sincronizado a Nivel y con Entradas Asíncronas de Preset y Clear
- 5.4. Biestables J-K
  - 5.4.1. Configuración “Master-Slave”
- 5.5. Biestables T y D.
  - 5.5.1. D Disparado por Flancos
- 5.6. Problemas
  - Preparación de la Evaluación
  - Referencias Bibliográficas

### +++ OBJETIVOS DEL TEMA

*El considerar la existencia de elementos de “memoria” en el análisis y la síntesis de circuitos digitales nos obliga a dos cosas:*

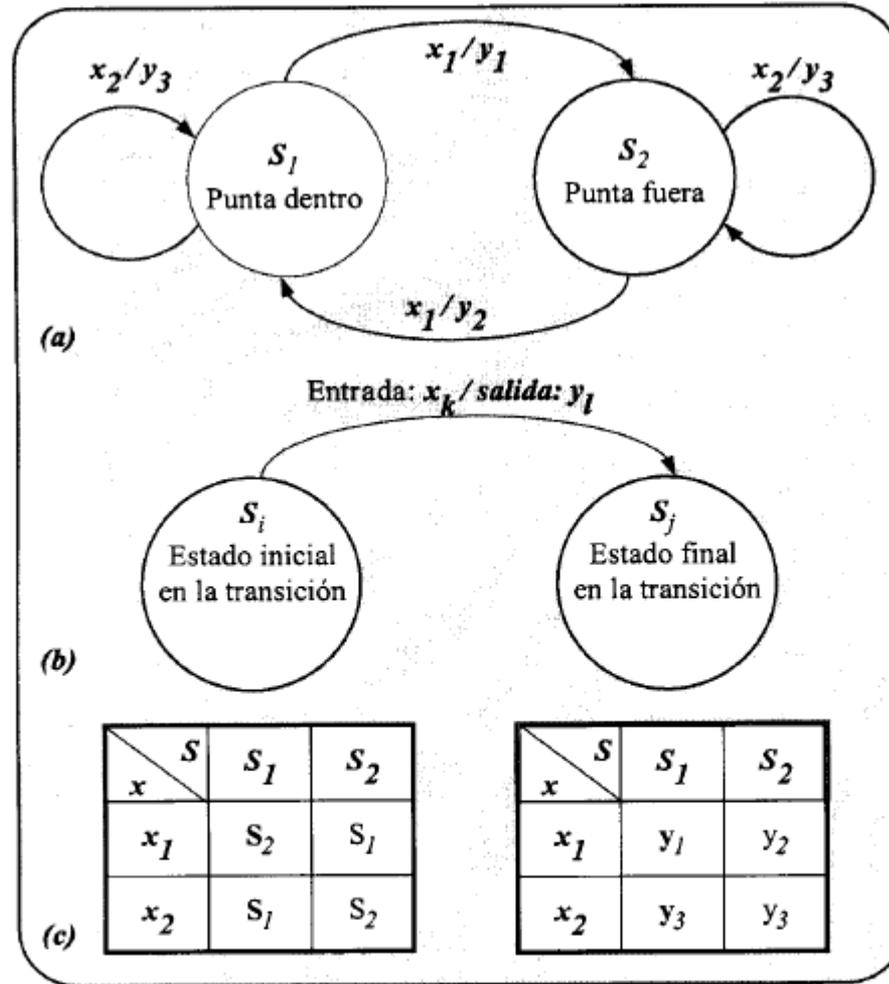
- I. Ampliar el modelo matemático soporte de la electrónica digital pasando del álgebra de Boole (suficiente para los circuitos combinacionales) a la teoría de autómatas finitos. Esto conlleva, además, ampliar las arquitecturas incluyendo la realimentación que cierra uno o varios lazos en los que se incluyen funciones combinacionales y elementos de memoria.*
- II. Ampliar el conjunto de operadores básicos. Antes nos bastaba con AND, OR, NOT ó NAND y ahora necesitamos añadir los biestables cuya función fundamental es el retardo: Un circuito que en el instante  $t+\Delta t$  nos da a su salida la entrada que tenía en  $t$  ó una función de la misma.*

*Por consiguiente, los objetivos generales del tema son:*

- Objetivo 1:** *Comprender aspectos conceptuales básicos en teoría de autómatas finitos, incluyendo el manejo del tiempo en diseño digital.*
- Objetivo 2:** *Entender con cierta profundidad el comportamiento de los distintos tipos de biestables, tanto por su configuración de disparo (D, T, R-S, J-K) como por su estructura interna (niveles, disparados por flancos, tipo “maestro-esclavo”, etc...).*

# 5.1.

## Introducción a los Autómatas Finitos: concepto de estado



**Figura 8.1.** (a) Diagrama de transición de estados del sistema-bolígrafo. (b) Ley general de representación de las transiciones entre estados indicando en el arco que los une la entrada que provoca la transición y la salida que se produce como consecuencia de esa entrada y de esa transición. (c) Tablas de producción de salidas y nuevos estados.

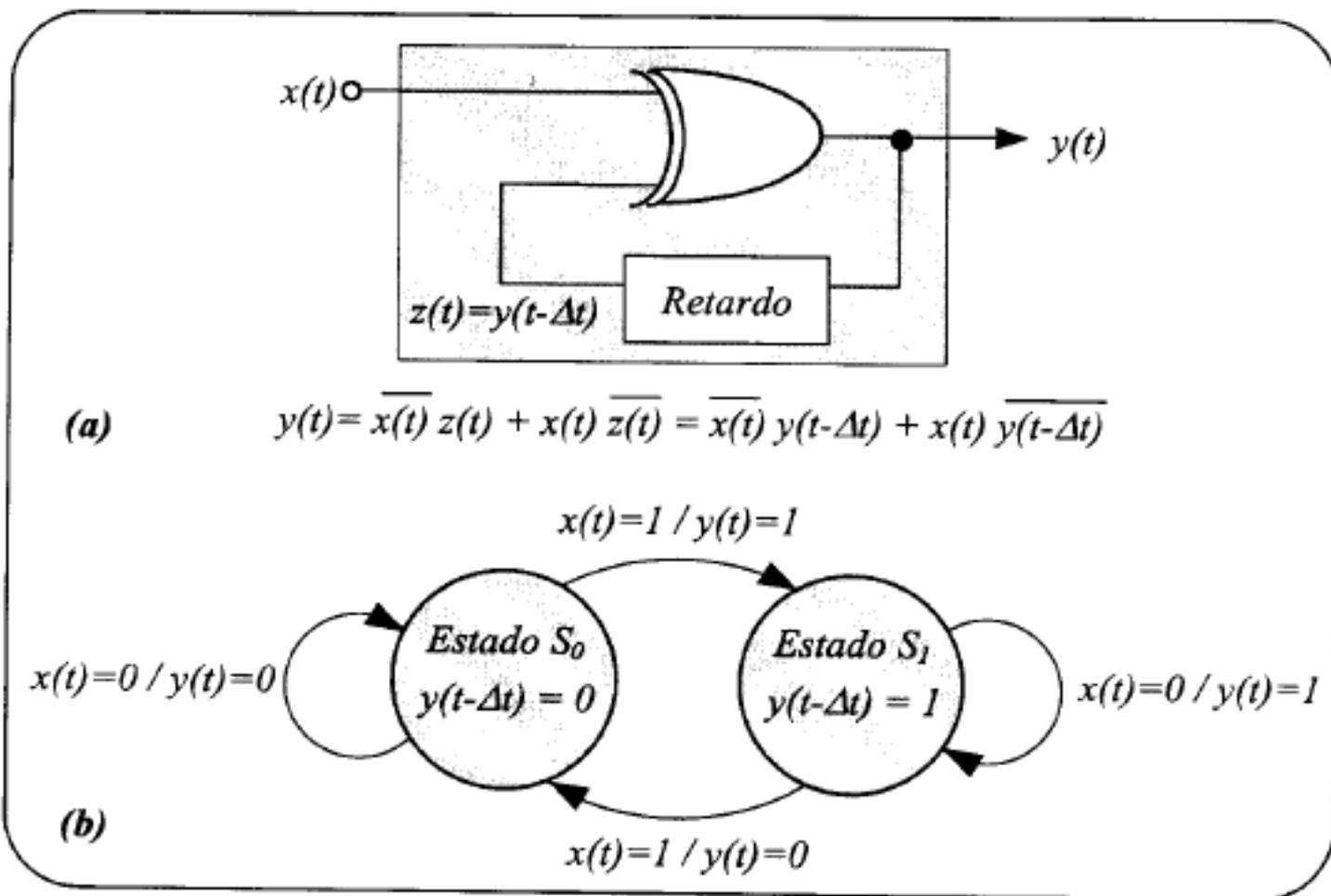


Figura 8.4. (a) Circuito con una puerta XOR y un retardo. (b) Diagrama de transición de estados.

Hemos usado estos ejemplos tan sencillos porque contienen todos los elementos necesarios para formular la teoría de autómatas. En términos más formales diremos que un autómata finito y determinístico es una máquina matemática que opera en una escala cuantificada de tiempos y viene definido por un quinteto:

$$A=(X, Y, S; f, g) \quad [8.1]$$

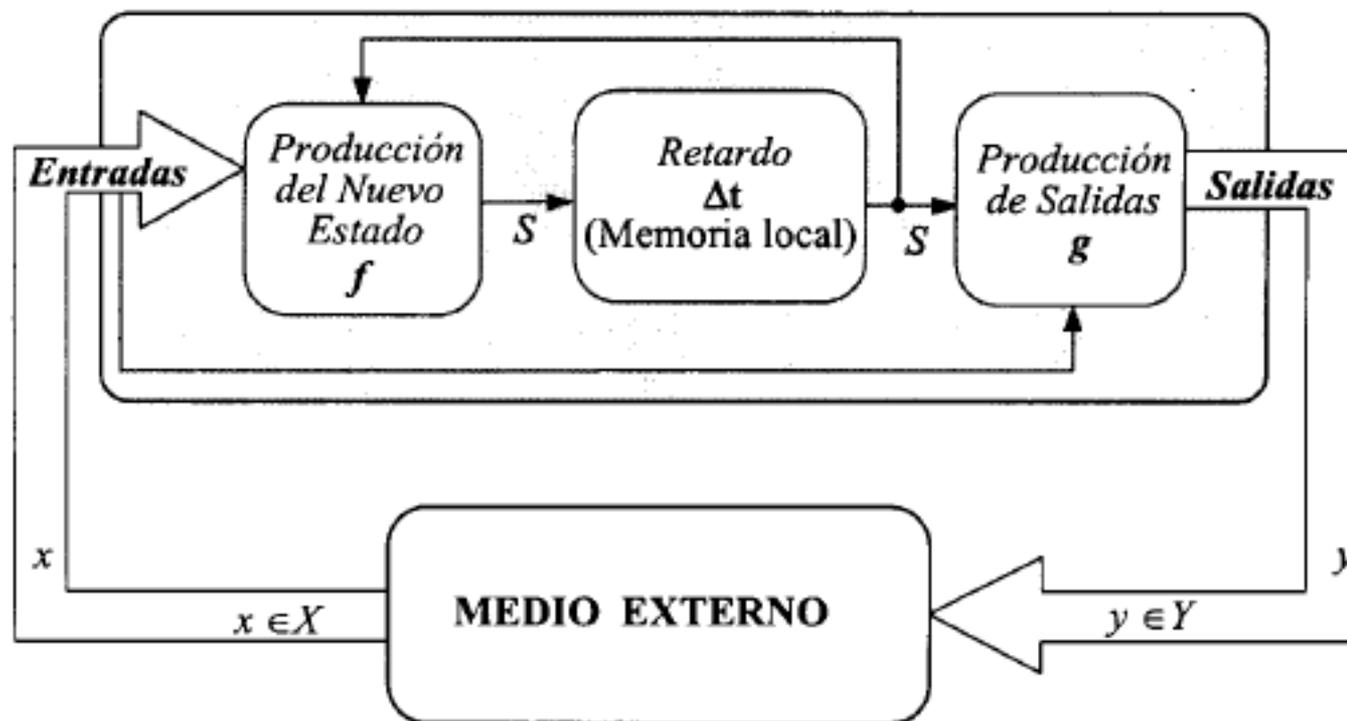
donde:

*X*: es el conjunto finito de posibles entradas,  $\{x_i\}$ ,  $i = 1, \dots, n$

*Y*: es el conjunto finito de posibles salidas,  $\{y_k\}$ ,  $k = 1, \dots, p$

*S*: es el conjunto finito de posibles estados internos,  $\{S_j\}$ ,  $j = 1, \dots, m$

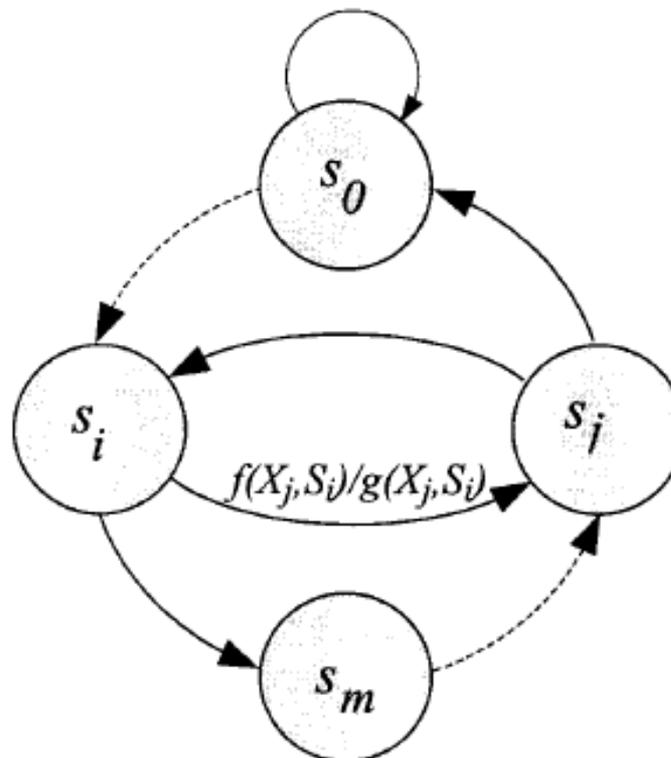
*f* y *g*: son dos conjuntos de reglas de decisión que representan la dinámica del sistema en la producción de nuevos estados (reglas *f*) y en la producción de salidas (reglas *g*)



**Figura 8.5** Estructura computacional de un autómata finito y determinístico.

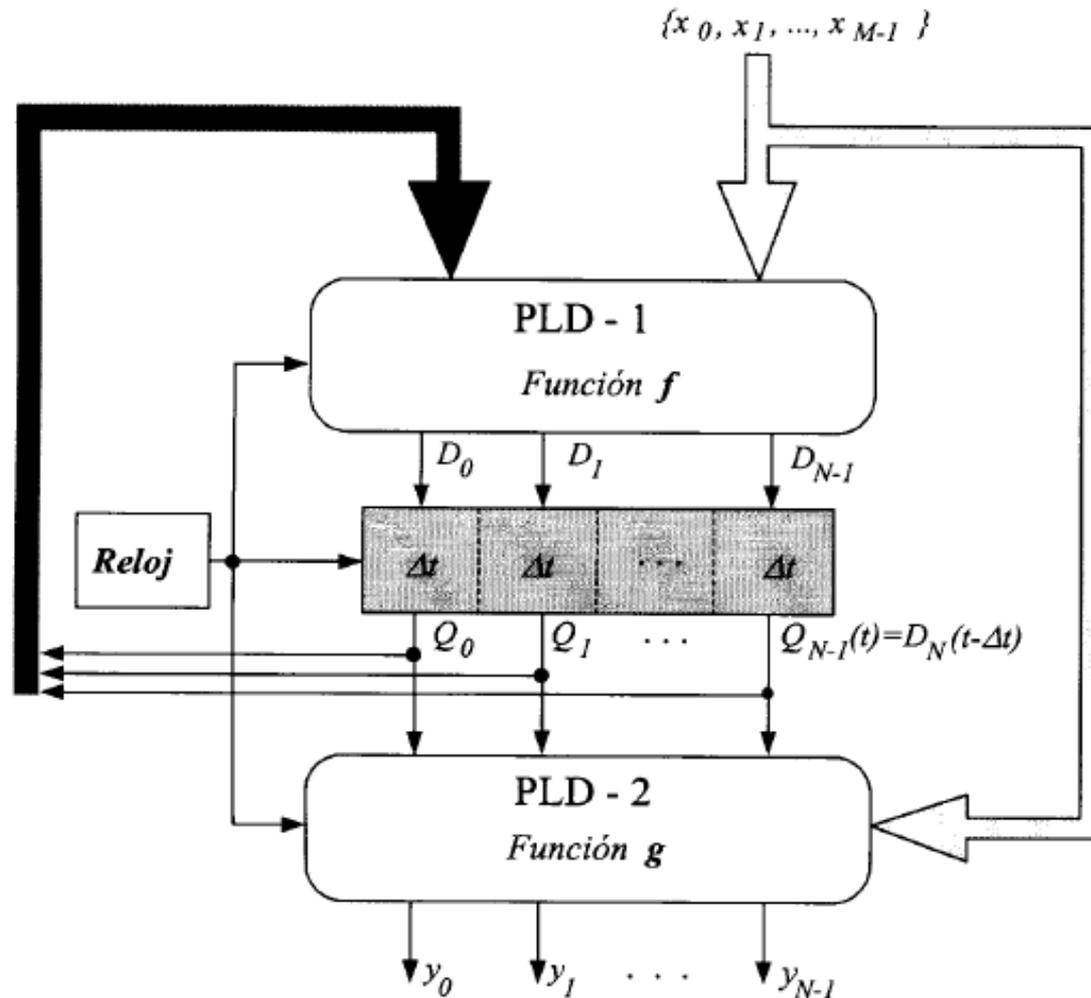
		Entrada Actual				
		$X_0$	...	$X_j$	...	$X_n$
Estado Actual	$S_0$	$f(X_0, S_0)/g(X_0, S_0)$		...		$f(X_n, S_0)/g(X_n, S_0)$
	$S_i$	...		$f(X_j, S_i)/g(X_j, S_i)$		...
	$S_m$	$f(X_0, S_m)/g(X_0, S_m)$		...		$f(X_n, S_m)/g(X_n, S_m)$

(a)



(b)

Figura 8.6. (a) Tabla de transición. (b) Diagrama de transición de estados.



**Figura 8.7.** Arquitectura general de un circuito secuencial. Es decir, de un autómata finito en el que las variables son pulsos o niveles, las funciones son lógica combinacional y el estado se almacena en  $N$  biestables.

## 5.2. El Tiempo en Digital: comportamiento síncrono y asíncrono

- Síncrono
  - Cambia al cambiar las entradas y cumplir una condición de reloj (onda cuadrada).
  - Están gobernados por un reloj
  - Los sucesos ocurren en los entornos de los pulsos de reloj
  - Poseen una entrada adicional para la entrada de reloj, que controlan los instantes que se hacen efectivos los cambios
- Tiempo de asentamiento (Setup Time  $t_{su}$ )
  - Garantiza que las señales de entrada han alcanzado nivel estable
- Tiempo de retención (hold time  $t_h$ )
  - Tiempo que las entradas tienen que permanecer estables después del pulso de reloj

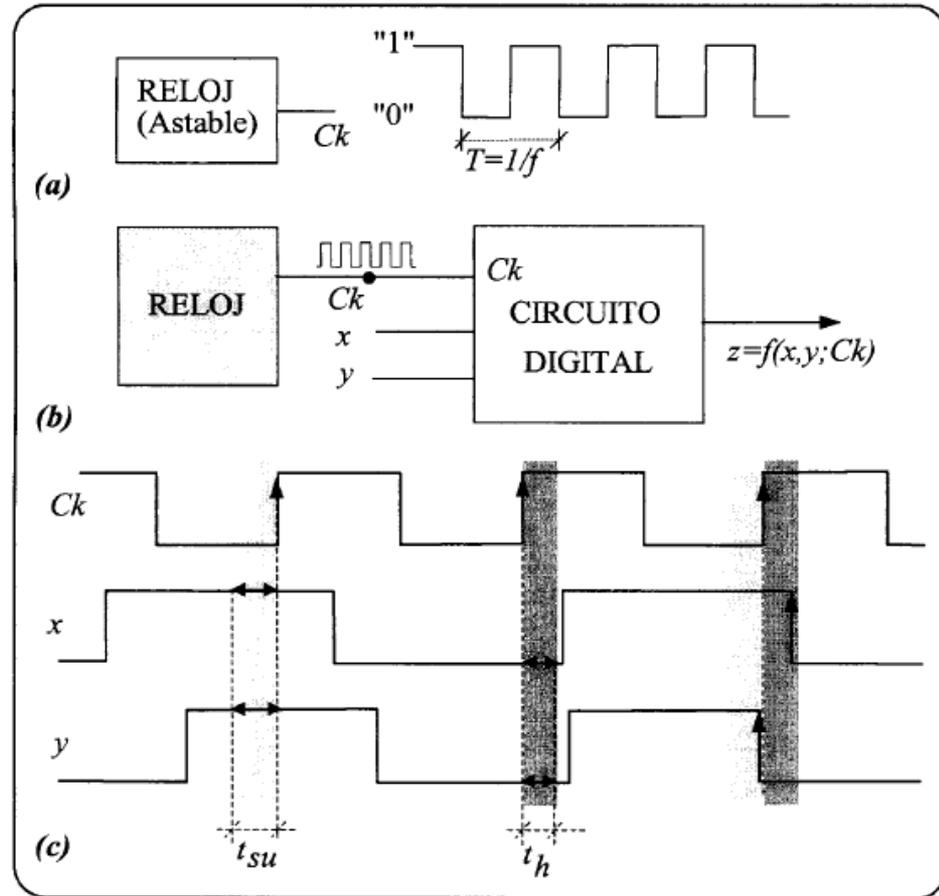


Figura 8.8. Comportamiento síncrono. (a) Reloj. (b) Circuito digital con la entrada adicional  $Ck$ . (c) Cronograma ilustrando los tiempos de asentamiento ("setup time") y de retención ("hold time").

# Asíncrono

- Asíncrono
  - Cambia al cambiar las entradas.
- M. Fundamental:
  - No puede existir cambio simultáneo en las variables de entrada
- Modos Pulso:
  - Las señales solo están en alta un corto periodo de tiempo

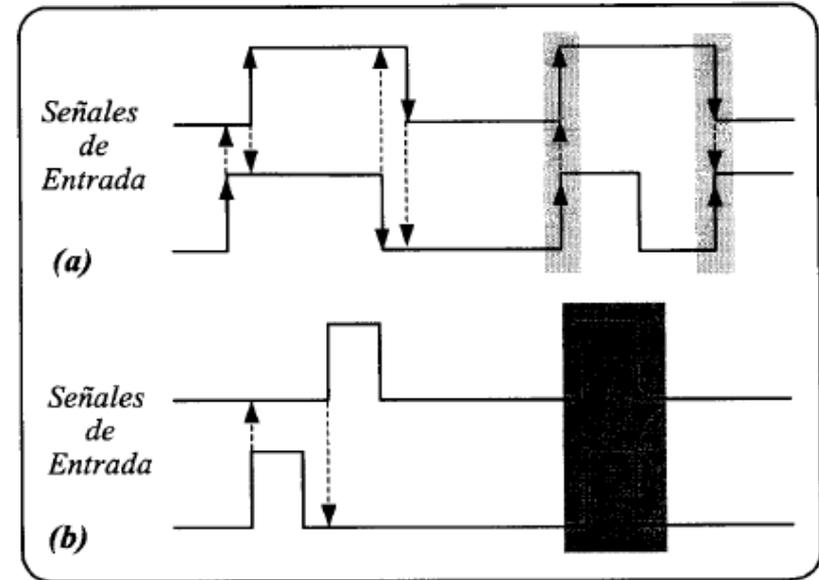


Figura 8.9. Circuitos asíncronos. (a) Modo fundamental. (b) Funcionamiento por pulsos.

# 5.3. Biestables

- Encargados de almacenar el estado interno del sistema
- Los circuitos biestables son circuitos binario (con dos estados)
- Ambos estados son estables
  - Es necesario una señal externa para hacerlos cambiar de estado
- Tipos
  - D, T, R-S, J-K

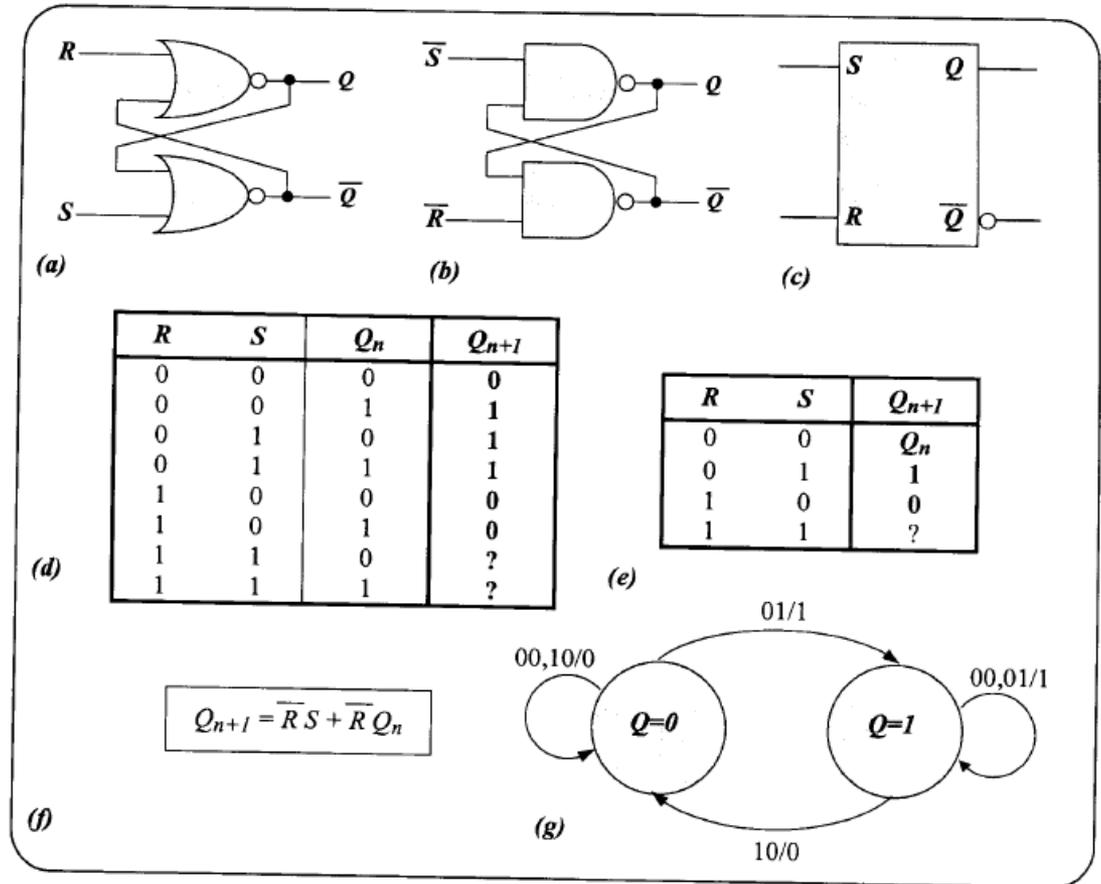


Figura 8.11. Síntesis de la versión mínima de los biestables R-S. (a) Con dos puertas NOR realimentadas (entradas R y S activas en alta). (b) Con dos puertas NAND (entradas  $\overline{R}$  y  $\overline{S}$  activas en baja). (c) Símbolo lógico, (d) y (e) Tablas. (f) Expresión lógica. (g) Diagrama de transición de estados.

Biestable = dos estados estables



Cada tipo (RS, JK, D, T), las señales de entrada pueden ser síncronos por nivel, por pulso o por flanco, o Asíncronos

# 5.3.1. R-S (asíncrono) Básico

- R:
  - Puesta a cero
- S:
  - Puesta a 1

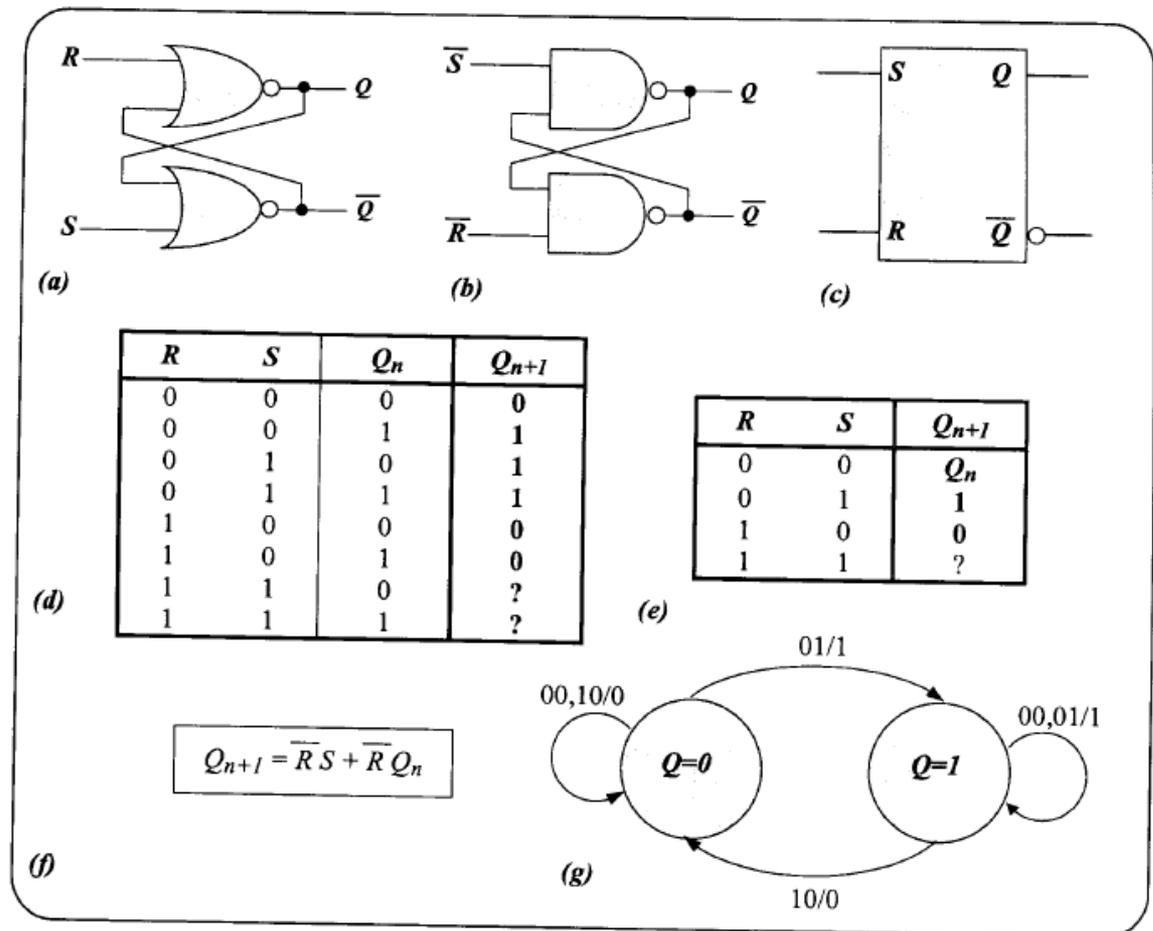
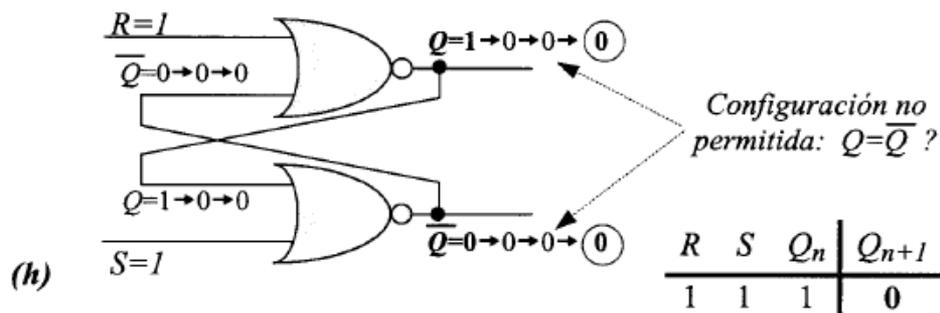
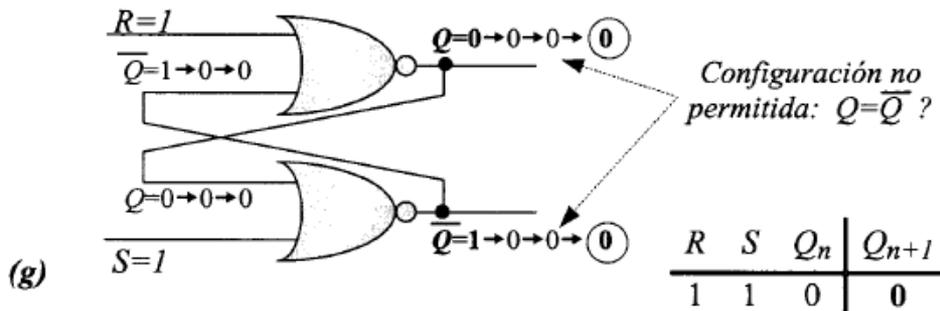
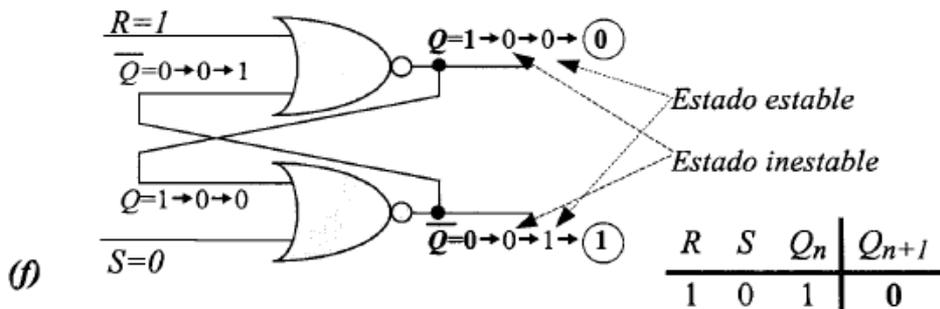
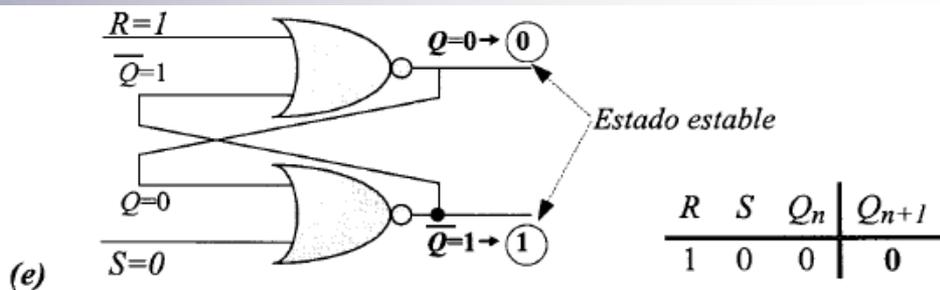
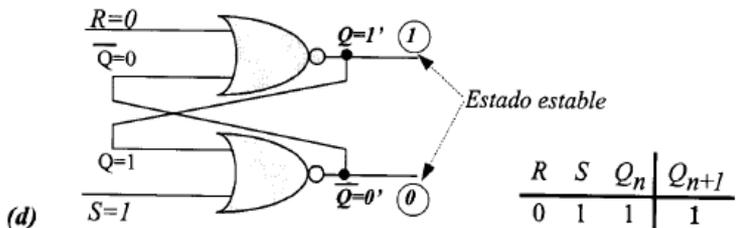
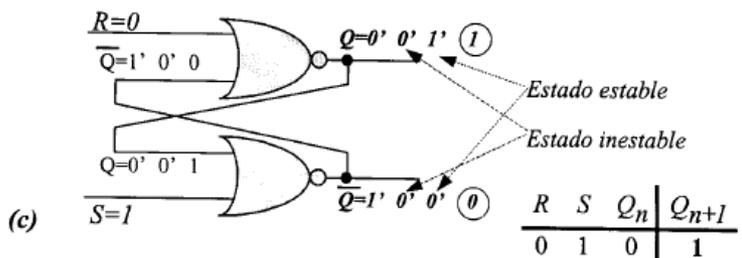
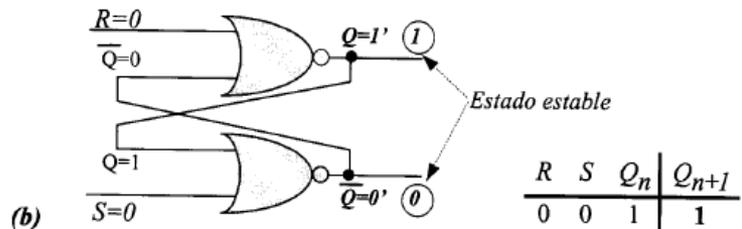
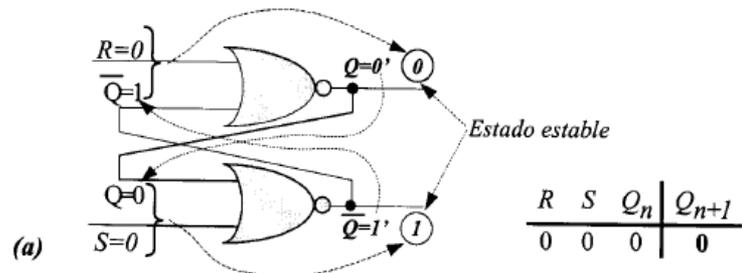
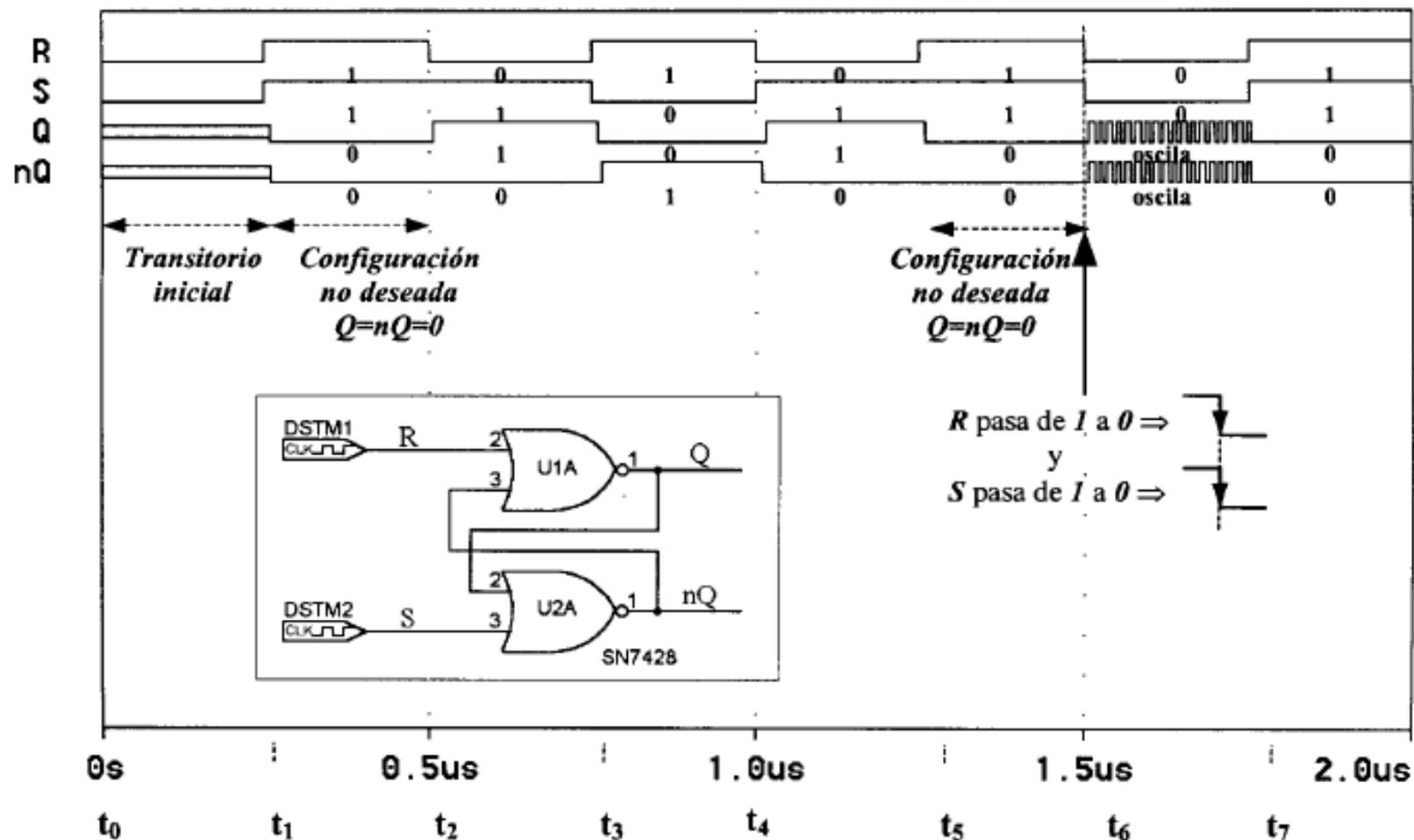


Figura 8.11. Síntesis de la versión mínima de los biestables R-S. (a) Con dos puertas NOR realimentadas (entradas R y S activas en alta). (b) Con dos puertas NAND (entradas  $\overline{R}$  y  $\overline{S}$  activas en baja). (c) Símbolo lógico, (d) y (e) Tablas. (f) Expresión lógica. (g) Diagrama de transición de estados.



Descripción detallada del comportamiento del biestable R-S. Ver la explicación de las configuraciones en el texto. Cuando en una entrada o en una salida hay una sucesión de valores (0→0→1, 1→0→0) significa que la configuración propuesta inicialmente por  $Q$  y  $\bar{Q}$  no será estable. Cuando se alcanza un valor estable se encierra en un círculo.



**Figura 8.13.** Simulación del circuito R-S básico. La oscilación aparece cuando  $R$  y  $S$  pasan a la vez de 11 a 00. Si se desea evitar, basta cambiar los relojes (distinto periodo para  $S$  que para  $R$ ) para que no ocurra esa situación.

## 5.3.2. R-S Sincronizado a Niveles

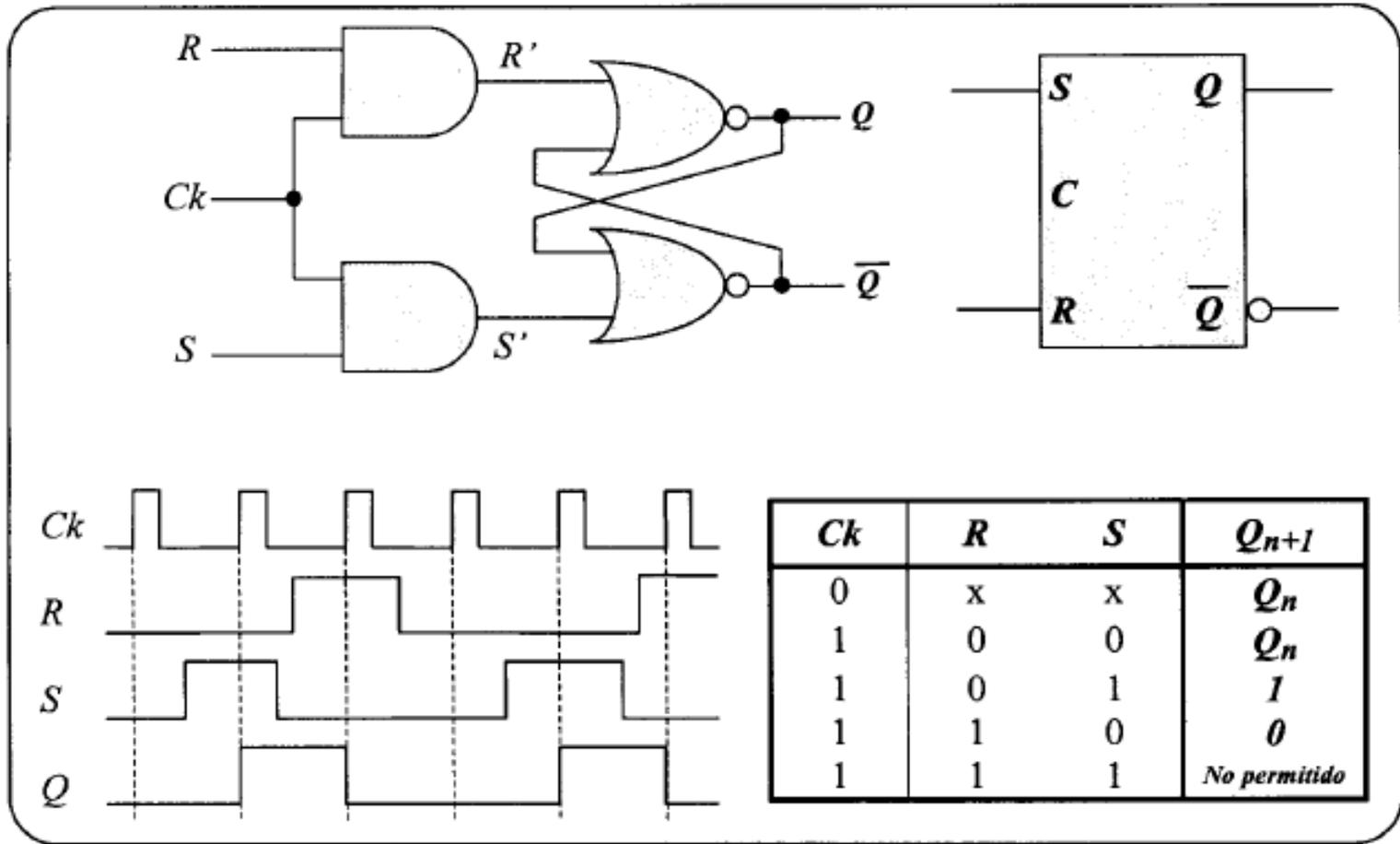
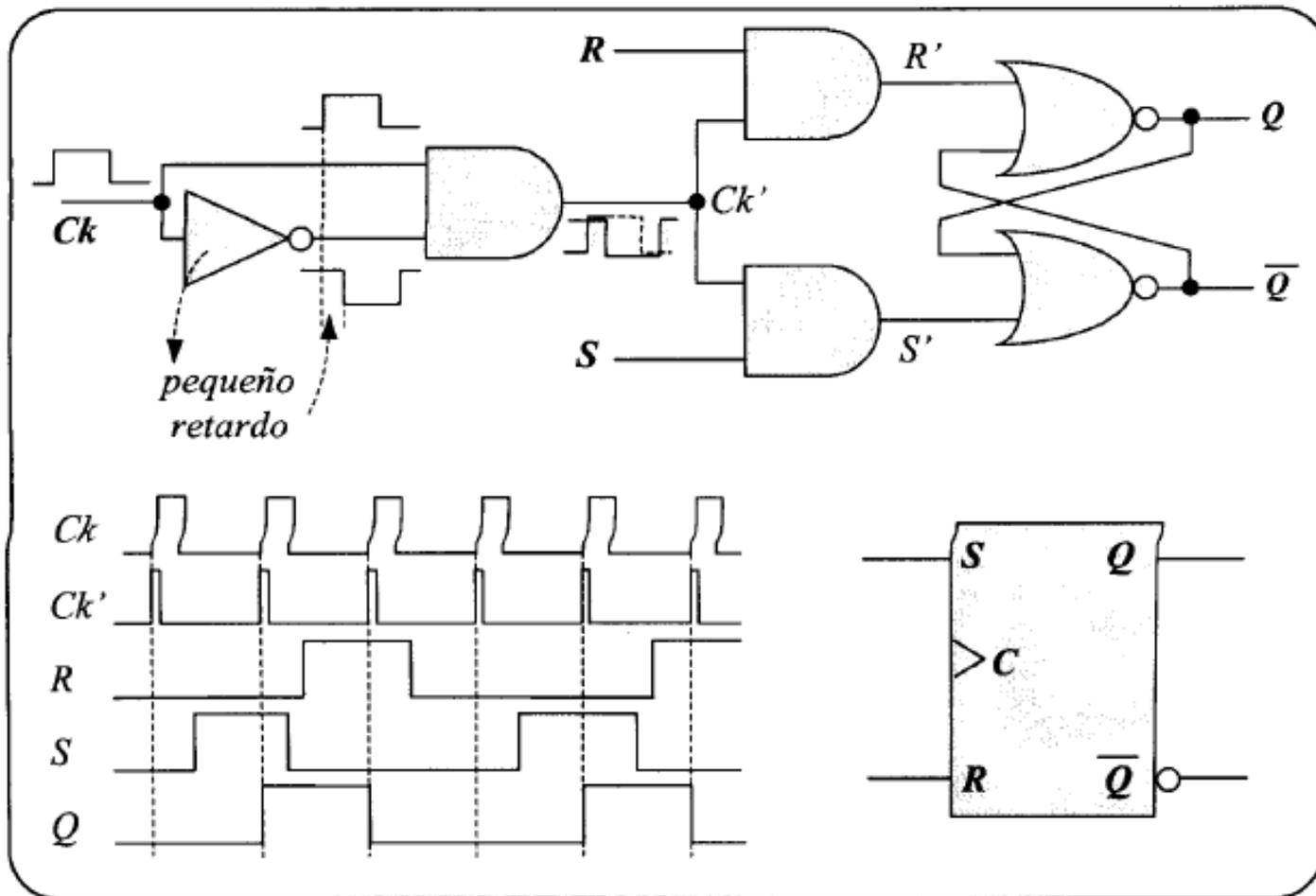


Figura 8.14. Biestable R-S con puertas NOR sincronizado a niveles.

Si el nivel es muy ancho, se pueden cometer errores de cambio de valor de R o S

## 5.3.3. Disparo por Flancos



**Figura 8.15.** Circuito de modificación de los pulsos del reloj para disparar por flancos positivos al biestable R-S.

Dibujar el cronograma correspondiente a una misma sucesión de niveles de tensión en las entradas de set (S) y reset (R) de tres biestables R-S: a) El básico, b) uno sincronizado a niveles y c) otro disparado por flancos positivos. Dibujar en los tres casos la evolución temporal de la salida Q.

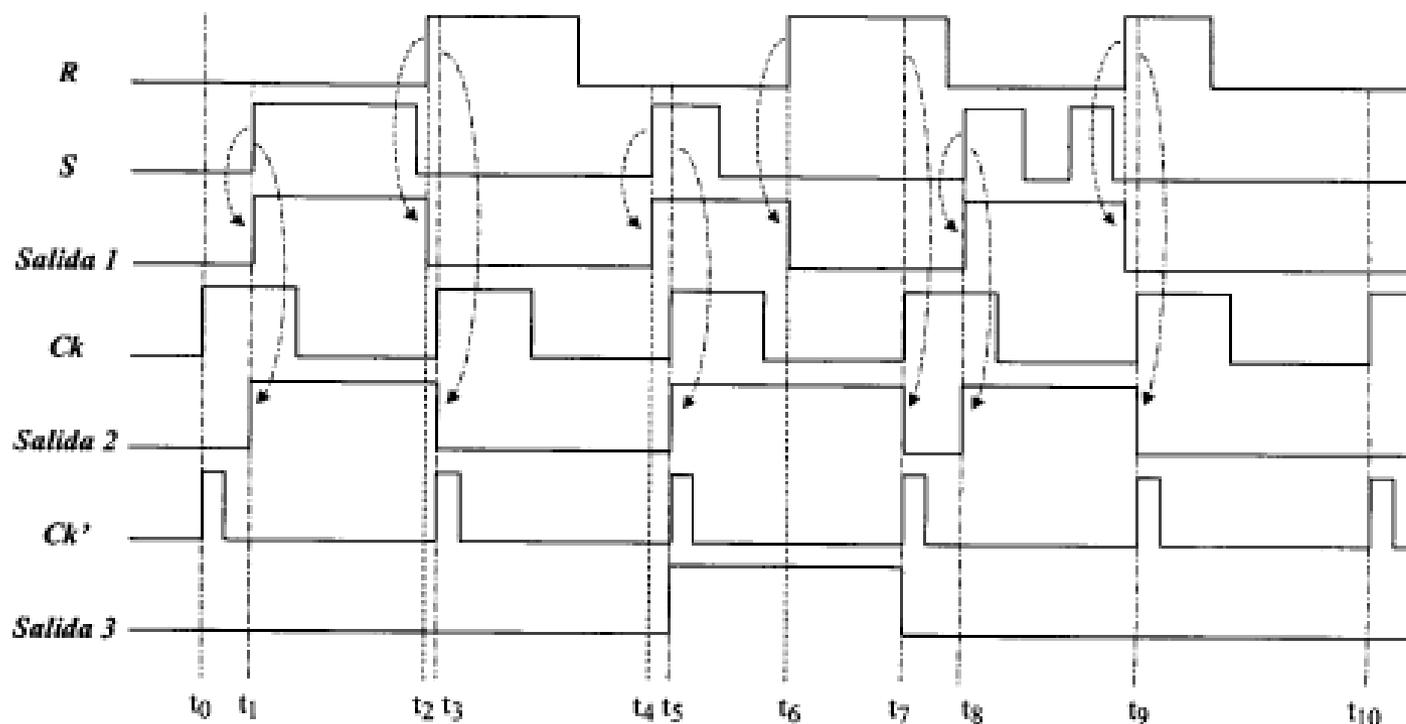


Figura 8.16. Respuestas de los biestables R-S básico, sincronizado a niveles y disparado por flancos positivos a las mismas señales de entrada.

## 5.3.4. R-S Sincronizado a Nivel y con Entradas Asíncronas de Preset (puesta a 1) y Clear (puesta a cero)

- Para establecer condiciones iniciales y provocar cambios forzados de forma asíncrona

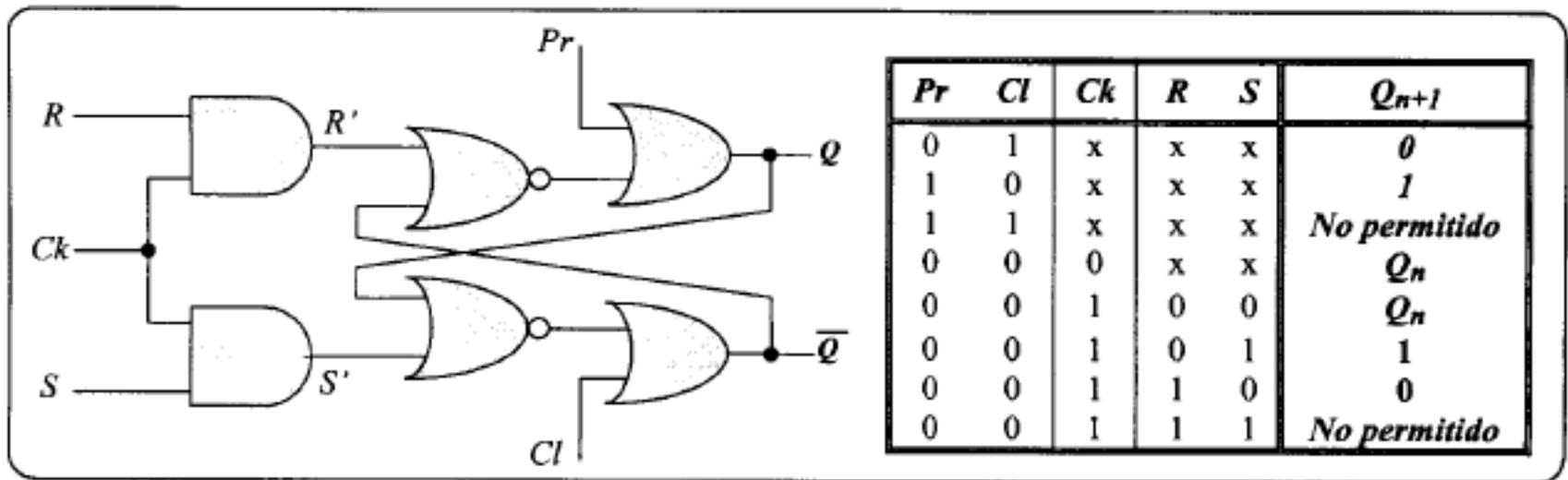
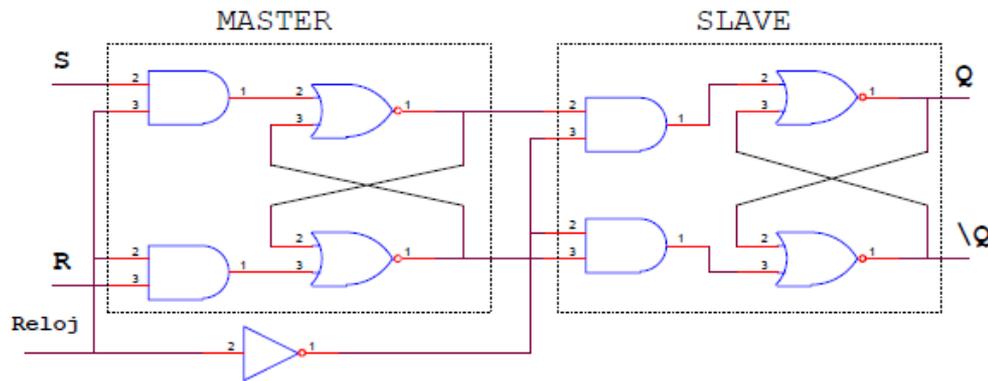
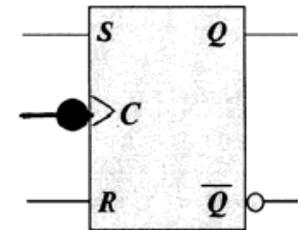


Figura 8.17. Biestable R-S sincronizado a nivel con entradas  $Pr$  y  $Cl$  asíncronas.

## RS Master-Slave



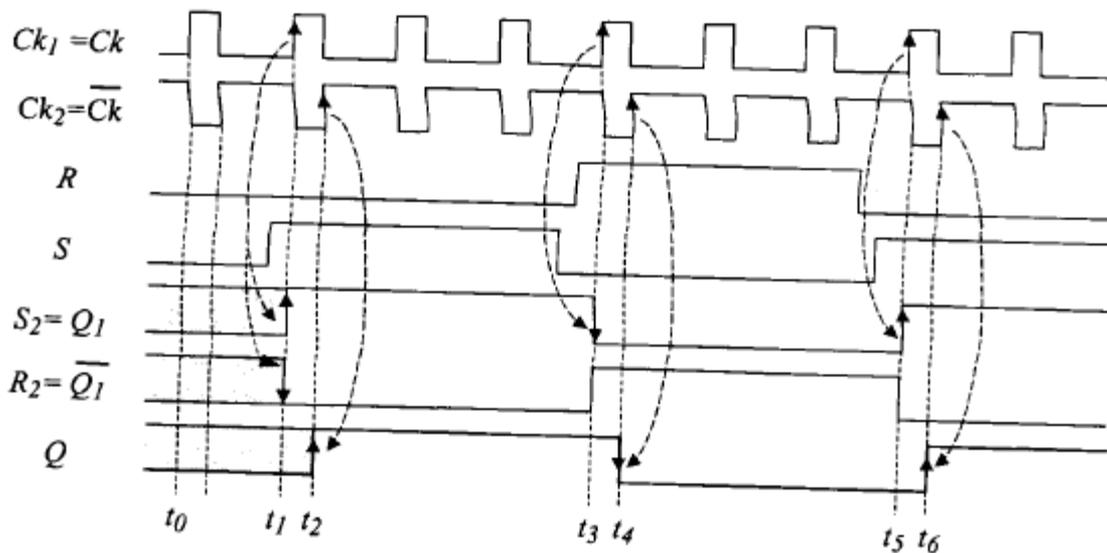
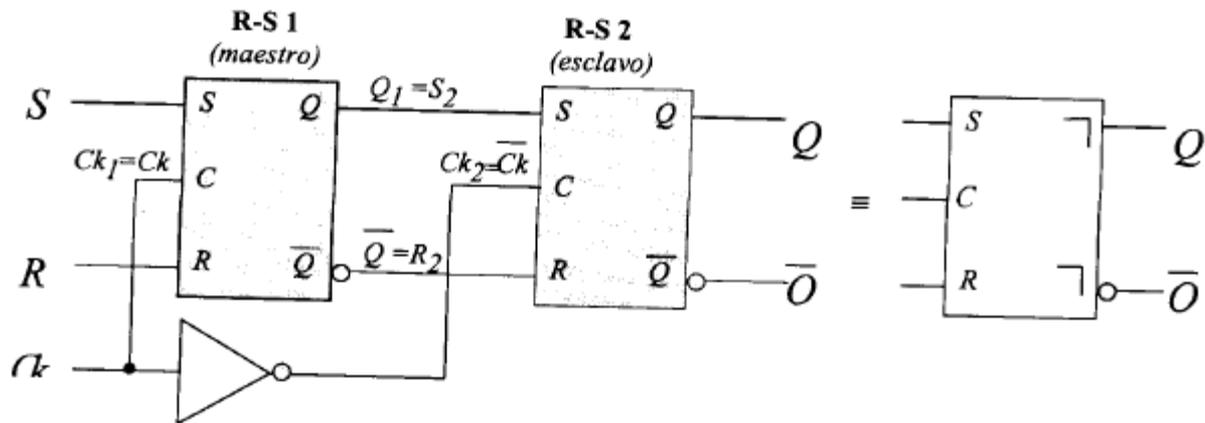
Con el nivel alto del reloj cambia la maestra y con el bajo la esclava.



Reloj	S	R	Q
Nivel	x	x	$Q_{t-1}$
↓	1	0	1
↓	0	1	0
↓	0	0	$Q_{t-1}$
↓	1	1	Imposible

Figura 8.24

**Solución:**



**Figura 8.24.** Configuración maestro-esclavo con R-S

# 5.4. Biestables J-K

- Soluciona R=S=1 del R-S
- J hace la función de Set, puesta a 1
- K hace la función de Reset, puesta a cero
- Siguiente transparencia:
  - Análisis de "inestabilidad", que solucionaremos con la configuración Master-Slave

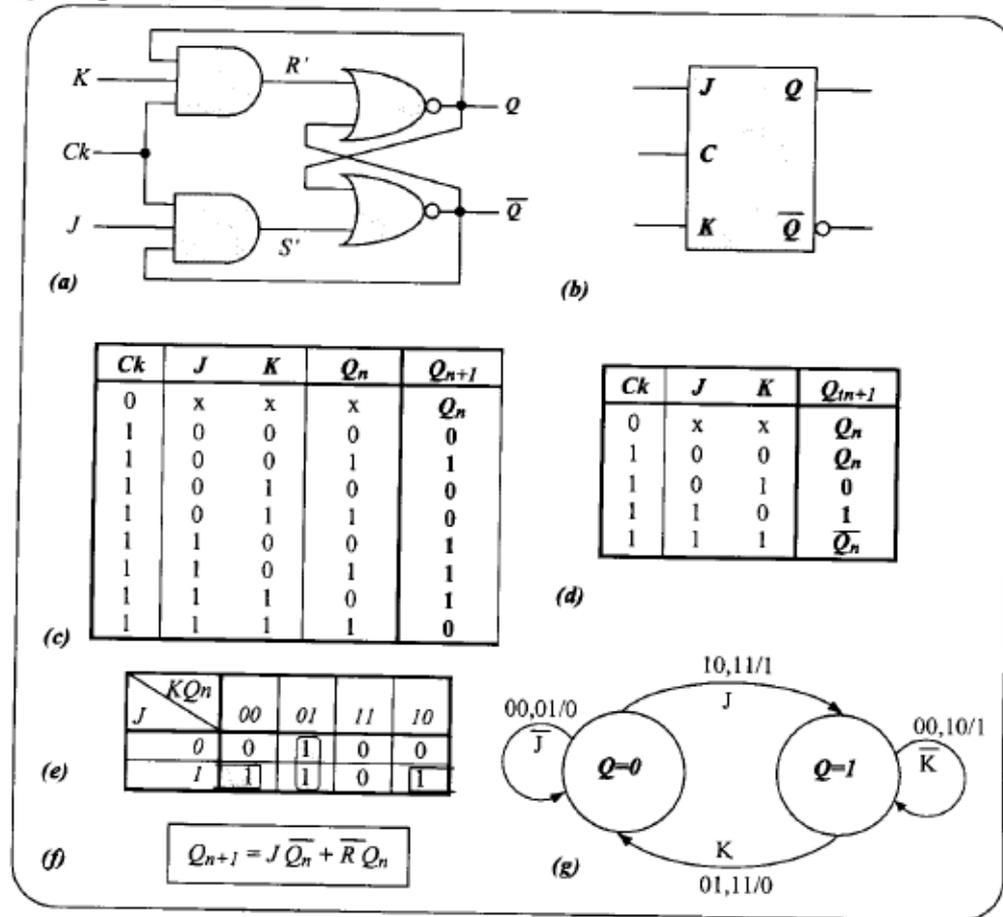
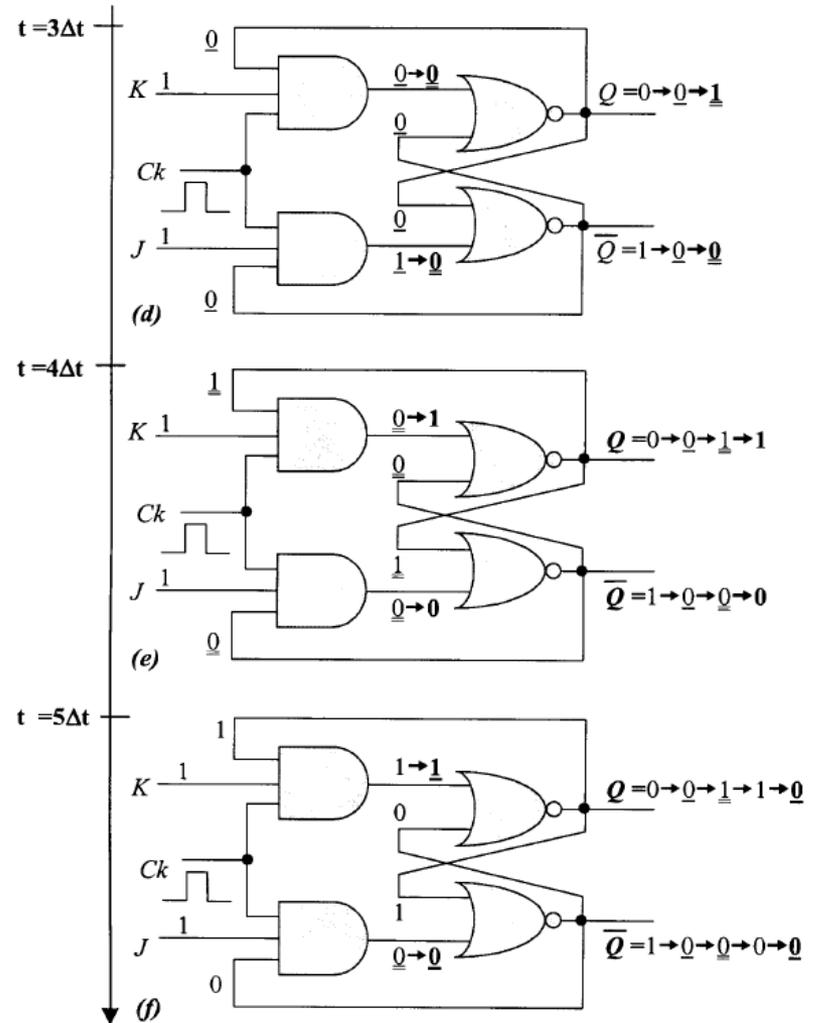
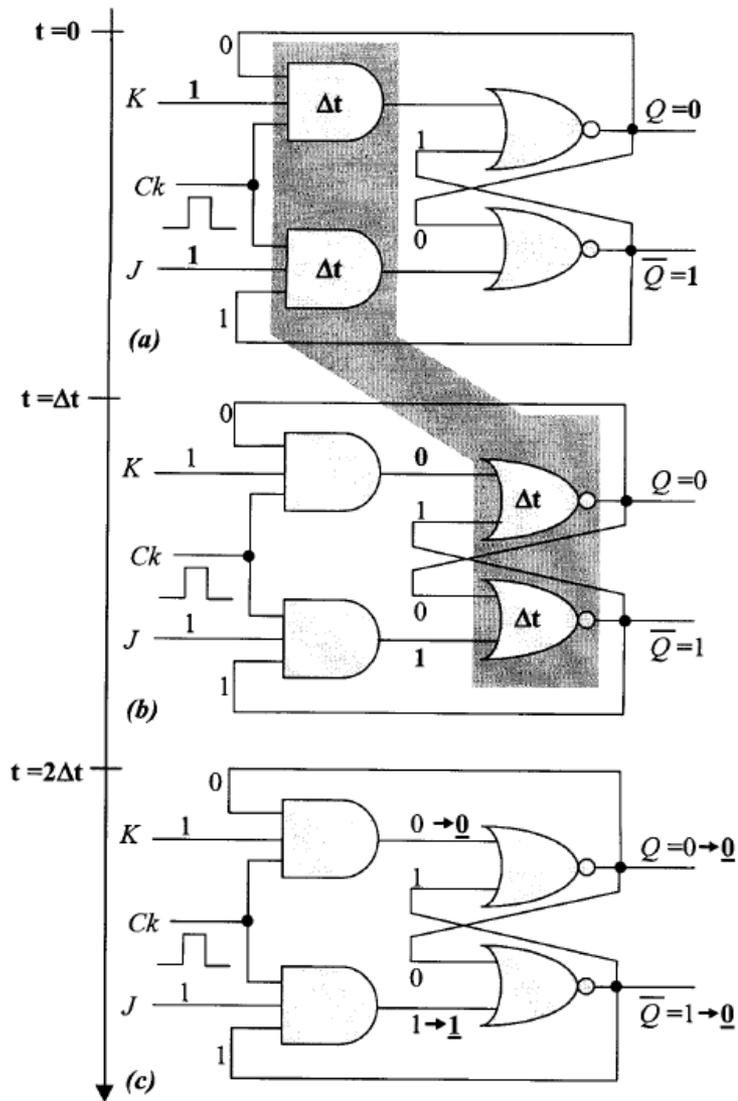


Figura 8.19. Biestable J-K sincronizado a niveles. (a) Circuito. (b) Símbolo lógico. (c) Tabla de verdad completa. (d) Tabla simplificada. (e) Minimización de la expresión de Q<sub>n+1</sub>. (f) Ecuación lógica resultante. (g) Diagrama de transición de estados.



Análisis detallado de la evolución temporal del proceso de realimentación en un biestable J-K. (cont) Para facilitar la comprensión de la figura hemos señalado con negrita los valores calculados disparado por pulsos de reloj, sincronizados al nivel de alta. Se muestran 8 "fotos" (instantáneas) correspondientes a las distintas fases de transmisión de las señales en los lazos de realimentación a través de los retardos ( $\Delta t$ ) inherentes a las puertas AND y NOR.

# 5.4.1. Configuración "Master-Slave"

Para solventar la inestabilidad de los J-K por niveles, configuración master-slave

Dos biestables conectados en serie y con relojes complementarios que interrumpen la conexión lógica entre la salida y la entrada

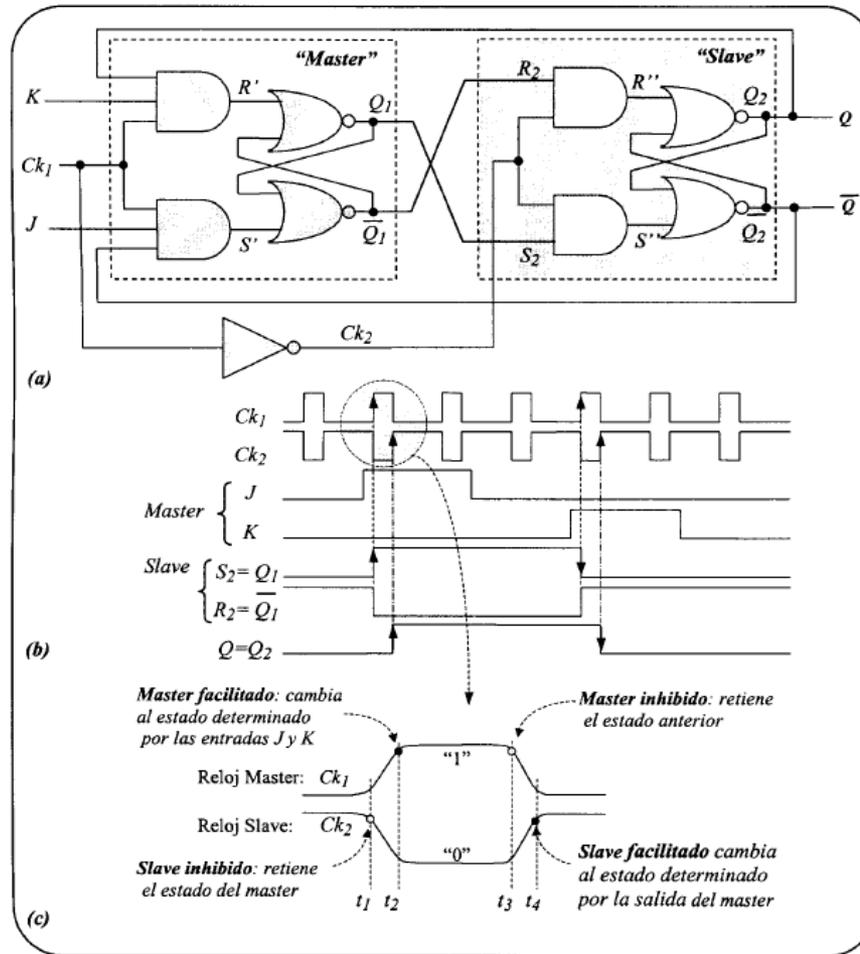


Figura 8.21. Configuración J-K "master-slave". (a) Circuito. (b) Cronograma con la evolución temporal de las señales durante el disparo de un J-K "master-slave". (c) Reloj en  $Ck_1$  y  $Ck_2$ , ilustrando los instantes de conmutación en ambas secciones.

### Solución

Para el disparo por pequeños pulsos asociados a las transiciones de baja a alta del reloj, podemos usar un circuito como el de la *figura 8.23* y para incluir *preset* y *clear* asíncronos ponemos dos nuevas puertas OR a la salida de las NOR, con lo que el circuito queda:

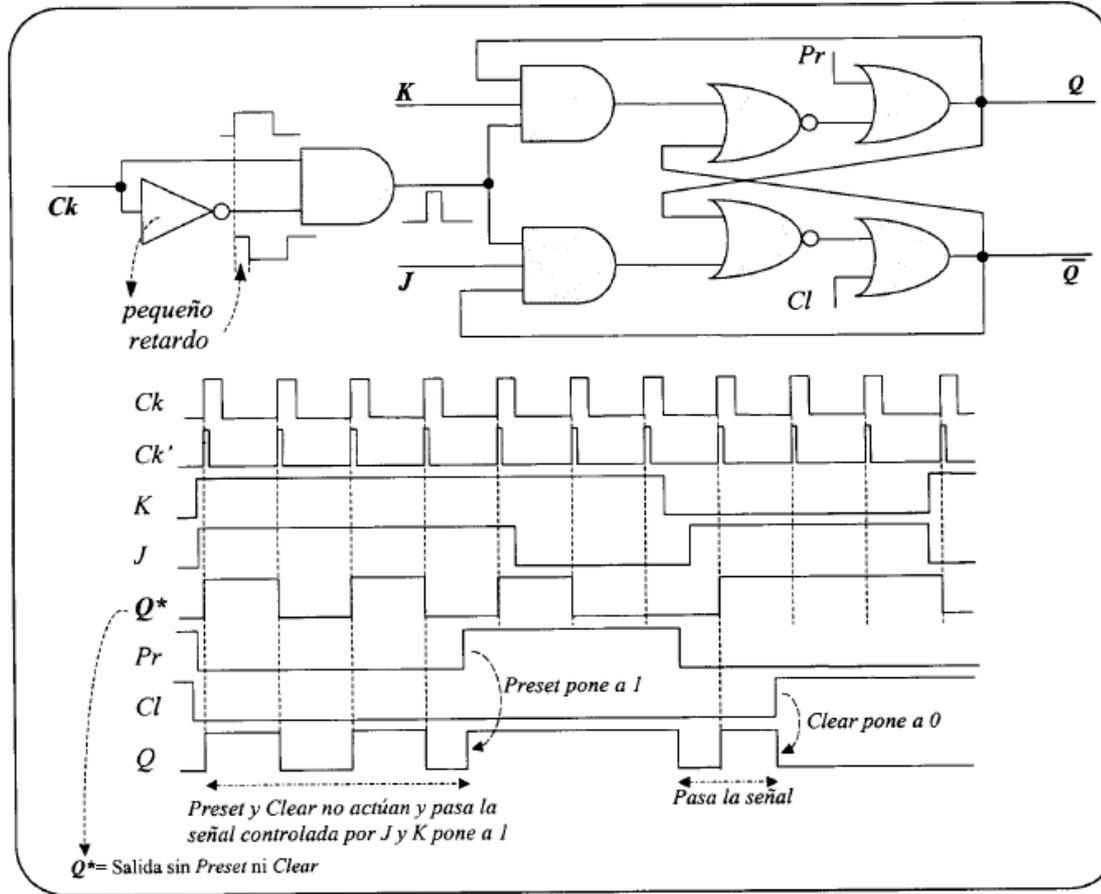
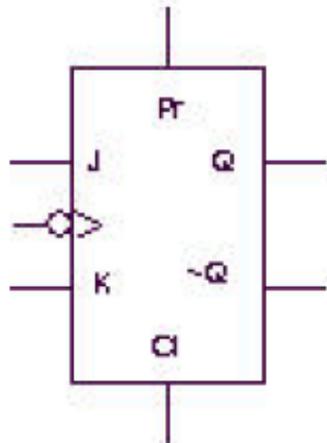
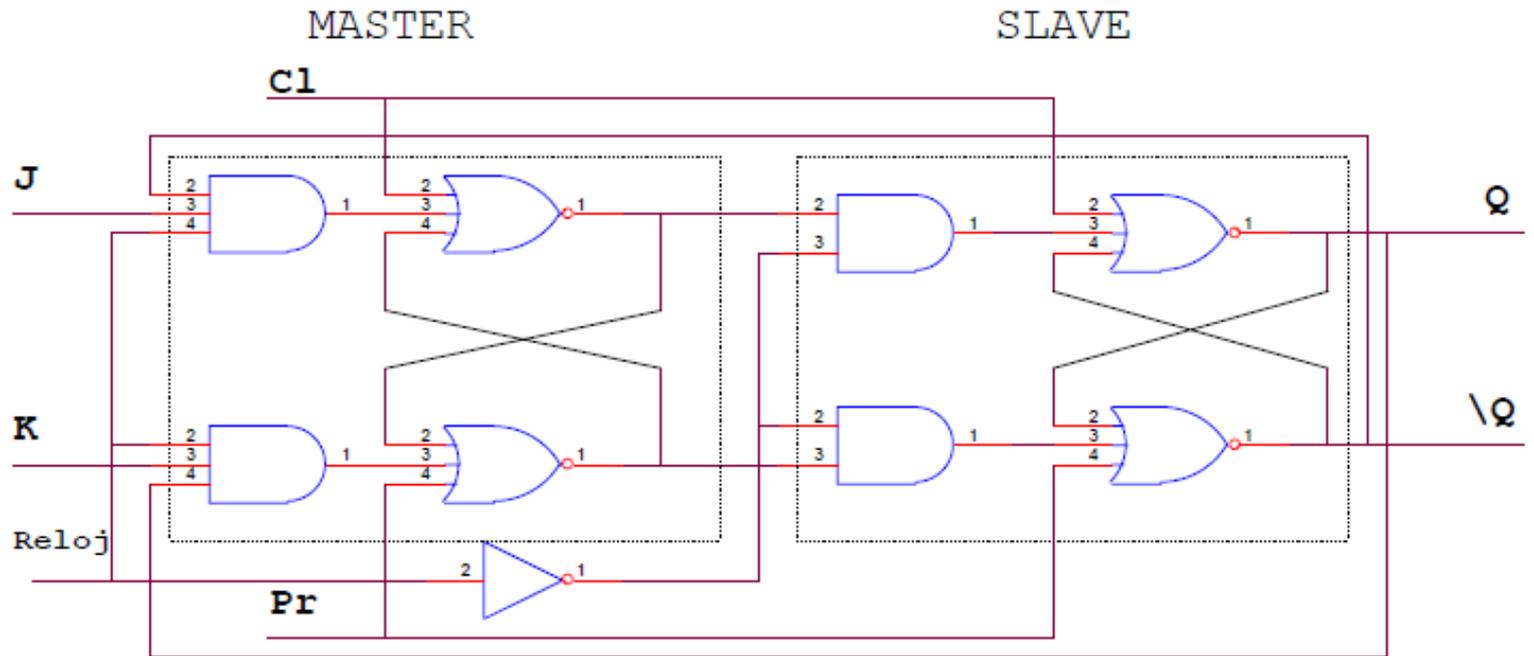


Figura 8.23. Circuito de disparo del J-K por pulsos estrechos.

# J-K Master Slave con Preset y Clear

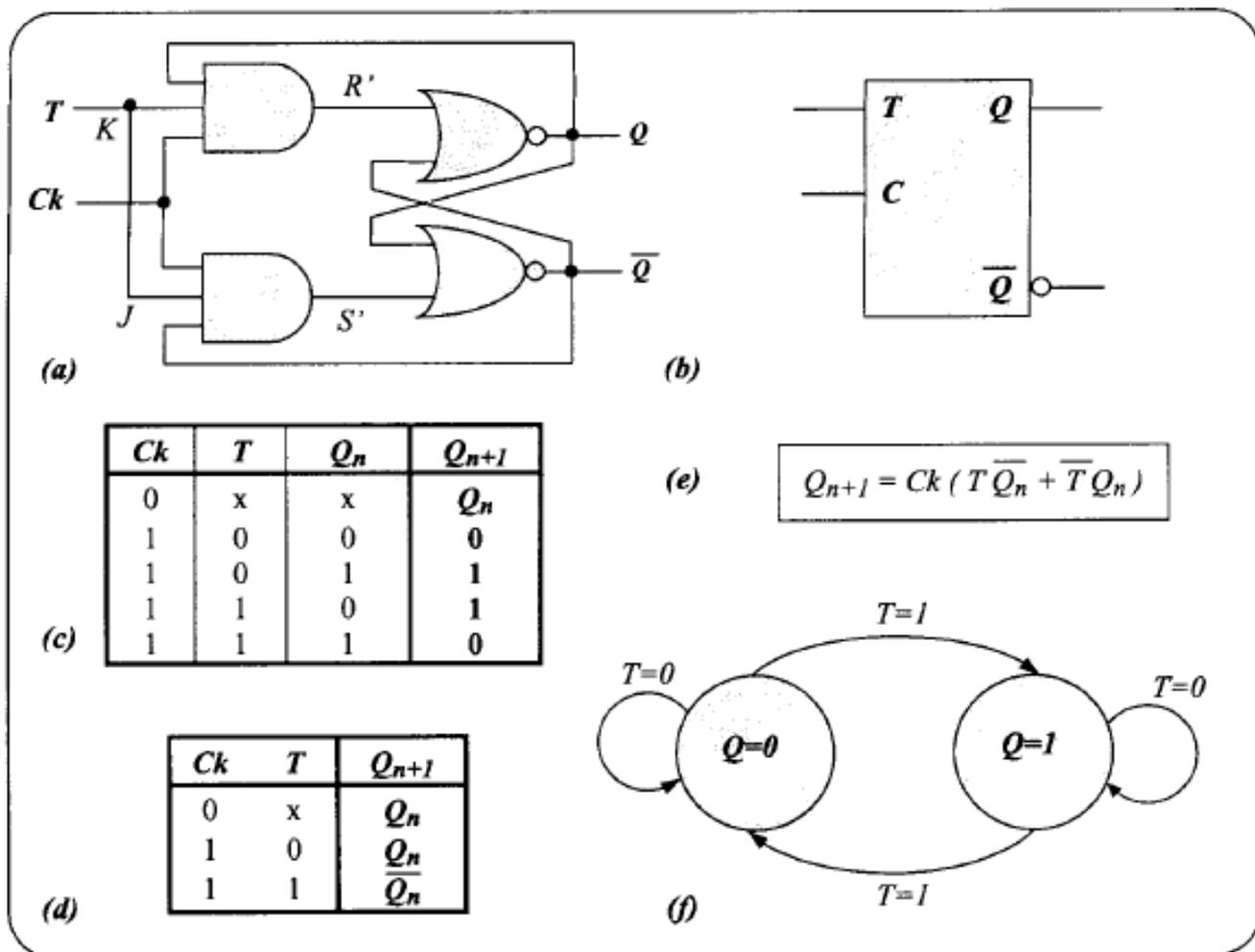


Pr	Cl	Ck	J	K	Q
1	0	X	X	X	1
0	1	X	X	X	0
1	1	X	X	X	IMPOSIBLE
0	0	↓	0	0	$Q_{t-1}$
0	0	↓	1	0	1
0	0	↓	0	1	0
0	0	↓	1	1	BASCULA

## 5.5. Biestables T y D

### ■ **Básculas T (Toggle)**

- Igual que la JK pero siempre con la dos entradas (J y K) unidas formando la entrada T  $\Rightarrow$
- $T=0$  la báscula no cambia
- $T=1$  la báscula bascula continuamente.



**Figura 8.25** Configuración T. (a) Obtención del T a partir de un J-K haciendo  $T=J=K$ . (b) Símbolo lógico. (c) y (d) Tablas de verdad. (e) Expresión lógica. (f) Diagrama de transición de estados.

# D (Delay)

D  $\Rightarrow$  Delay = Retardo

## ■ D Síncrona por nivel

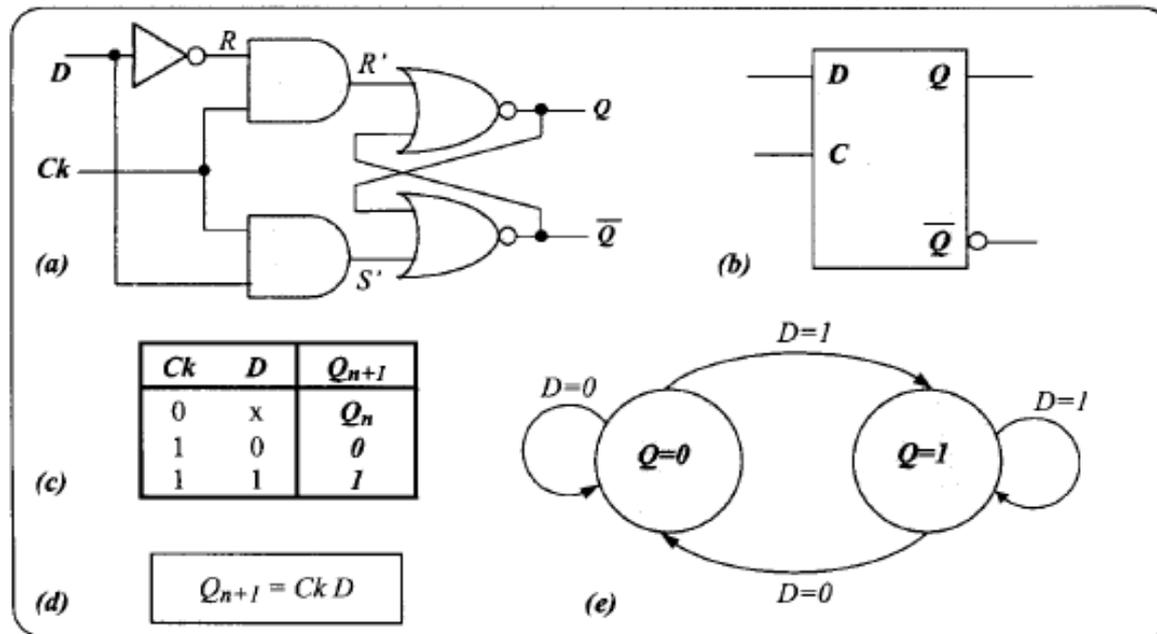


Figura 8.26. Configuración D. (a) Circuito. (b) Símbolo lógico. (c) Tabla. (d) Ecuación. (e) Diagrama de transición de estados.

# D Master-Slave

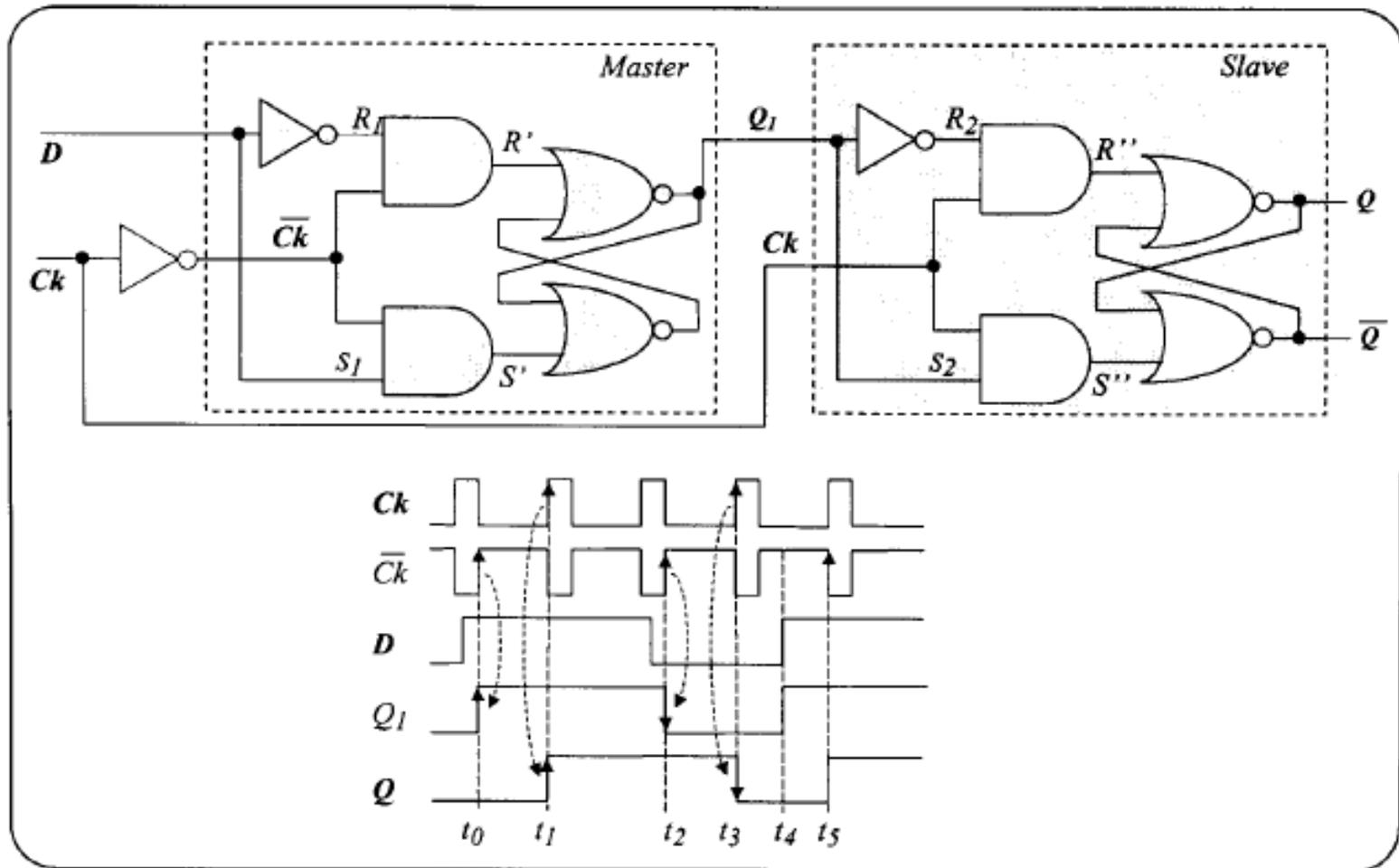
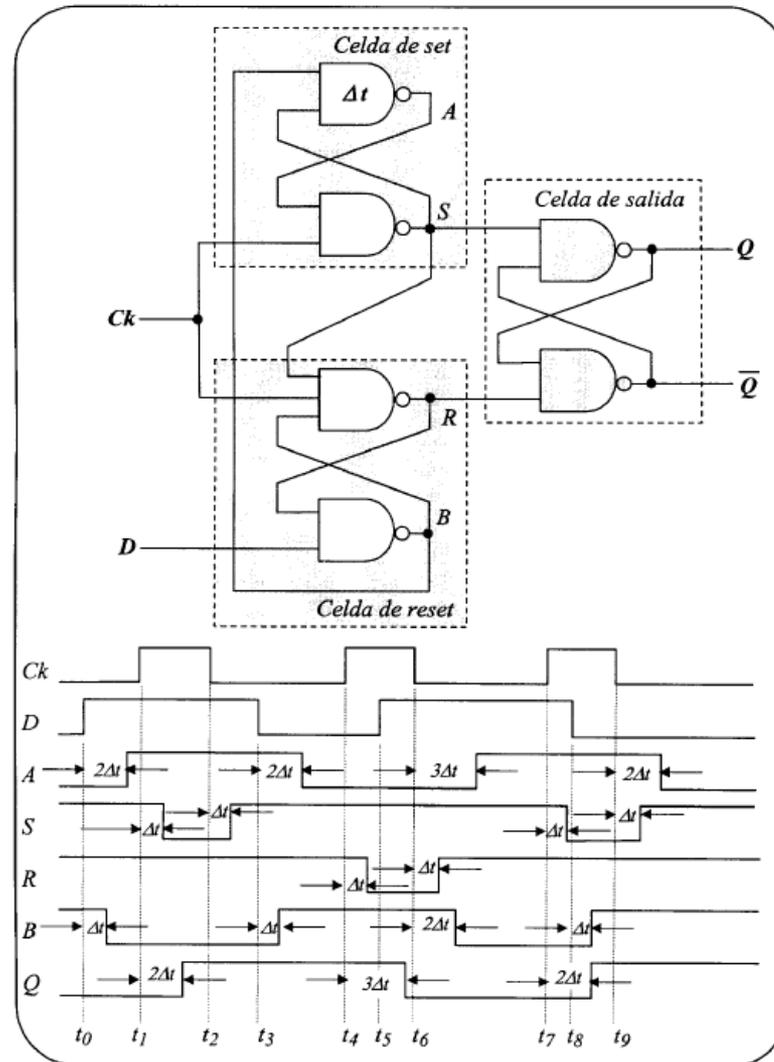


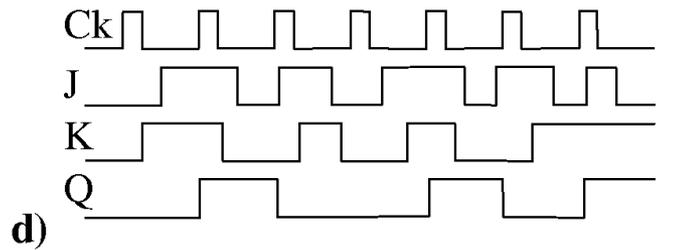
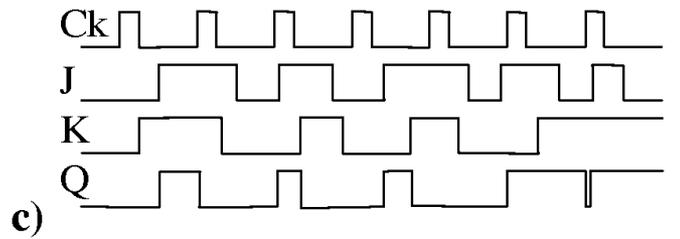
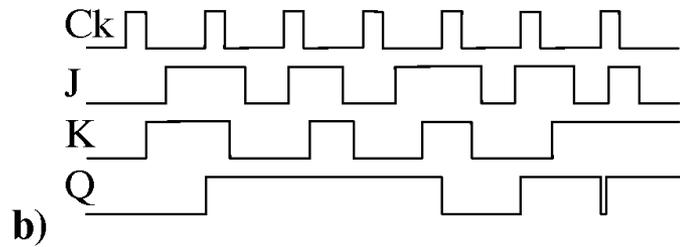
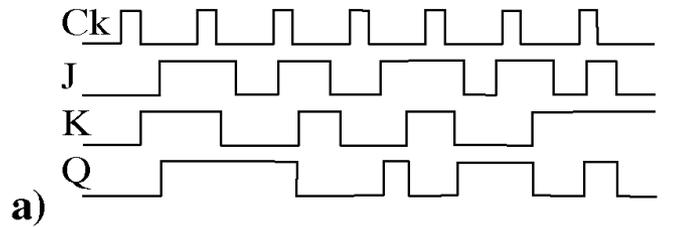
Figura 8.27. Configuración D "master-slave" y diagrama de tiempos.

# 5.5.1. D Disparado por Flancos



**Figura 8.28.** Descripción por retardos del funcionamiento del biestable D disparado por flancos y sintetizado con puertas NAND ( $S=R=0$  está prohibido).

2.- ¿Cuál de los 4 cronogramas es el de un Biestable J-K sincronizado a niveles?



2) La "a" no puede ser porque Q cambia con valores de CK a "0" y también a "1"

La "c" tampoco porque Q cambia con valores de CK a "0" y también a "1"

La "d" no puede ser porque en el 3er pulso de CK  $J=1$  y  $K=0$ , lo que implica que Q debería ponerse a "1" y K pone a "0"

Es la "b" porque:

CK → 2º pulso  
↓  
 $J=1$  y  $K=1$   
↓  
Q = bascula

— 3er pulso  
 $J=1$  y  $K=0$   
↓  
Q = 1

4º pulso  
 $J=0$ ,  $K=0$   
Q = como estaba

5º pulso  
 $J=1$  y  $K=1$   
↓  
Q = bascula

CK → 6º pulso  
 $J=1$  y  $K=0$   
↓  
Q = 1

7º pulso  
Al principio  
 $J=0$  y  $K=1$   
↓  
Q = 0

Después  
 $J=1$  y  $K=1$   
↓  
Q = bascula

# Glosario Tema 5

- **Circuitos secuenciales:** Circuitos con “memoria” en los que la respuesta en un determinado instante de tiempo no depende sólo del valor de sus entradas en ese instante sino que depende también de las entradas y respuestas en instantes anteriores.
- **Circuitos binarios:** Circuitos que poseen dos estados internos distinguibles.
- **Biestable:** Dispositivo lógico con dos estados estables que es capaz de almacenar durante un cierto intervalo de tiempo el valor de una señal digital.
- **Espacio de entradas:** Conjunto de posibles configuraciones de entrada a partir de las variables de entrada del sistema.
- **Espacio de estados:** Conjunto de posibles estados del sistema a partir de las variables de estado.
- **Espacio de salidas:** Conjunto de posibles configuraciones de salida a partir de las variables de salida del sistema.
- **Autómata finito y determinístico:** (ver Tema 1).
- **Circuito síncrono:** Circuito gobernado por un reloj central de forma que todos los sucesos de interés computacional ocurren en los entornos de los pulsos de reloj. La conmutación se produce en los flancos del pulso de reloj, cuando este pasa de baja a alta (flanco positivo) o viceversa (flanco negativo).
- **Entrada de reloj (Ck):** Entrada que todos los circuitos secuenciales síncronos poseen para la señal (de reloj) que controla los instantes en que se hacen efectivos los cambios que definen la función.
- **Reloj:** un circuito oscilador (astable) que genera un tren de pulsos o una onda cuadrada.

# Glosario Tema 5

- **Periodo del reloj (T):** Intervalo temporal entre dos pulsos sucesivos . Cualquier función necesita, al menos, un periodo (dos pulsos sucesivos) para ejecutarse.
- **Frecuencia del reloj (f):** Inverso del periodo ( $f=1/T$ ). La frecuencia del reloj define la máxima velocidad de operación permitida en un sistema digital..
- **Tiempo de asentamiento (setup time,  $t_{su}$ ):** intervalo de seguridad que garantiza que las señales de entrada ya han alcanzado su estado estacionario un tiempo  $t_{su}$  antes de la subida del pulso.
- **Tiempo de retención (hold time,  $t_h$ ):** intervalo de tiempo durante el cual las entradas todavía tienen que permanecer estables después de haberse producido la subida de baja a alta del pulso de reloj.
- **Modo fundamental:** Modo de operación de los sistemas asíncronos en el que no pueden existir cambios simultáneos de nivel en las variables externas. Sólo una puede estar conmutando en cada instante de tiempo.
- **Modo de pulsos:** Modo de operación de los sistemas asíncronos en el que las señales sólo están en alta durante un corto intervalo de tiempo. La subida del pulso marca el suceso temporal y, al igual que antes, no pueden coincidir dos pulsos a la vez
- **Circuito biestable:** Circuito binario en los que ambos estados son estables de forma que hace falta una señal externa de excitación para hacerlos cambiar de estado. Esta función de excitación define el tipo de biestable (D, T, R-S ó J-K).

# Glosario Tema 5

- **Circuito monoestable:** Circuito binario con un estado estable (el de baja), y otro metaestable (el de alta). que define la duración del pulso. Se usa para producir retardos de valor controlable (duración del estado metaestable), para conformar pulsos y para definir sucesos temporales entre dos pulsos sucesivos de un reloj.
- **Astable:** Circuito binario con dos estado metaestables. Es decir, ninguno de los dos estados es estable de forma que en su operación normal está conmutando constantemente entre los dos estados. Es un oscilador y son la base de los circuitos temporizadores y de los relojes
- **Configuración R-S:** Biestable con dos entradas externas, R (Reset o puesta a “0” del biestable) y S (Set o puesta a “1”) y cuyo circuito consta de dos puertas NAND o NOR realimentadas. Las transiciones de estado pueden ocurrir en cualquier momento, en función del valor que tomen en ese momento los niveles de tensión en las entradas de set (S) y reset (R). En este sentido el circuito es asíncrono.
- **Biestable R-S sincronizado a niveles:** Biestable R-S básico al que se le añaden dos puertas AND delante de las NOR junto con una entrada adicional de los pulsos de reloj. Así, las entradas a las puertas NOR sólo estarán activas cuando el pulso de reloj esté en alta.
- **Biestable R-S disparo por flancos:** Biestable R-S que usa para dispararse sólo las transiciones de baja a alta (o de alta a baja) del reloj para definir el instante en el que se deja actuar a las variables R y S.
- **R-S con entradas asíncronas de PRESET y CLEAR:** Circuito R-S con dos nuevas entradas asíncronas adicionales llamadas de preset que pone a 1 al biestable y clear que lo pone a cero.
- **Cronograma:** Representación gráfica de las señales de entrada, salida y control de los circuitos en función del tiempo.

# Glosario Tema 5

- **Flancos:** Cambios en los valores de los niveles de un tren de pulsos (en general nos referimos a la señal del reloj).
- **Flanco positivo:** Paso de baja a alta (subida) en un pulso.
- **Flanco negativo:** Paso de alta a baja (bajada) en un pulso
- **Preset:** Señal que pone a uno al circuito correspondiente.
- **Reset:** Señal que pone a los circuitos en condiciones iniciales
- **Clear:** Señal que pone a cero al circuito correspondiente.
- **Reloj:** Señal periódica aplicada a ciertos circuitos y que sincronizan sus respuestas
- **Biestables J-K:** Análogo al biestable R-S en el que se elimina la ambigüedad de la configuración  $R=S=1$  que hacía que la salida Q fuera igual a la .
- **Configuración “Master-Slave” (maestro-esclavo):** configuración con dos biestables conectados en serie y con relojes complementarios que interrumpen la conexión lógica entre la salida y la entrada. Es decir, entre la generación de la orden de disparo y su ejecución que opera en la fase complementaria del reloj.
- **Biestables T :** Biestable que cambia de estado ante cada pulso de reloj.
- **Biestable D (delay):** Representa el retardo. Su salida en cada intervalo coincide con la entrada en el intervalo anterior.