



Tema 08

Memorias RAM y CAM

TEMA 8: MEMORIAS RAM Y CAM

- Contexto
- Conocimiento Previo Necesario
- Objetivos del Tema
- Guía de Estudio
- Contenido del Tema
- 8.1. Memorias de Lectura/Escritura Volátiles
- 8.2. Organización de las Memorias SRAM
- 8.3. Evolución de las SRAM
- 8.4. Celdas RAM Estáticas (SRAM) en Tecnología Bipolar
- 8.5. Celdas RAM Estáticas (SRAM) en Tecnología MOS
- 8.6. Celdas RAM Dinámicas (DRAM) en Tecnología MOS
- 8.7. Organización de las Memorias RAM Dinámicas (DRAM)
 - 8.7.1. Ampliación del Numero de Líneas de Entrada/salida
 - 8.7.2. Modificaciones en los Modos de Acceso
 - 8.7.3. DRAMs Síncronas con Bancos Múltiples
- 8.8. Circuitos de Memoria Asociativa (CAM)
 - 8.8.1. Aspectos Básicos de la Organización de un Circuito CAM
 - 8.8.2. Celda CAM Básica en CMOS
 - 8.8.3. Ejemplos de Circuitos CAM
- 8.9. Problemas
 - Preparación de la Evaluación
 - Referencias Bibliográficas

+++ OBJETIVOS DEL TEMA

Objetivo 1: *Estudio de las memorias RAM estáticas (SRAM): Organización, celdas básicas en bipolar y MOS y ejemplos.*

Objetivo 2: *Estudio de las memorias RAM dinámicas (DRAM): Organización, celdas básicas y ejemplos.*

Objetivo 3: *Estudio de las memorias CAM: Organización, celdas básicas y ejemplos.*

Al terminar el estudio del tema el alumno deberá tener una idea razonablemente clara y completa de la problemática electrónica asociada a las memorias activas, desde la búsqueda de la minimización de sus celdas básicas hasta los avances en organización y arquitectura encaminados a aumentar la velocidad y el ancho de banda (RAMs síncronas, modo "hiperpágina" o de salida de datos extendida, EDO, etc.)

8.1. Memorias de Lectura/Escritura Volátiles

- **RAM** = Memorias de acceso aleatorio.
- **CAM** = Memorias de acceso por contenidos.
- Memorias de acceso secuencial (FIFO, LIFO)

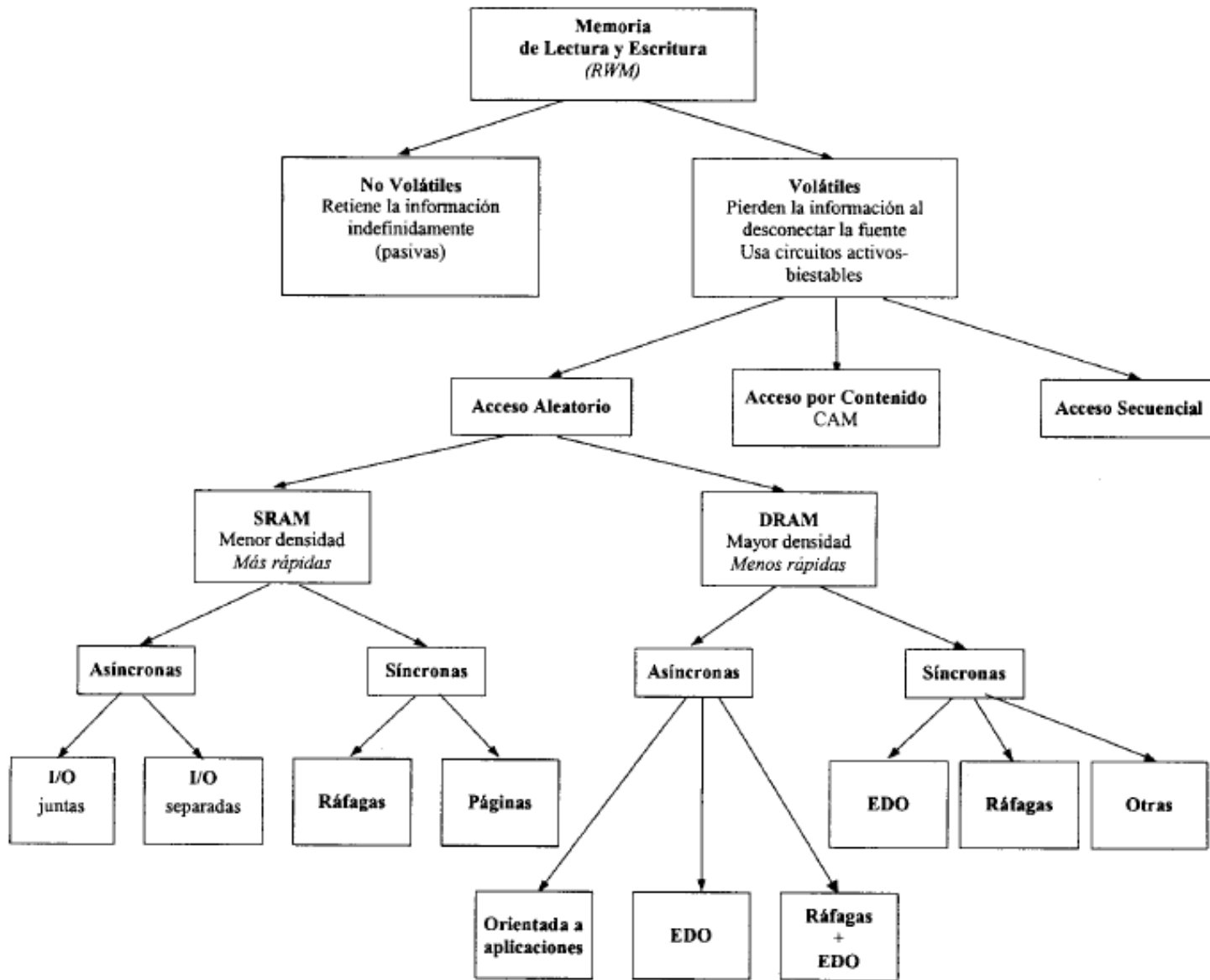


Figura 11.1. Clasificación de las memorias de lectura/escritura.

8.2. Organización de las Memorias SRAM

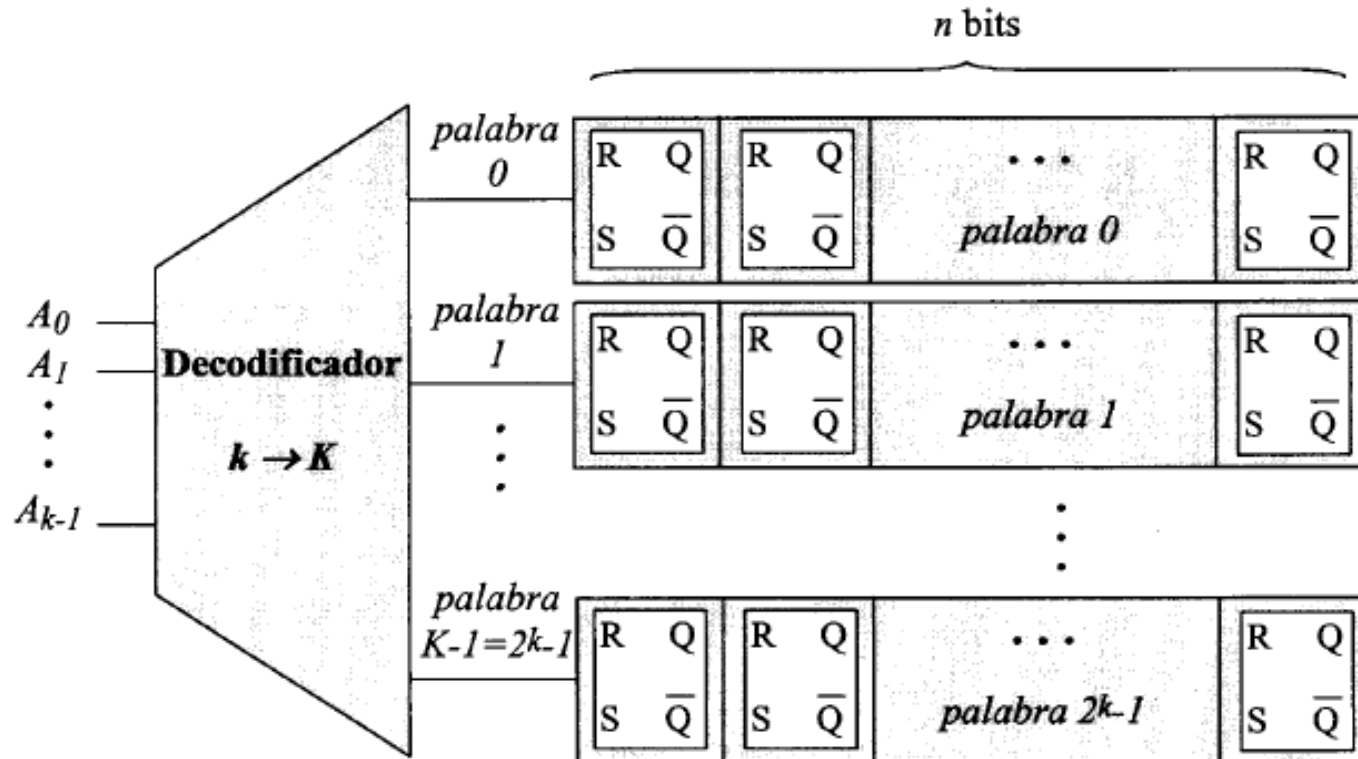


Figura 11.2. Forma intuitiva de direccionar una memoria SRAM de K palabras de n bits cada una. Cada palabra está en una dirección a la que se accede directamente a través de un decodificador de k a K

Organización 2D

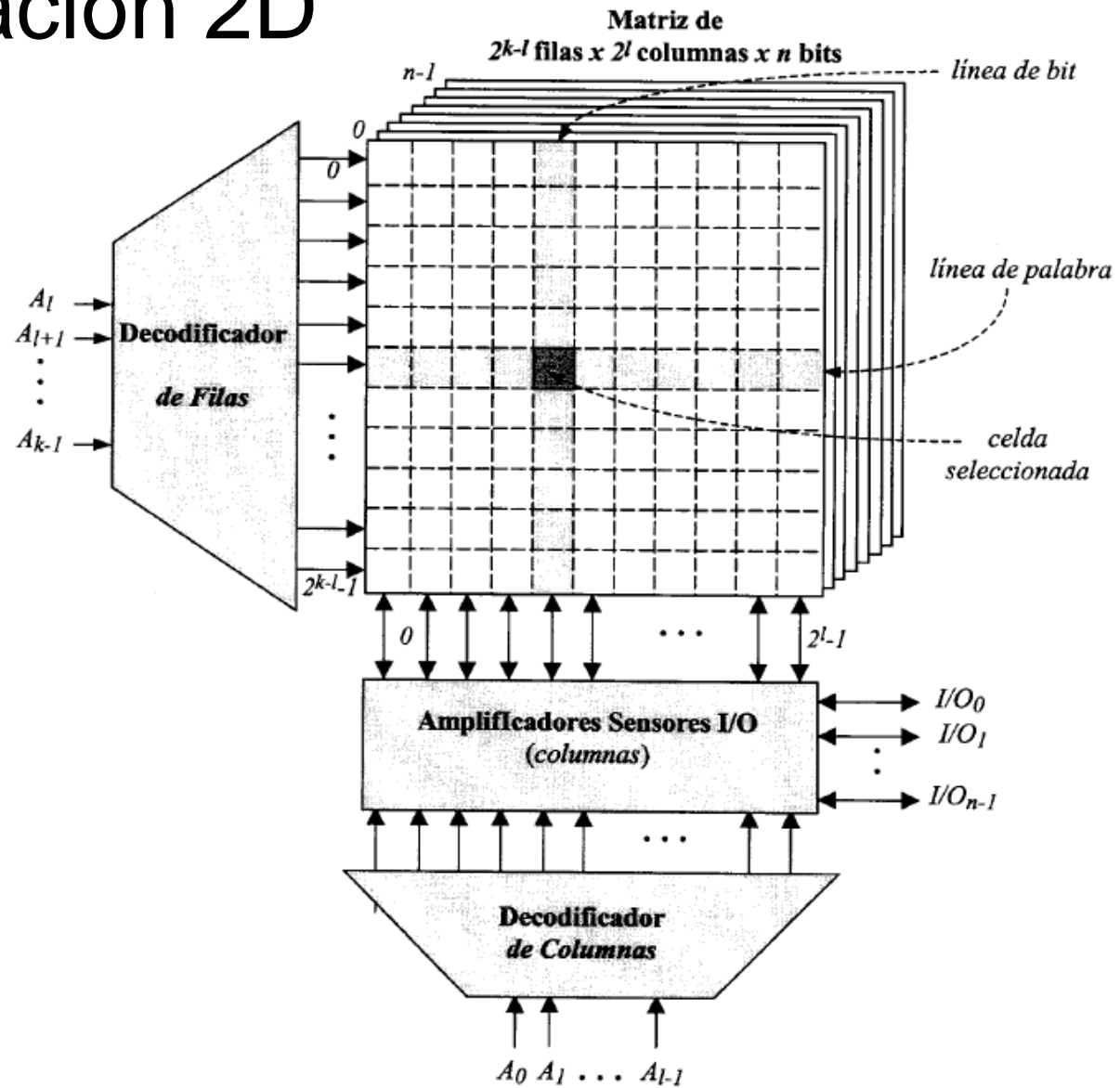


Figura 11.3. Organización de una memoria SRAM.

Diagrama

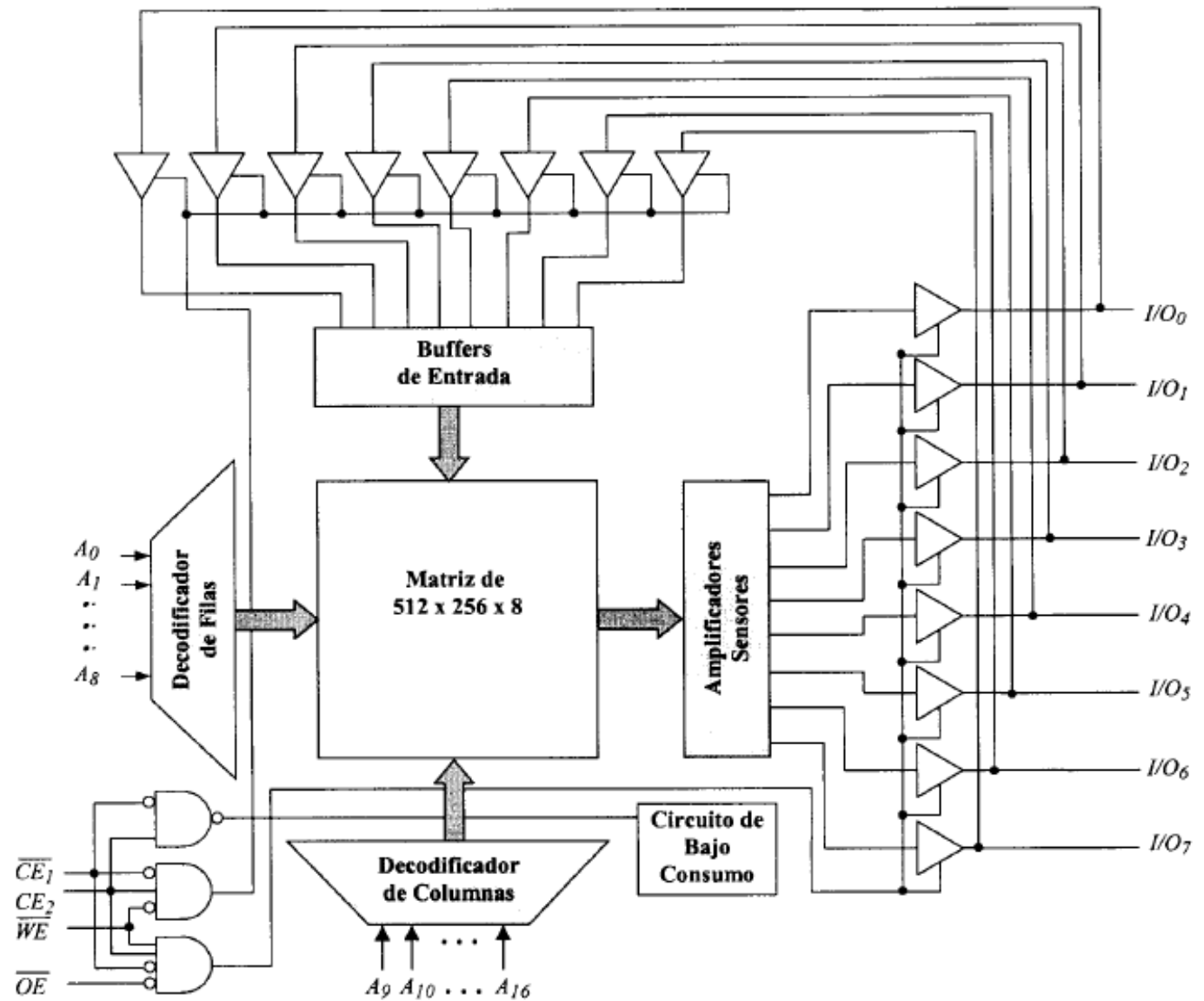
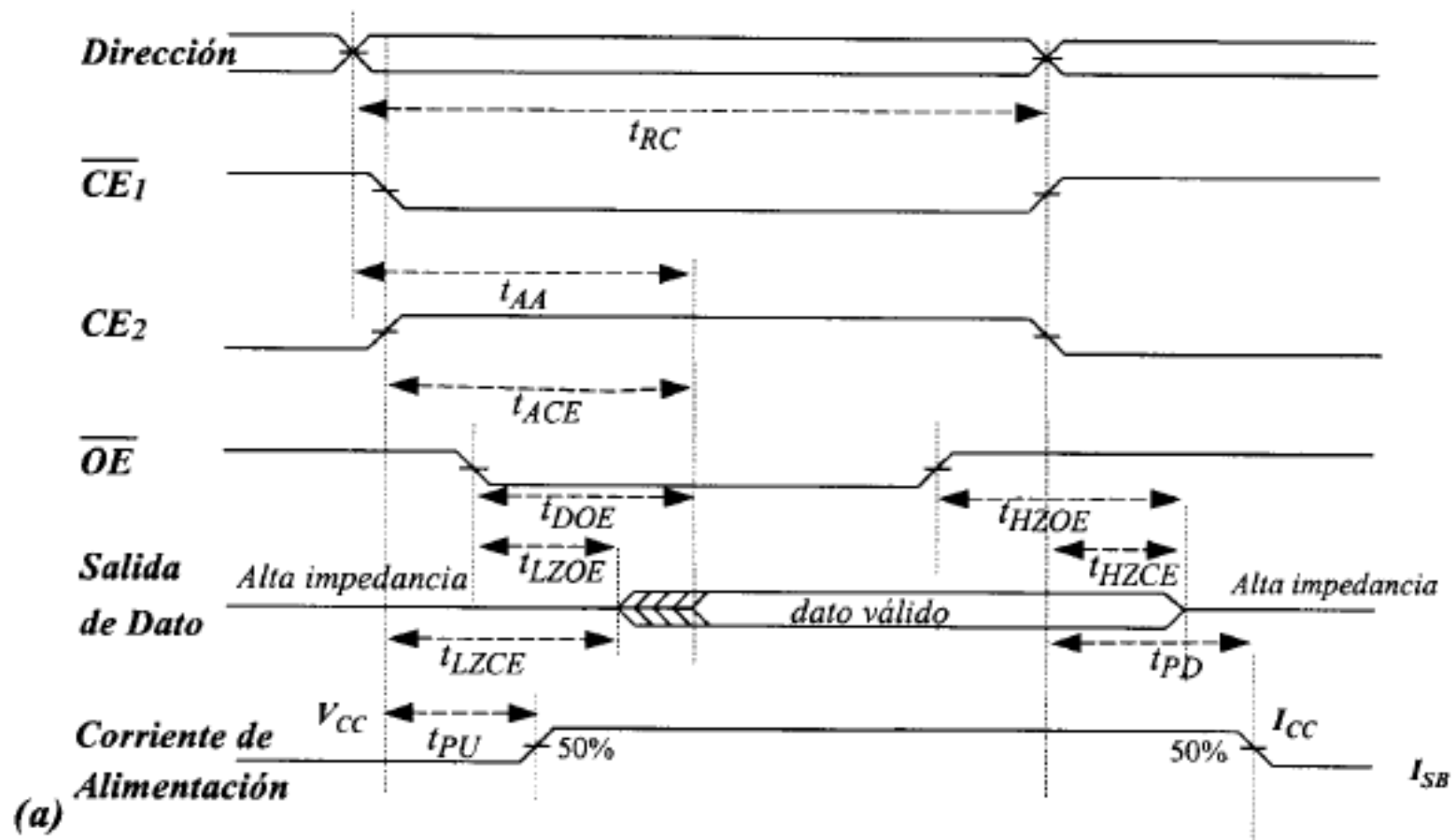


Figura 11.4. Diagrama de bloques del circuito de memoria SRAM CY7C109 de CYPRESS.



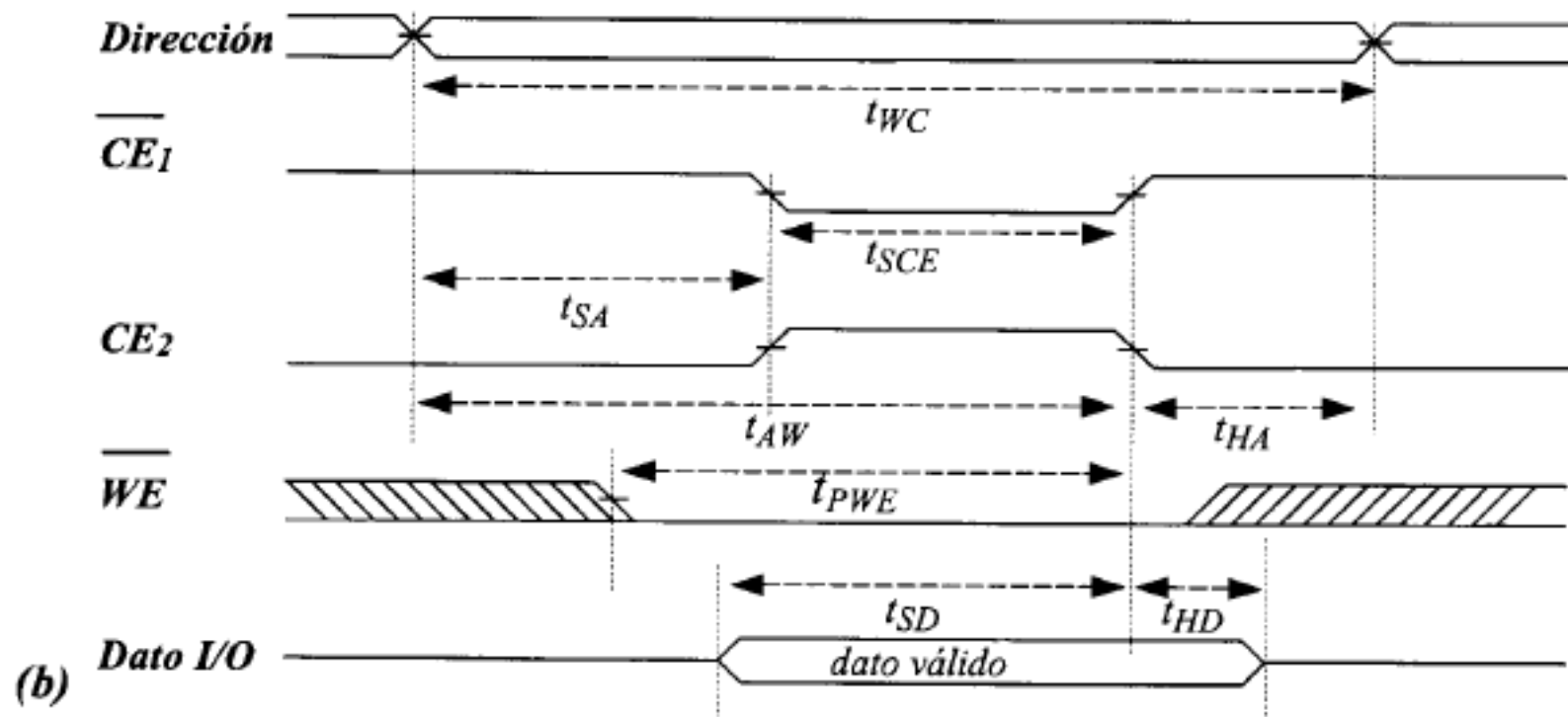


Figura t_{SCE} = Duración de la facilitación, desde la bajada de \overline{CE}_1 , hasta su subida.

t_{SA} = Intervalo desde que la dirección está estable hasta que comienza la escritura.

t_{AW} = Intervalo desde que la dirección está estable hasta que finaliza la escritura.

t_{SD} = Intervalo desde el establecimiento de los datos hasta el final de la escritura.

t_{HD} = Tiempo que se retienen los datos tras el final del proceso de escritura. Después, las líneas de entrada/salida pasan al estado de alta impedancia.

8.3. Evolución de las SRAM

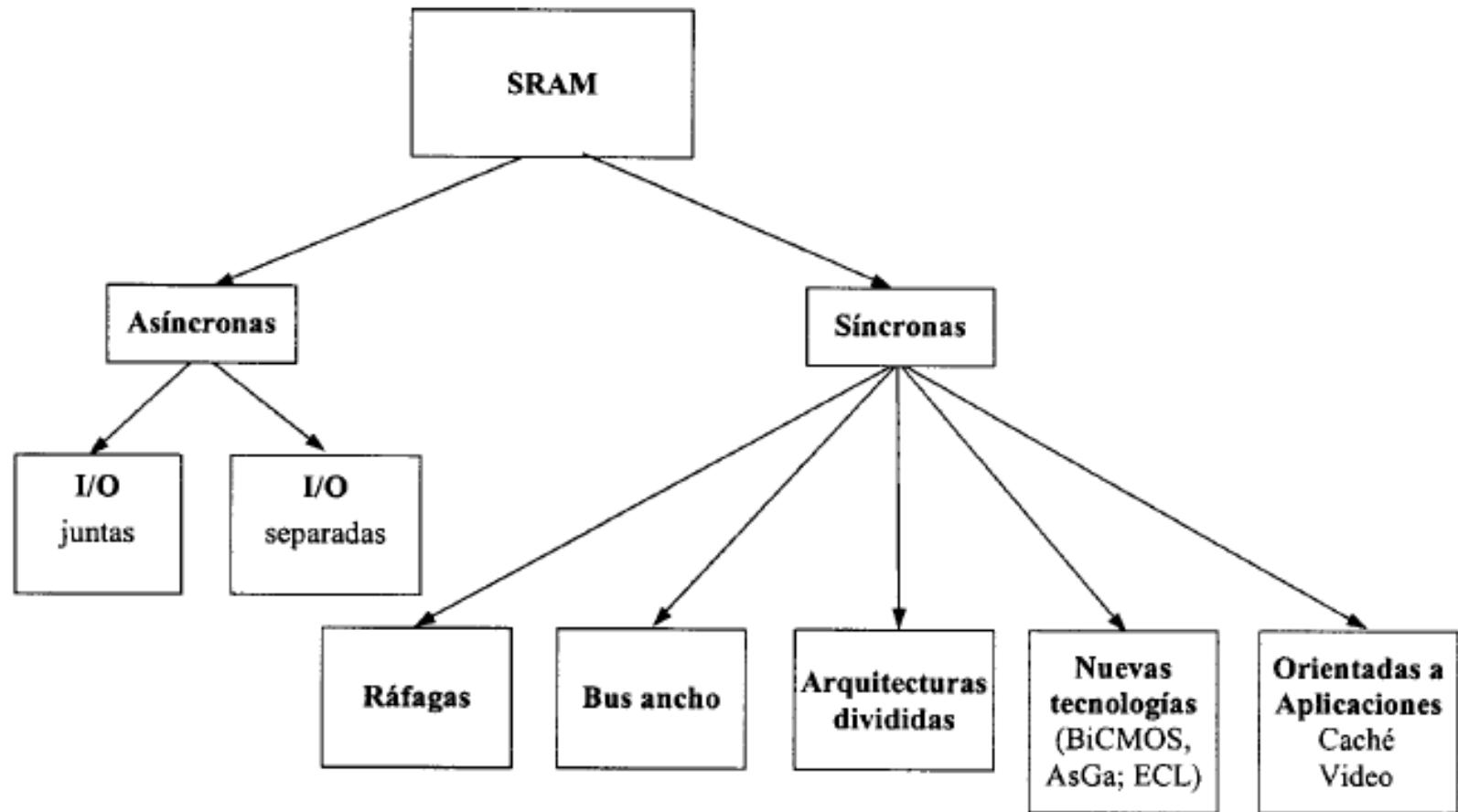


Figura 11.7. Evolución de las memorias SRAM para aumentar la velocidad intrínseca y la del sistema que la incorpora (arquitectura).

■ Mejoras

- Uso de registros y comportamiento síncrono
- Acceso a direcciones en modo ráfaga

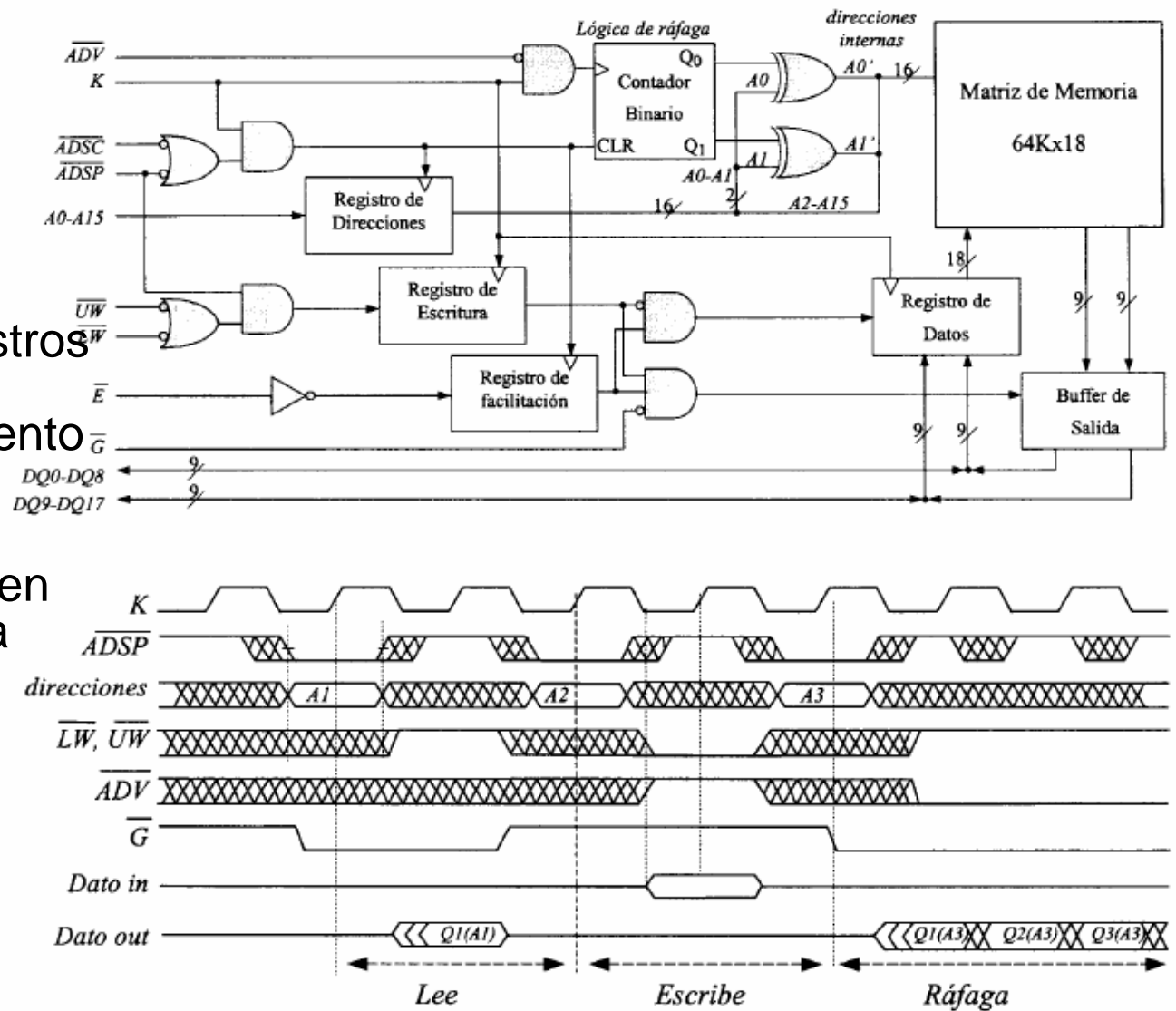
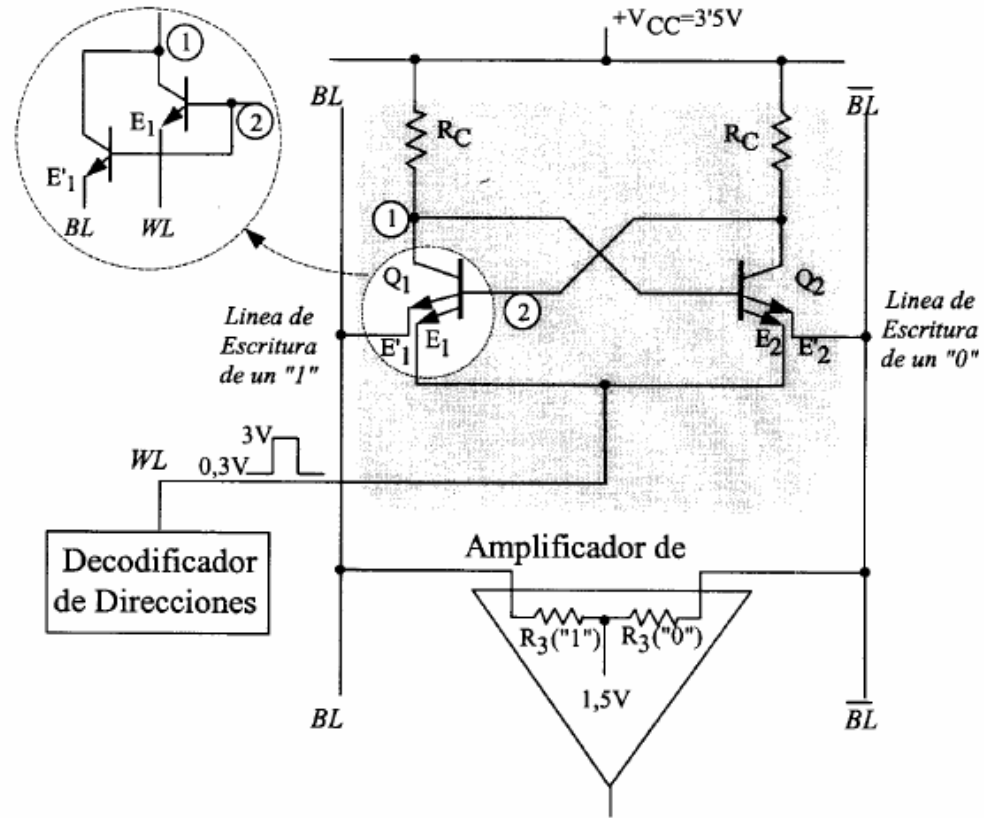


Figura 11.8. Esquema simplificado de una hipotética SRAM síncrona y con posibilidad de acceso a las direcciones en modo ráfaga.

8.4. Celdas RAM Estáticas (SRAM) en Tecnología Bipolar

- Velocidad
 - Tecnologías bipolar o bicmos
- Capacidad
 - Tecnología CMOS

Celda SRAM Bipolar



Escribe "1"	Escribe "0"	Lee "1"	Lee "0"	Seleccionada	No Seleccionada	Almacena "1"	Almacena "0"
$BL=0V$	$BL=3,5V$	$V[R3("1")]>0$	$V[R3("1")]>0$	$WL=3V$	$WL=0,3V$	$Q_1 \rightarrow ON$	$Q_1 \rightarrow OFF$
$\overline{BL}=3,5V$	$\overline{BL}=0V$	$V[R3("0")] \approx 0$	$V[R3("0")] \approx 0$			$Q_2 \rightarrow OFF$	$Q_2 \rightarrow On$

Figura 11.9. Circuito básico representativo de las celdas RAM estáticas realizadas con transistores bipolares multiemisor.

8.6. Celdas RAM Dinámicas (DRAM) en Tecnología MOS

- Alta capacidad, bajo consumo con menos velocidad que la RAM estática
- Hay pérdida de carga
 - Circuito de refresco
- Lectura destructiva
- Disminuimos el número de transistores
- Elemento de carga

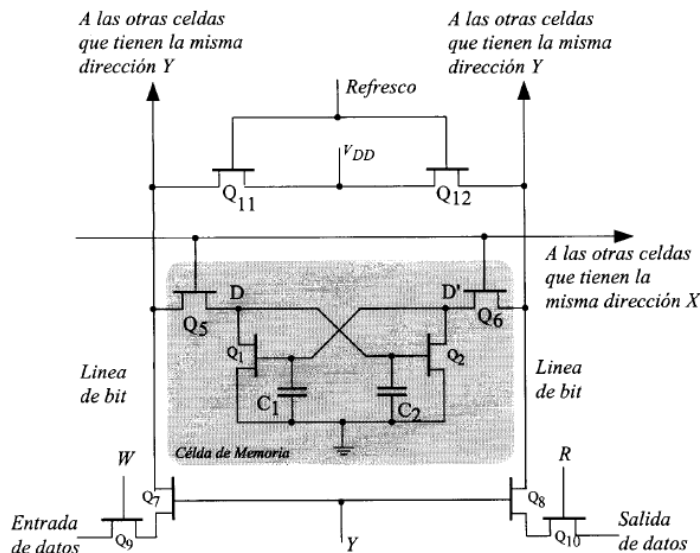


Figura 11.15. Celdas RAM dinámicas. (DRAM) de 4 transistores.

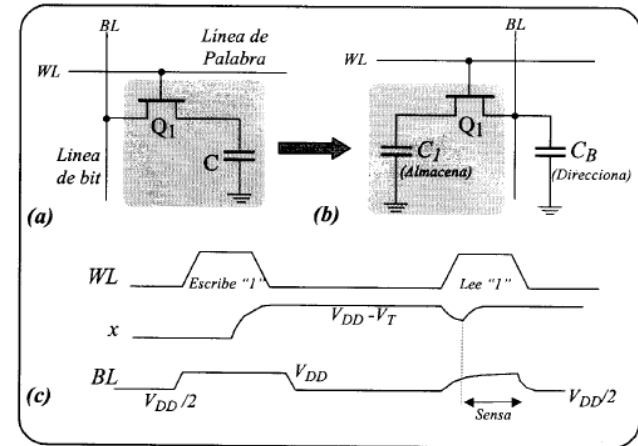


Figura 11.17. Celda DRAM con un solo transistor. (a) Solución mínima que provoca lectura destructiva. (b) Alternativa válida. (c) Formas de onda durante los procesos de lectura y escritura en el circuito de (b).

8.7. Organización de las Memorias RAM Dinámicas (DRAM)

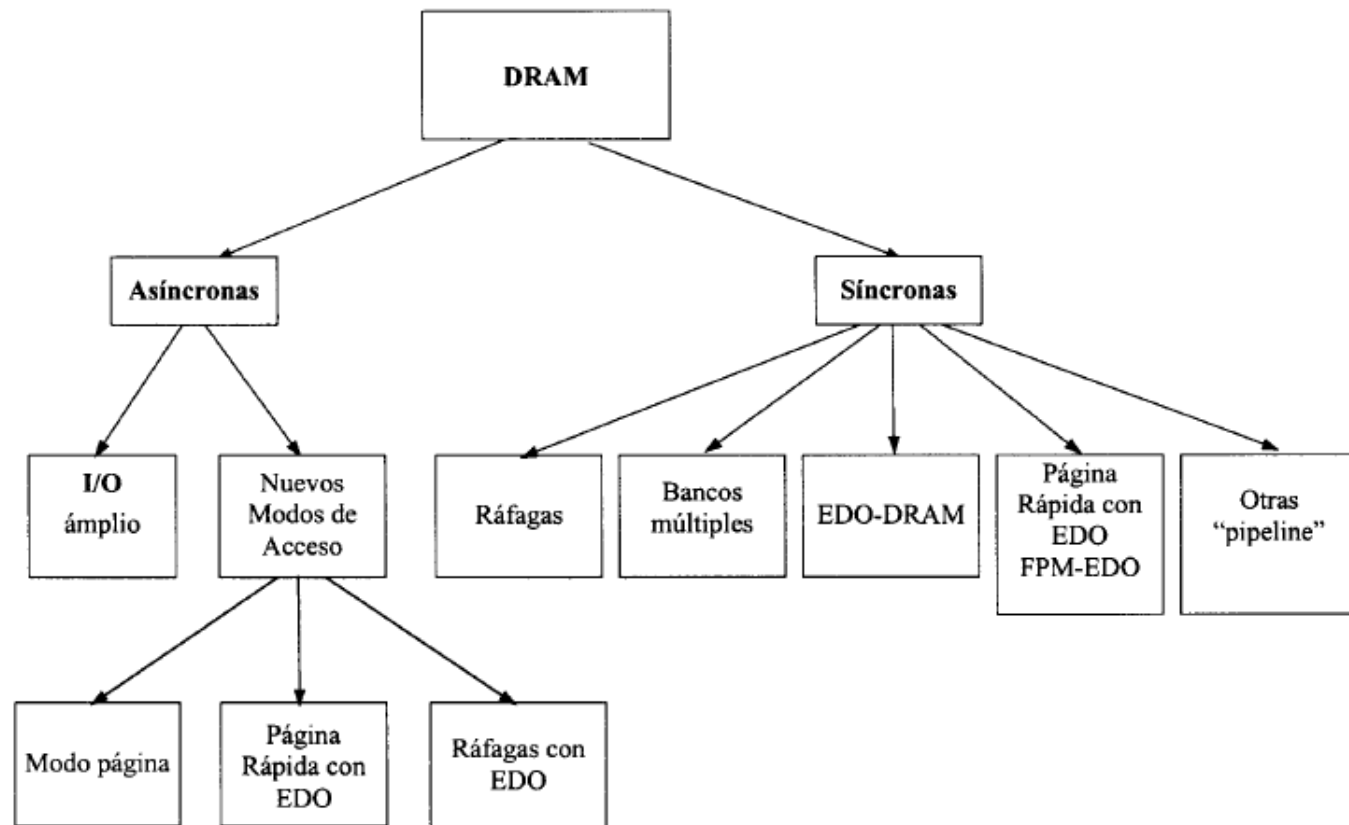


Figura 11.19. Panorama de los distintos tipos de memorias DRAM. La primera distinción es entre comportamiento asíncrono o síncrono. Después, en ambos casos se busca una mayor velocidad, ampliando el bus y modificando los modos de direccionamiento..

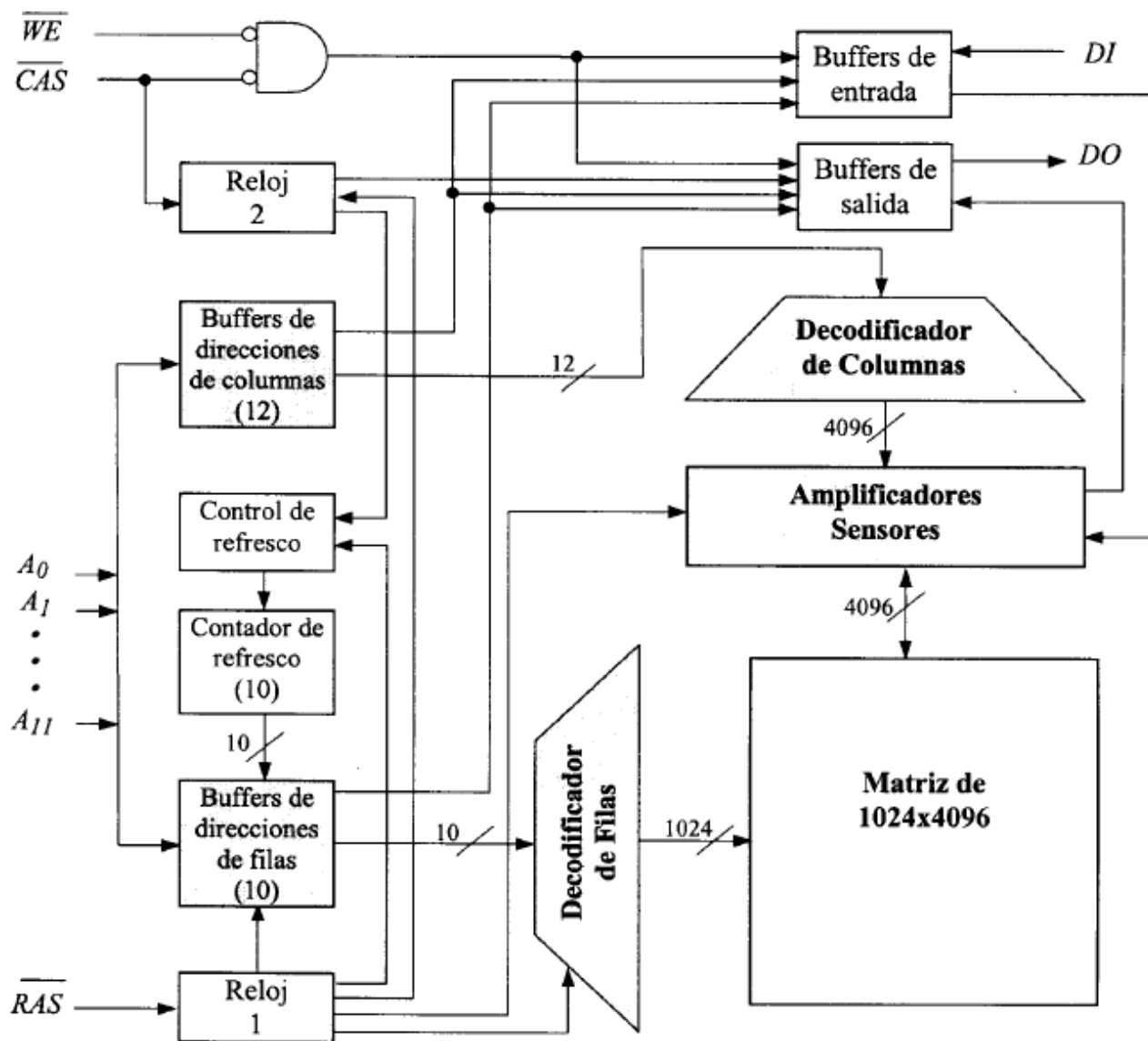


Figura 11.20. Diagrama de bloques de una memoria DRAM de 4Mx1

- 8.7.1. Ampliación del Numero de Líneas de Entrada/salida
 - Dividir la arquitectura en zonas o segmentos a las que se accede simultáneamente cargando en paralelo
 - Conseguimos “n” bits en paralelo en el mismo tiempo que antes necesitabamos para un bit
- 8.7.2. Modificaciones en los Modos de Acceso
 - Acceso en modo página
- 8.7.3. DRAMs Síncronas con Bancos Múltiples
 - Dotar de registros a las entradas de direcciones, datos y señales

8.8. Circuitos de Memoria Asociativa (CAM)

- Memorias RAM
 - Todas las celdas direccionables en un tiempo único
 - Diferencia entre dirección y contenido
 - Primero se seleccionaba una dirección y después se realizaba la operación (lectura o escritura)
- Memorias CAM (Content Addressable Memory)
 - Memorias asociativas
 - Se usa el contenido (el dato) para seleccionar el conjunto de direcciones que contienen ese dato de forma completa o parcial
 - Búsqueda por contenido rápida
 - Aplicaciones
 - Memorias caches
 - Bases de datos
 - Inteligencia artificial

8.8.1. Aspectos Básicos de la Organización de un Circuito CAM

- El patrón (clave de búsqueda) se obtiene de filtrar el “comparando” con la “máscara” que establece la parte que nos interesa compara para obtener el resto de información como resultado de la búsqueda
- El patrón se compara en paralelo con cada palabra de la CAM
- Cada celda tiene un registro con el dato propio, otro con el del patrón y el circuito combinacional para comparar (NOR: $AB+A'B'$)
 - Solo estará en alta cuando ambas entradas coinciden
- Si hay coincidencia se activa el indicador de marca
 - Resultados:
 - No hay coincidencia
 - solo una coincidencia o
 - más de una (ordenada por criterio)

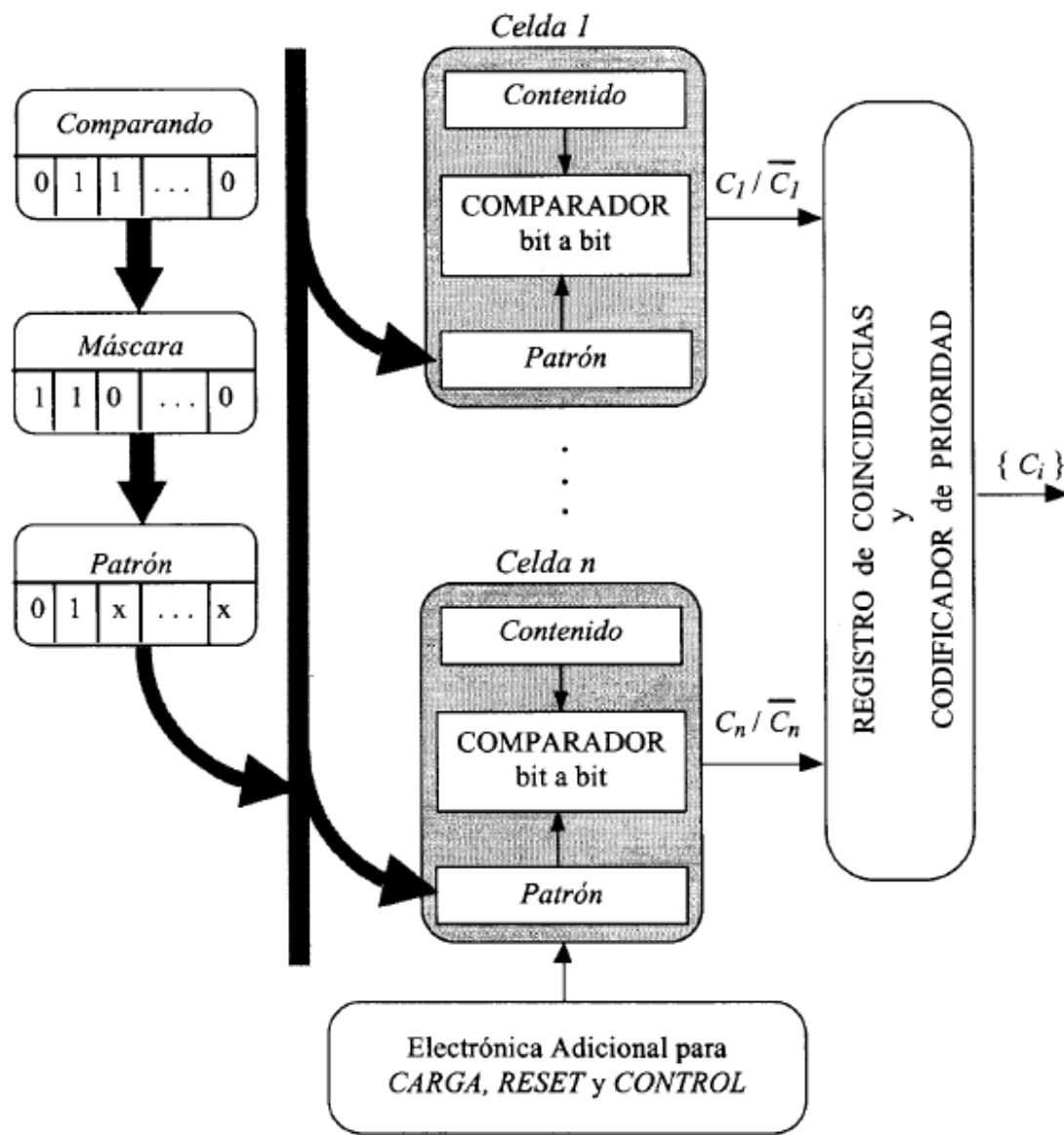
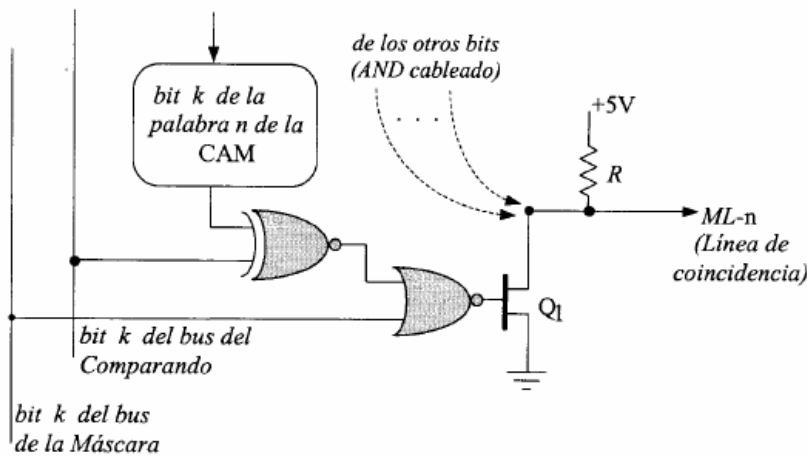


Figura 11.23. Esquema básico de un circuito de memoria CAM



Bit <i>k</i> en CAM	Bit <i>k</i> en Comparando	Salida XNOR	Bit <i>k</i> en Máscara	Salida NOR	
0	0	1	0	0	<i>match</i>
0	1	0	1	0	<i>match</i>
1	0	0	0	1	-----
1	1	1	1	0	<i>match</i>

Figura 11.24. Comparador de un bit de la CAM Am99C10A

La salida de la puerta NOR (que realiza la función $A \cdot B$) está en baja cuando hay coincidencia y esto ocurre en tres circunstancias: Cuando los bits coinciden, independientemente del estado de la máscara (00,11) y cuando no coinciden pero la máscara nos dice que ese bit no es relevante en la comparación (0,1). La señal *ML* permanece en alta para esa palabra si los 48 transistores Q_1 dicen que sus NOR correspondientes están en baja.

8.8.2. Celda CAM Básica en CMOS

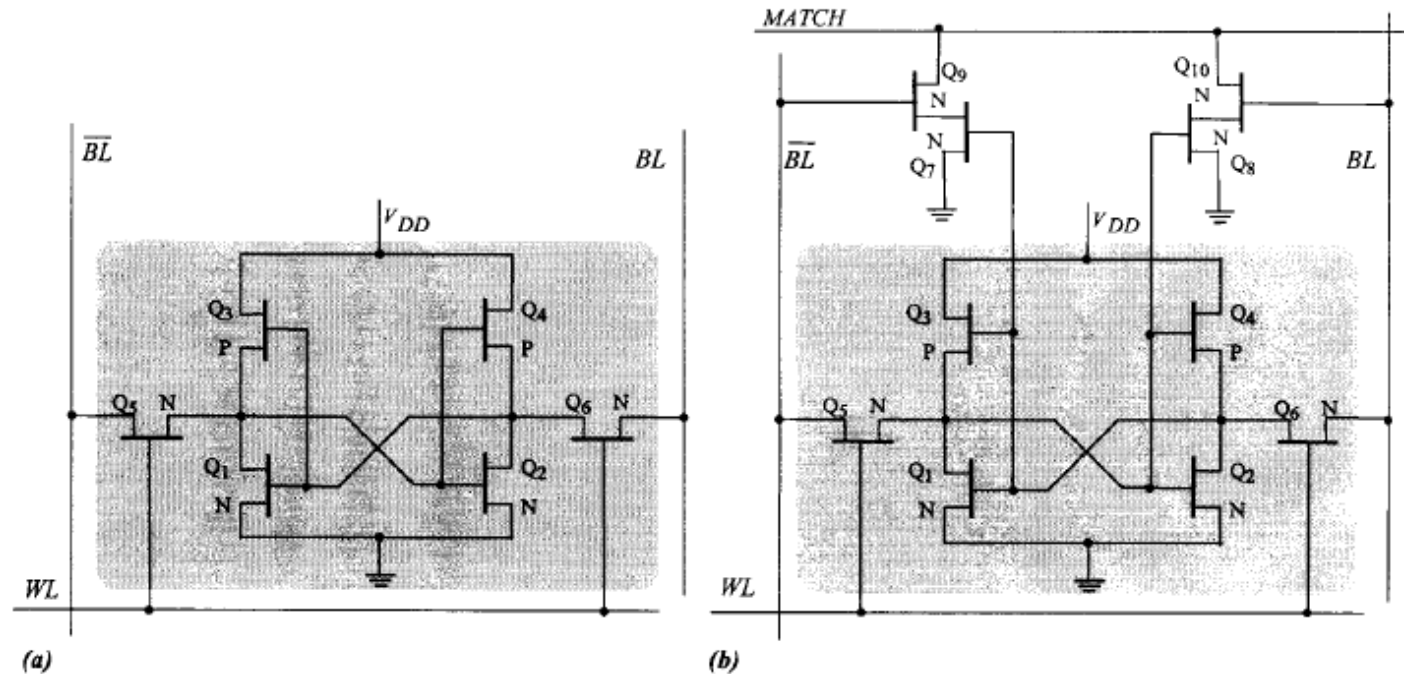


Figura 11.27. (a) Celda RAM estática. (b) Celda CAM obtenida a partir de la RAM añadiéndole cuatro transistores para realizar la función NOR exclusivo entre su contenido y el bit correspondiente del comparando.

8.8.3. Ejemplos de Circuitos CAM

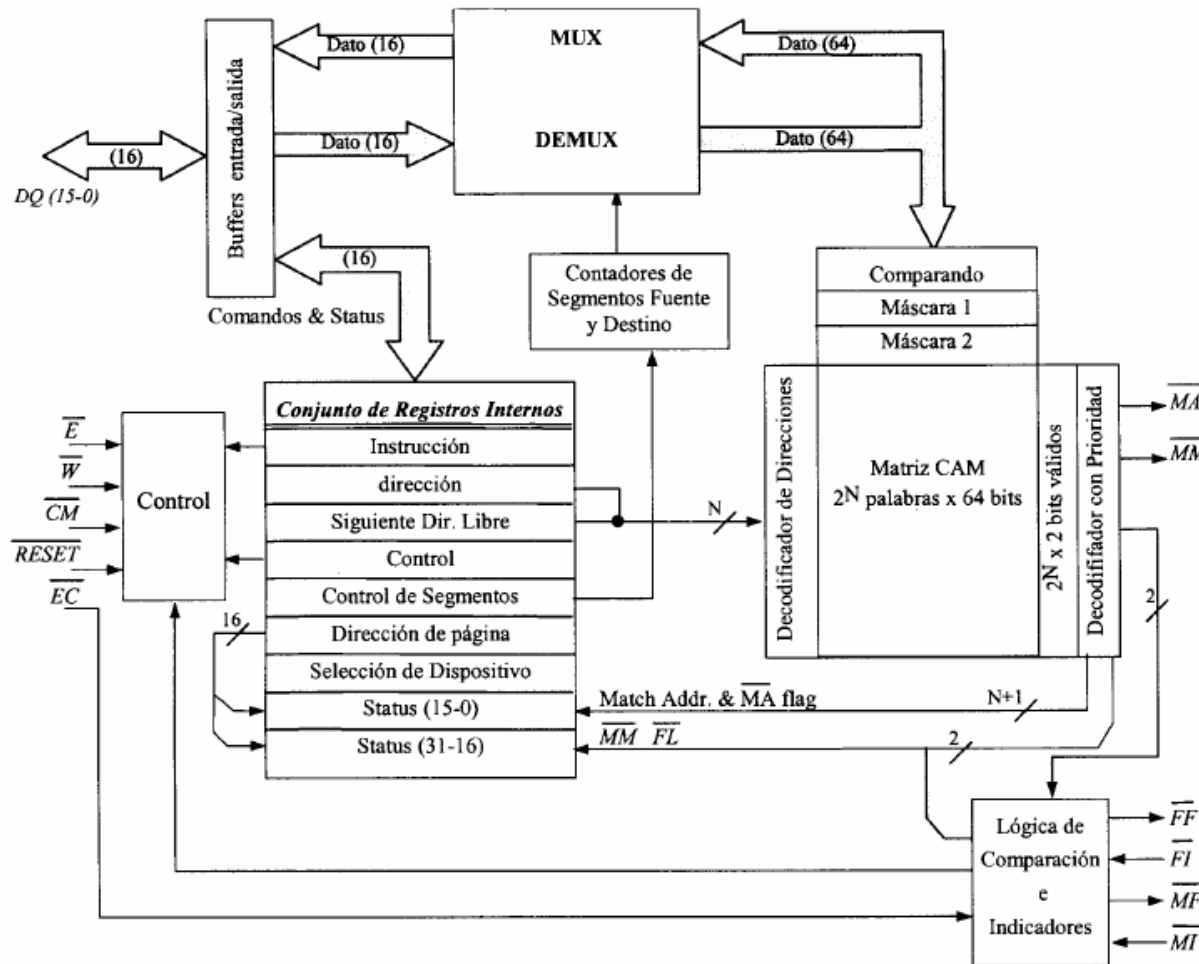


Figura 11.28. Versión simplificada del diagrama de bloques de los circuitos de memoria asociativa de la familia LANCAM B de Music Semiconductors.