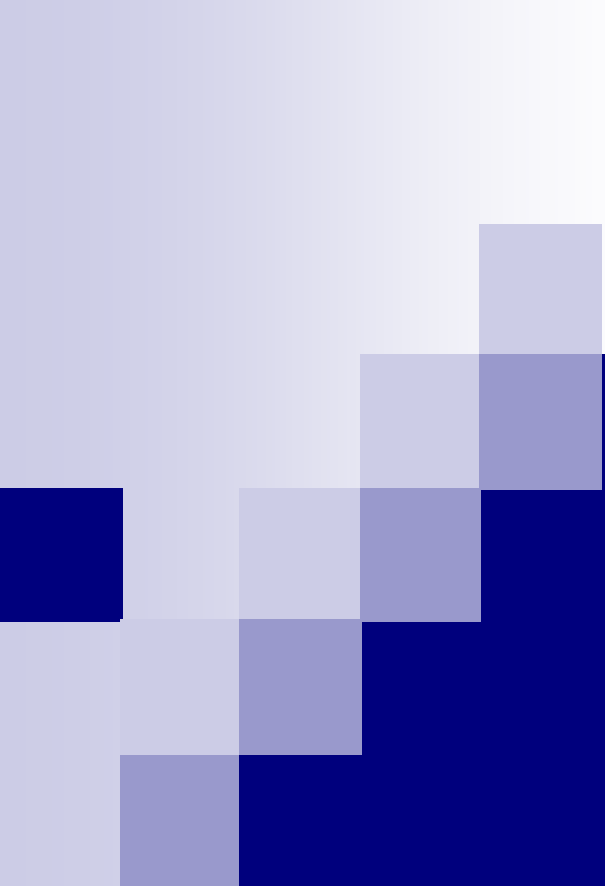




Fundamentos de Sistemas Digitales Tema 08

Memorias RAM y CAM

UNED

Manuel Fernández Barcell

<http://www.mfbarcell.es/>

<http://prof.mfbarcell.es>



TEMA 8: MEMORIAS RAM Y CAM

- Contexto
- Conocimiento Previo Necesario
- Objetivos del Tema
- Guía de Estudio
- Contenido del Tema
- 8.1. Memorias de Lectura/Escritura Volátiles
- 8.2. Organización de las Memorias SRAM
- 8.3. Evolución de las SRAM
- 8.4. Celdas RAM Estáticas (SRAM) en Tecnología Bipolar
- 8.5. Celdas RAM Estáticas (SRAM) en Tecnología MOS
- 8.6. Celdas RAM Dinámicas (DRAM) en Tecnología MOS
- 8.7. Organización de las Memorias RAM Dinámicas (DRAM)
 - 8.7.1. Ampliación del Numero de Líneas de Entrada/salida
 - 8.7.2. Modificaciones en los Modos de Acceso
 - 8.7.3. DRAMs Síncronas con Bancos Múltiples
- 8.8. Circuitos de Memoria Asociativa (CAM)
 - 8.8.1. Aspectos Básicos de la Organización de un Circuito CAM
 - 8.8.2. Celda CAM Básica en CMOS
 - 8.8.3. Ejemplos de Circuitos CAM
- 8.9. Problemas
 - Preparación de la Evaluación
 - Referencias Bibliográficas

+++ OBJETIVOS DEL TEMA

Objetivo 1: *Estudio de las memorias RAM estáticas (SRAM): Organización, celdas básicas en bipolar y MOS y ejemplos.*

Objetivo 2: *Estudio de las memorias RAM dinámicas (DRAM): Organización, celdas básicas y ejemplos.*

Objetivo 3: *Estudio de las memorias CAM: Organización, celdas básicas y ejemplos.*

Al terminar el estudio del tema el alumno deberá tener una idea razonablemente clara y completa de la problemática electrónica asociada a las memorias activas, desde la búsqueda de la minimización de sus celdas básicas hasta los avances en organización y arquitectura encaminados a aumentar la velocidad y el ancho de banda (RAMs síncronas, modo "hiperpágina" o de salida de datos extendida, EDO, etc.)

8.1. Memorias de Lectura/Escritura Volátiles

- Acceso
 - **RAM** = Memorias de acceso aleatorio.
 - **CAM** = Memorias de acceso por contenidos.
 - **FIFO, LIFO** = Memorias de acceso secuencial (se verán en el tema 9)
- Permanencia
 - Memorias volátiles o no volátiles
 - Memorias volátiles
 - Estáticas (biestables)
 - Dinámicas (condensadores)
- Tecnologías (bipolar, MOS, CMOS,...)
 - Densidad
 - Velocidad
 - Consumo

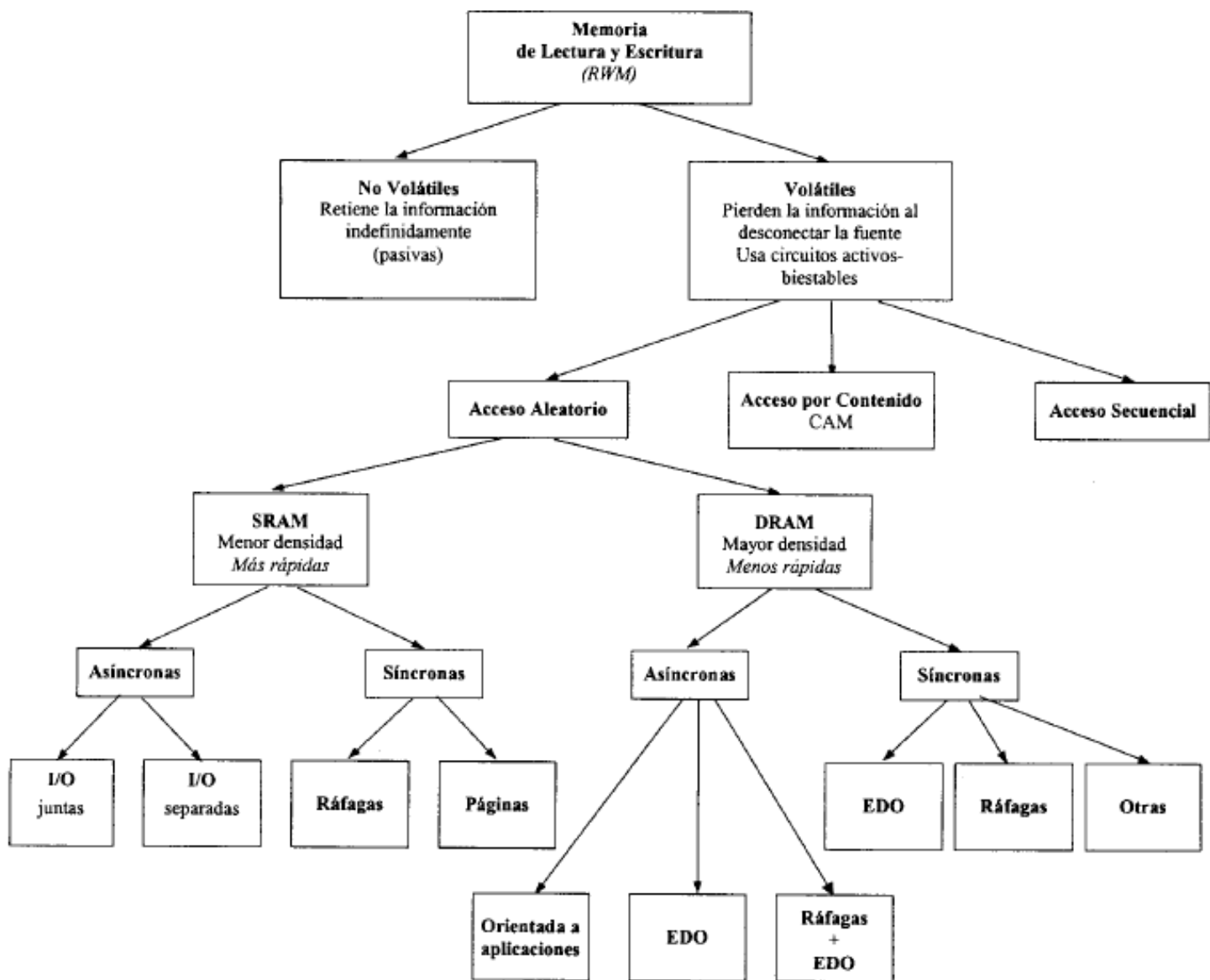
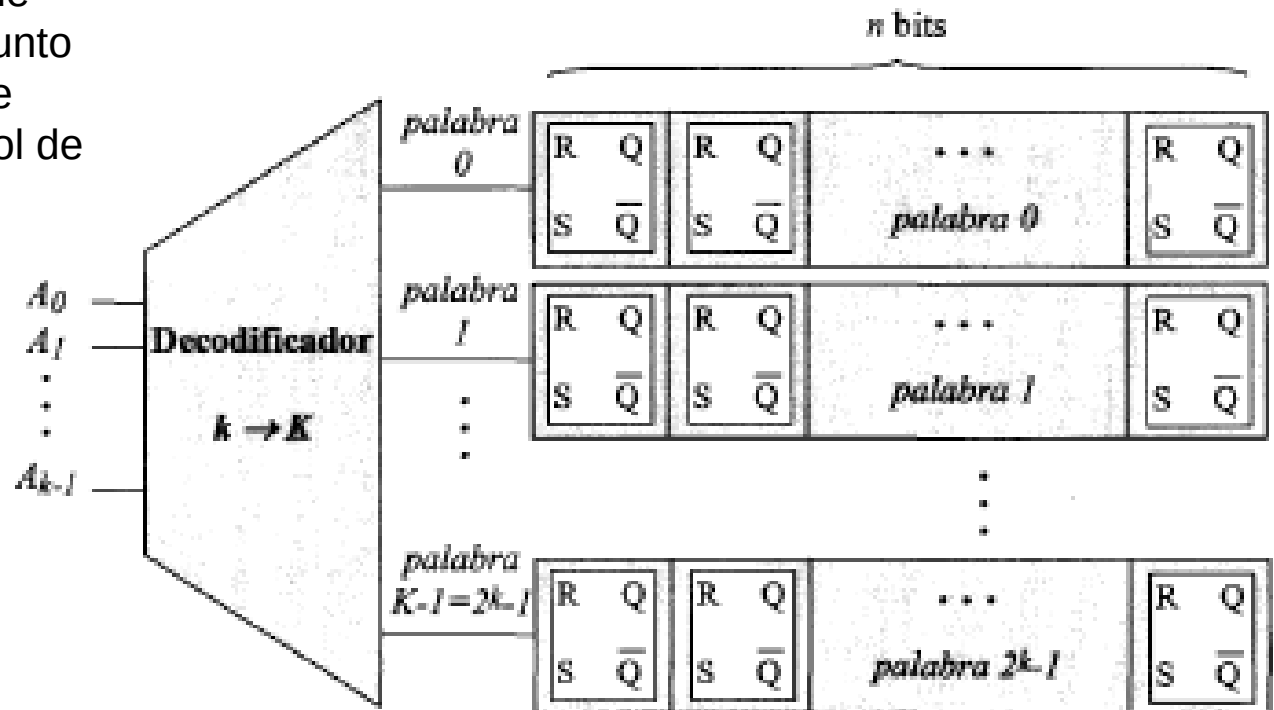


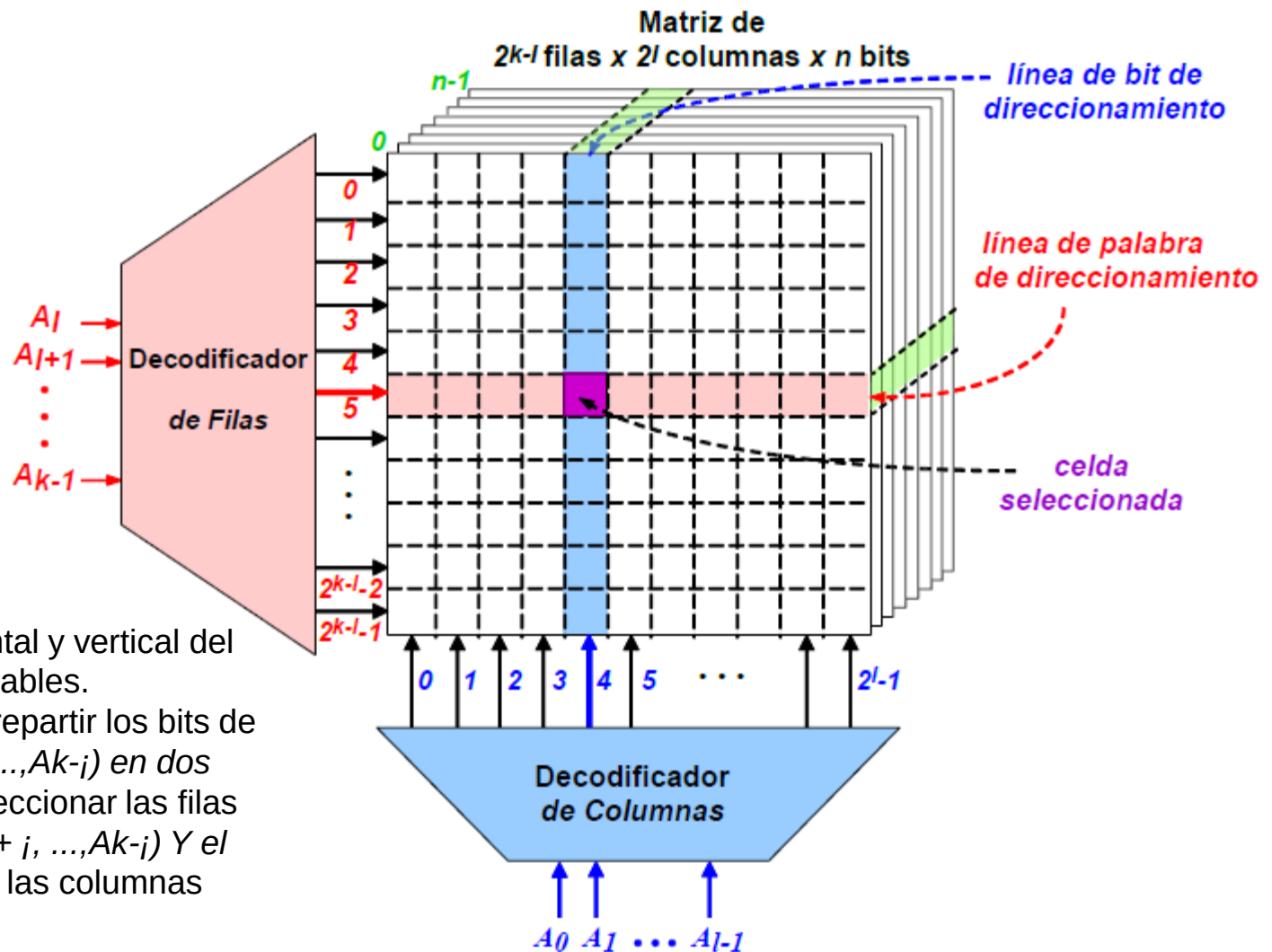
Figura 11.1. Clasificación de las memorias de lectura/escritura.

8.2. Organización de las Memorias SRAM

Las memorias RAM estáticas constan de un núcleo de almacenamiento formado por un número muy grande de biestables R-S y un conjunto de circuitos periféricos de direccionamiento y control de las operaciones de lectura/escritura.

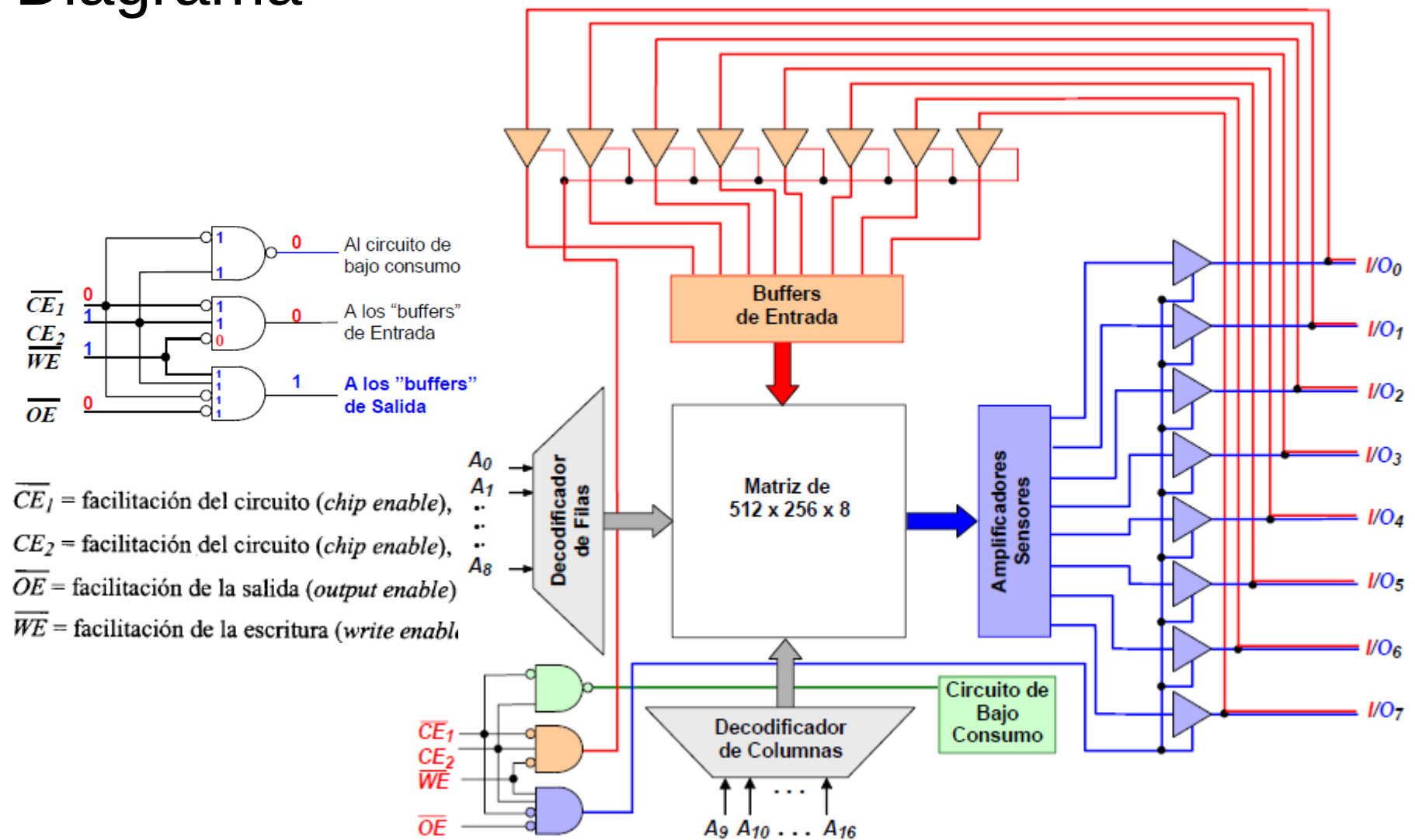


Organización 2D



Dimensiones horizontal y vertical del circuito sean comparables. Esto se consigue al repartir los bits de la dirección ($A_a, A_i, \dots, A_{k-i}$) en dos grupos, uno para direccionar las filas de una matriz ($A_l, A_{l+1}, \dots, A_{k-i}$) Y el otro para direccionar las columnas ($A_a, A_i, \dots, A_{l-i}$)

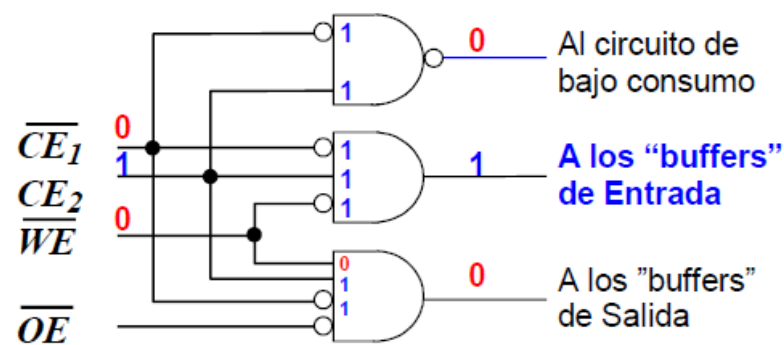
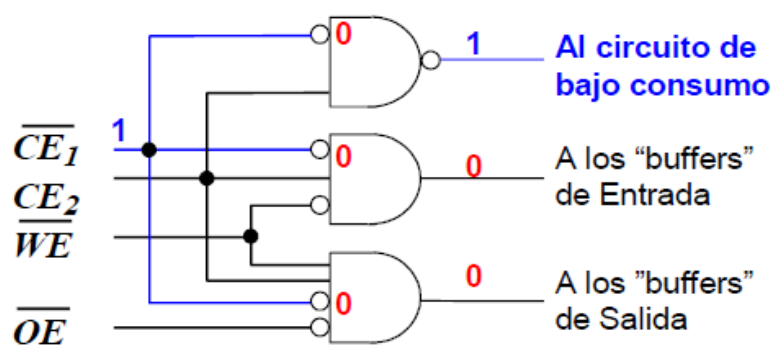
Diagrama



$\overline{CE}_1$	CE_2	$\overline{OE}$	$\overline{WE}$	I/O0 – I/O7	Modo	Consumo
H	x	x	x	Alta Z	Bajo Consumo	Standby (I_{SB})
x	L	x	x	Alta Z	Bajo Consumo	Standby (I_{SB})
L	H	L	H	Salida de Dato	Lectura	Activa (I_{CC})
L	H	x	L	Entrada de Dato	Escritura	Activa (I_{CC})
L	H	H	H	Alta Z	Seleccionada pero con salidas inhibidas	Activa (I_{CC})

$\overline{CE}_1$ = facilitación del circuito (*chip enable*), activa en baja
 CE_2 = facilitación del circuito (*chip enable*), activa en alta
 $\overline{OE}$ = facilitación de la salida (*output enable*), activa en baja
 $\overline{WE}$ = facilitación de la escritura (*write enable*), activa en baja

Figura 11.5. Configuraciones de las señales de control para la selección de los distintos modos de funcionamiento de la SRAM.



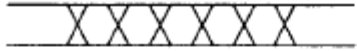
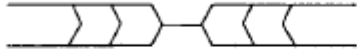
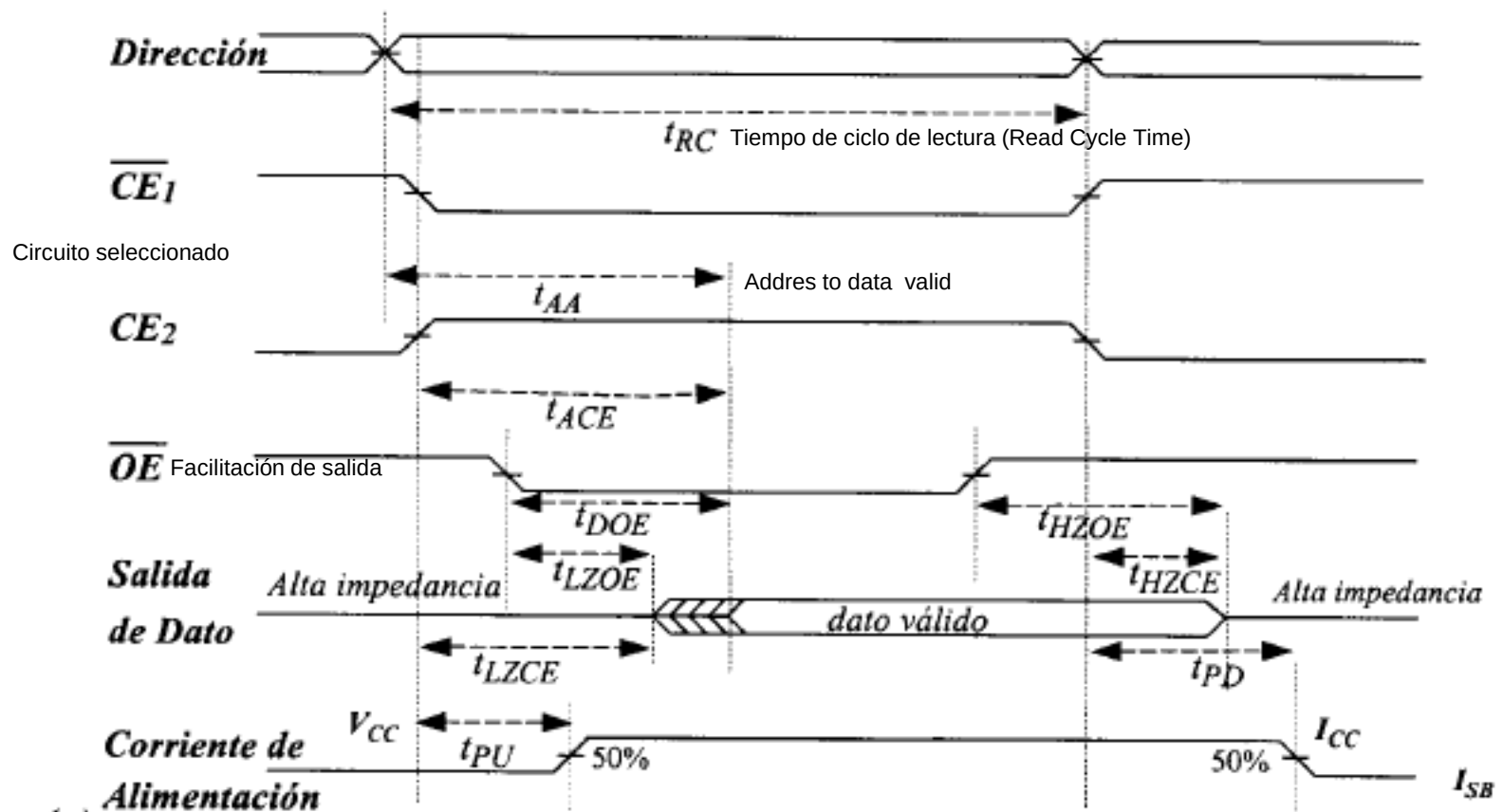
<i>Forma de Onda</i>	<i>Significado en las Entradas</i>	<i>Significado en las Salidas</i>
	Deben ser estacionarias	Valores estacionarios (salida válida)
	Pueden cambiar de H a L	Estará cambiando de H a L
	Pueden cambiar de L a H	Estará cambiando de L a H
	Situación irrelevante. Se permite cualquier cambio	Cambiando. Estado no conocido
	No se aplica	Estado de alta impedancia (línea central)

Figura 7.23. Significado de las distintas formas de onda que se usan para representar la evolución temporal de las líneas de datos y direcciones y las señales de control durante los procesos de lectura y grabación de EEPROMs.

Cronograma de lectura



(a)

parámetros: t_{ACE} , t_{DOE} y t_{LZOE} (***). El primero, t_{ACE} es el intervalo temporal que transcurre desde que $\overline{CE}_1$ pasa a baja (y CE_2 a alta) hasta que aparecen en el bus de salida los datos leídos y estos son estables, pudiendo por consiguiente considerarse como válidos. Análogamente t_{DOE} es el intervalo temporal desde que se facilita la salida ($\overline{OE}$ en baja) hasta que hay datos de salida válidos. Finalmente, t_{LZOE} mide el tiempo entre la bajada de $\overline{OE}$ y el final del estado de alta impedancia en los buffers de tres estados donde van a aparecer los datos..

CRONOGRAMA DE ESCRITURA

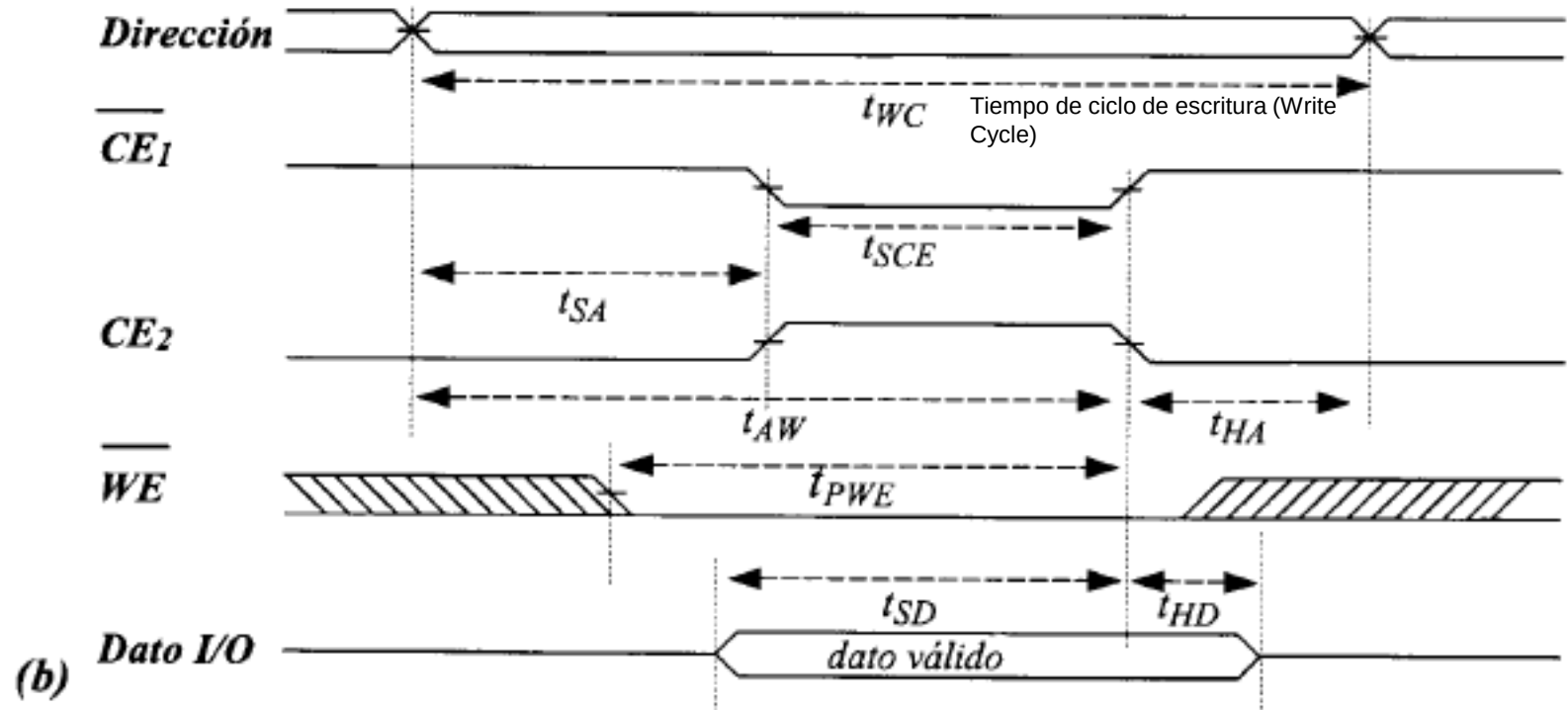


Figura t_{SCE} = Duración de la facilitación, desde la bajada de $\overline{CE_1}$, hasta su subida.

t_{SA} = Intervalo desde que la dirección está estable hasta que comienza la escritura.

t_{AW} = Intervalo desde que la dirección está estable hasta que finaliza la escritura.

t_{SD} = Intervalo desde el establecimiento de los datos hasta el final de la escritura.

t_{HD} = Tiempo que se retienen los datos tras el final del proceso de escritura. Después, las líneas de entrada/salida pasan al estado de alta impedancia.

8.3. Evolución de las SRAM

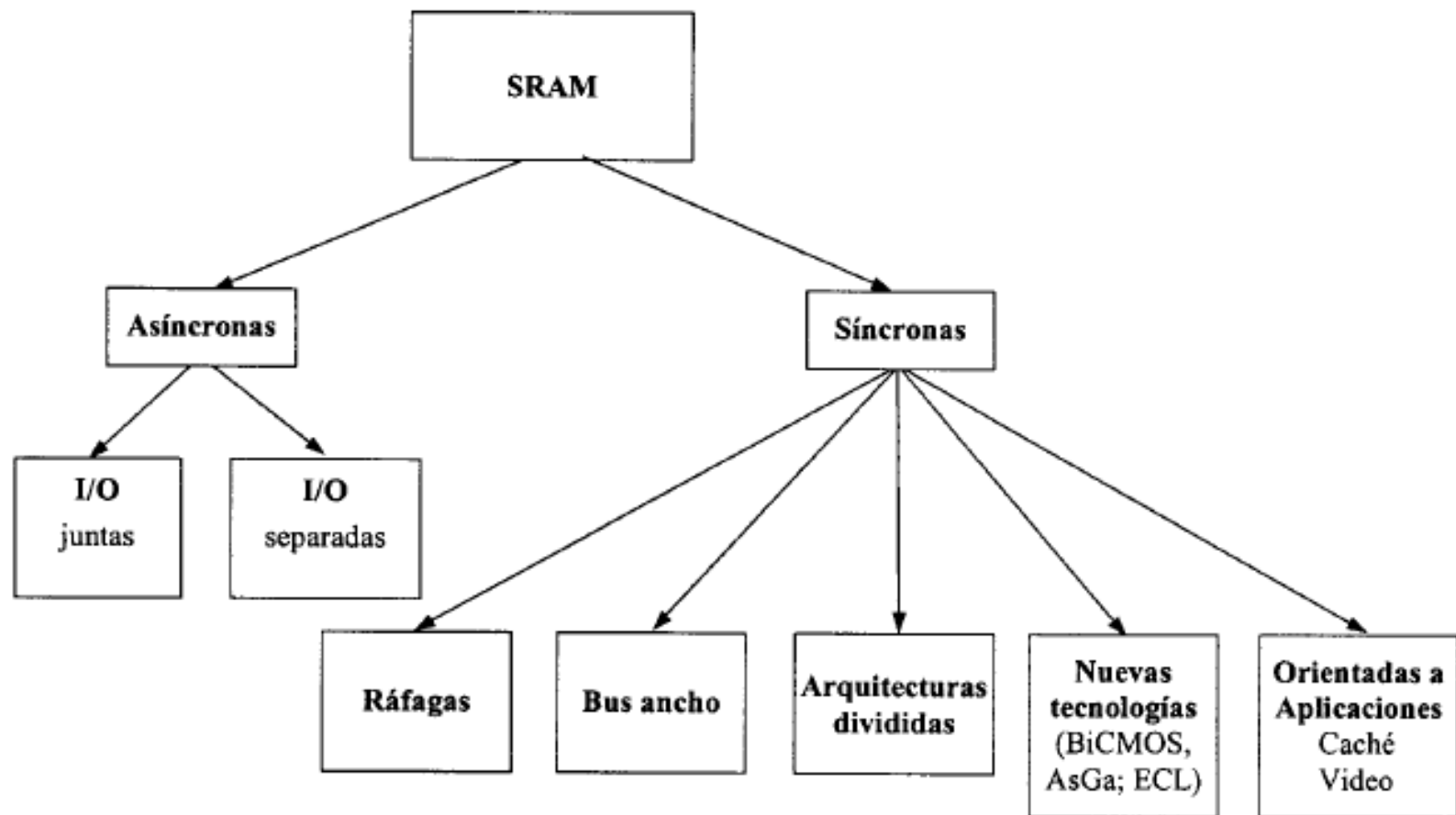


Figura 11.7. Evolución de las memorias SRAM para aumentar la velocidad intrínseca y la del sistema que la incorpora (arquitectura).

Mejoras sobre las asíncronas

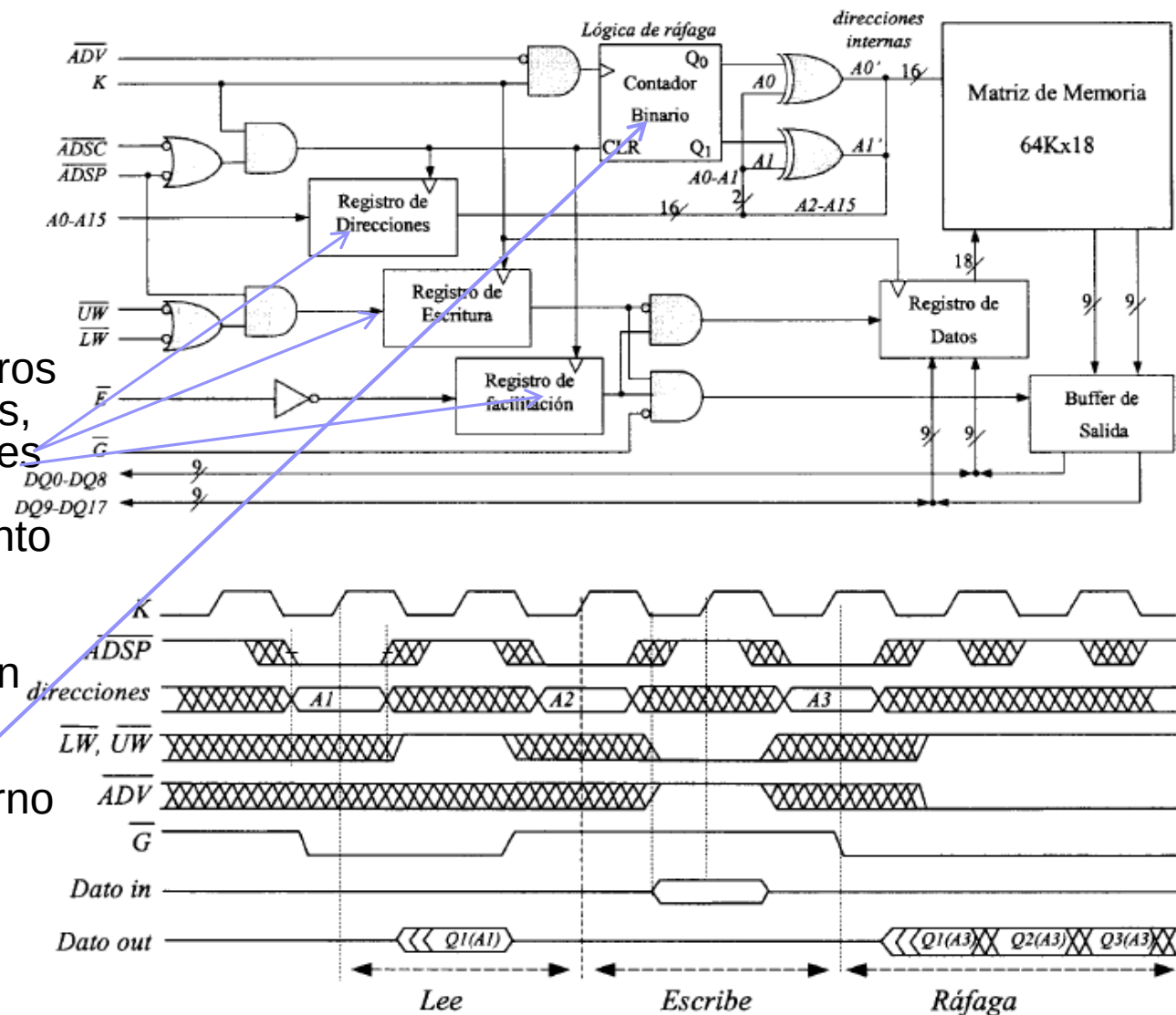
1. Hacer que la memoria sea síncrona (quedando así bajo el control del reloj general del sistema) y con posibilidad de acceso por "ráfagas" a varias direcciones de memoria (generadas internamente de forma automática) a partir de un acceso inicial convencional a una determinada dirección de inicio de la ráfaga.
2. Actuar sobre la arquitectura de la memoria, usando líneas separadas para entrada y salida, aumentando el ancho de banda del bus interno y añadiendo señales externas de control (*output enable*) que permiten tener un circuito direccionado y seleccionado antes de activar las entradas.
3. Usar arquitecturas divididas en varias zonas para que el camino que es necesario recorrer para alcanzar una celda concreta sea, en valor medio, más corto.
4. Desarrollar nuevas tecnologías, en adición o alternativa a la CMOS actual. Por ejemplo, BiCMOS, Arseniuro de Galio (AsGa) o bipolar ECL. Estas tecnologías son más rápidas, ofrecen mayores niveles de corriente pero también consumen más y son más caras.
5. Desarrollar memorias SRAM orientadas a aplicaciones específicas, por ejemplo para su uso como memoria caché de correspondencia directa con la memoria principal o con distinto grado de asociatividad, o para aplicaciones de video.

■ SRAM

- Síncronas
- Acceso a ráfagas

■ Mejoras

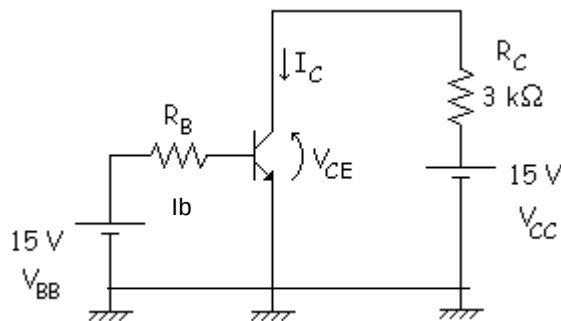
- Uso de registros de direcciones, datos y señales de control y comportamiento síncrono
- Acceso a direcciones en modo ráfaga, mediante contador interno



8.4. Celdas RAM Estáticas (SRAM) en Tecnología Bipolar

- Su característica principal es el tiempo de acceso que es muy corto
 - Se emplean principalmente en el diseño de memorias caché
- Se realiza con transistores multiemisor, que equivalen a transistores colocados en paralelo el colector y la base y con la entrada por emisor.
 - De esta manera, al conectar un “0” en cualquiera de los dos emisores, el transistor correspondiente conducirá y por lo tanto la $V_{CE}=0V$ y la tensión colector masa será de 0V.
- Velocidad
 - Tecnologías bipolar o bicmos
- Capacidad
 - Tecnología CMOS

Transistor bipolar (nnp)



Malla de entrada

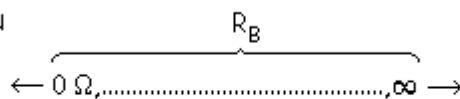
$$-V_{BB} + R_B \cdot I_B + V_{CE} = 0 \Rightarrow I_B = \frac{V_{CC} - V_{CE}}{R_B}$$

El valor de I_B depende del valor de R_B

$$I_C = \beta_{CC} \cdot I_B = \frac{V_{BB} - V_{CE}}{R_B} \cdot \beta_{CC}$$

SATURACIÓN

I_B grande
 I_C grande
 $V_{CE} = 0$



CORTE

$I_B = 0$
 $I_C = 0$
 $V_{CE} = 15 V$

Malla de salida

V_{ce} = voltaje de alimentación
del circuito (1)

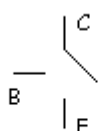
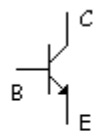
$$-V_{CC} + R_C \cdot I_C + V_{CE} = 0$$

$$I_C = -\frac{1}{R_C} \cdot V_{CE} + \frac{V_{CC}}{R_C}$$

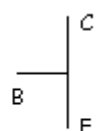
$y = m \cdot x + b$ es una recta

$$V_{CE} = 0 \Rightarrow I_C = \frac{V_{CC}}{R_C} = \frac{15}{3} = 5 \text{ mA}$$

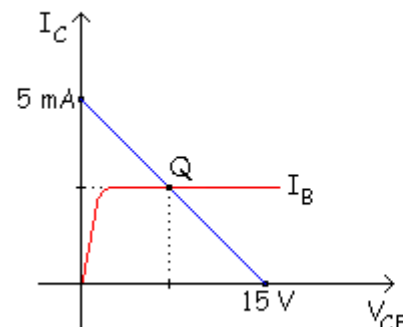
$$I_C = 0 \Rightarrow V_{CE} = V_{CC} = 15 V$$

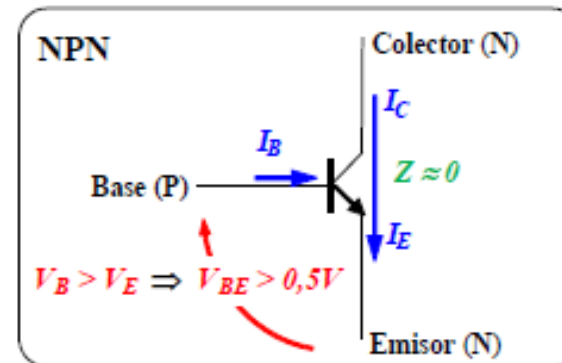
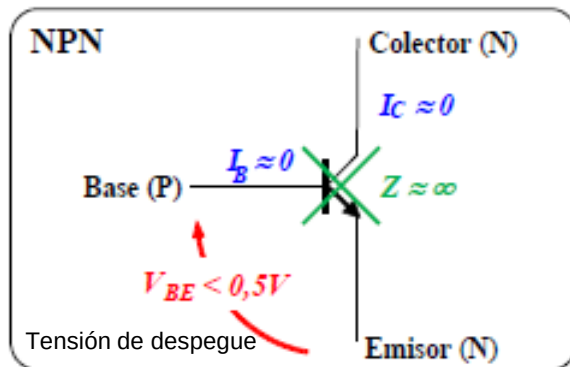
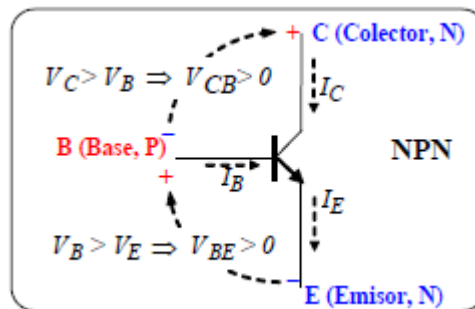


CORTE



SATURACIÓN



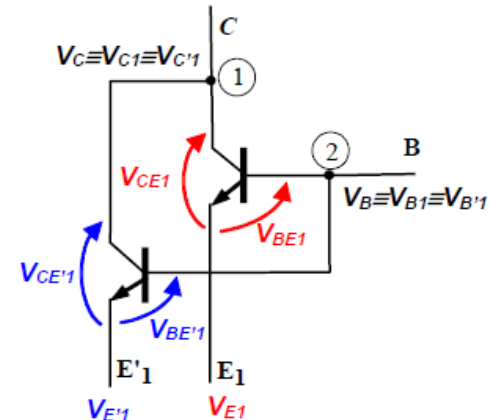
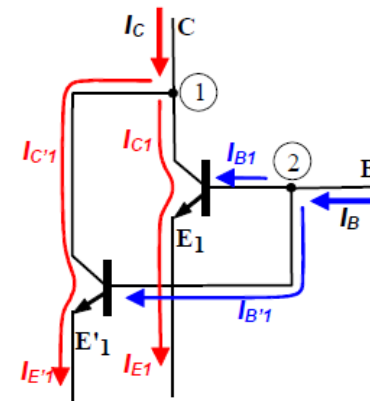
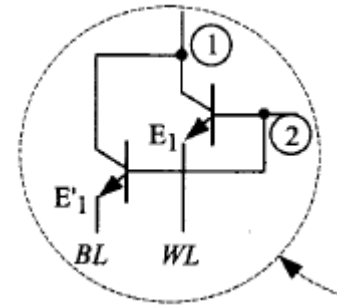


Corte $\left\{ \begin{array}{l} I_C = I_{CE0} \approx 0 \\ V_{BE} < V_\gamma \approx 0,5V \\ V_{CE} \approx E \text{ (Alimentación)} \end{array} \right.$ Tensión de despegue (gamma)	Saturación (Conducción para nosotros) $\left\{ \begin{array}{l} I_C = I_{Csat} \approx E/R_C \\ V_{BE} \approx 0,8V \\ V_{CE} = V_{CEsat} \approx 0,2V \end{array} \right.$
--	---

Transistor multiemisor

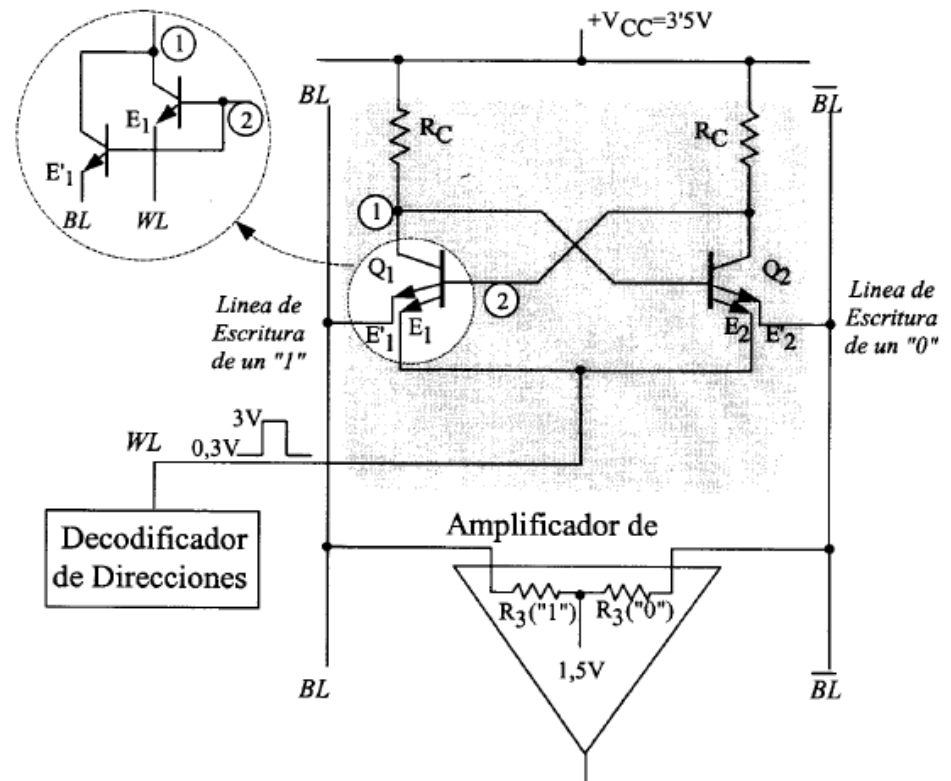
Se realiza con transistores multiemisor, que equivalen a transistores colocados en paralelo el colector y la base y con la entrada por emisor.

De esta manera, al conectar un "0" en cualquiera de los dos emisores, el transistor correspondiente conducirá y por lo tanto la $V_{CE}=0V$ y la tensión colector masa será de $0V$.



Salida: amplificador de potencia

La salida se obtiene de un amplificador diferencial, de forma que cuando aparece un nivel de tensión en la línea BL ($\overline{BL} = 0V$) habrá una caída de tensión en R3(1) y no la habrá en la R3(0), provocando ello un nivel "1" de salida. Al revés, cuando aparece un nivel de tensión en la línea $\overline{BL} = 3,5V$ ($BL = 0V$) habrá una caída de tensión en R3(0) y no la habrá en la R3(1), provocando ello un nivel "0" de salida.



Por **convenio** se interpreta que se almacena un "1" cuando **Q1** está **conduciendo** (**Q2** al corte) y un "0" cuando **Q1** al **corte** (**Q2** conduciendo).

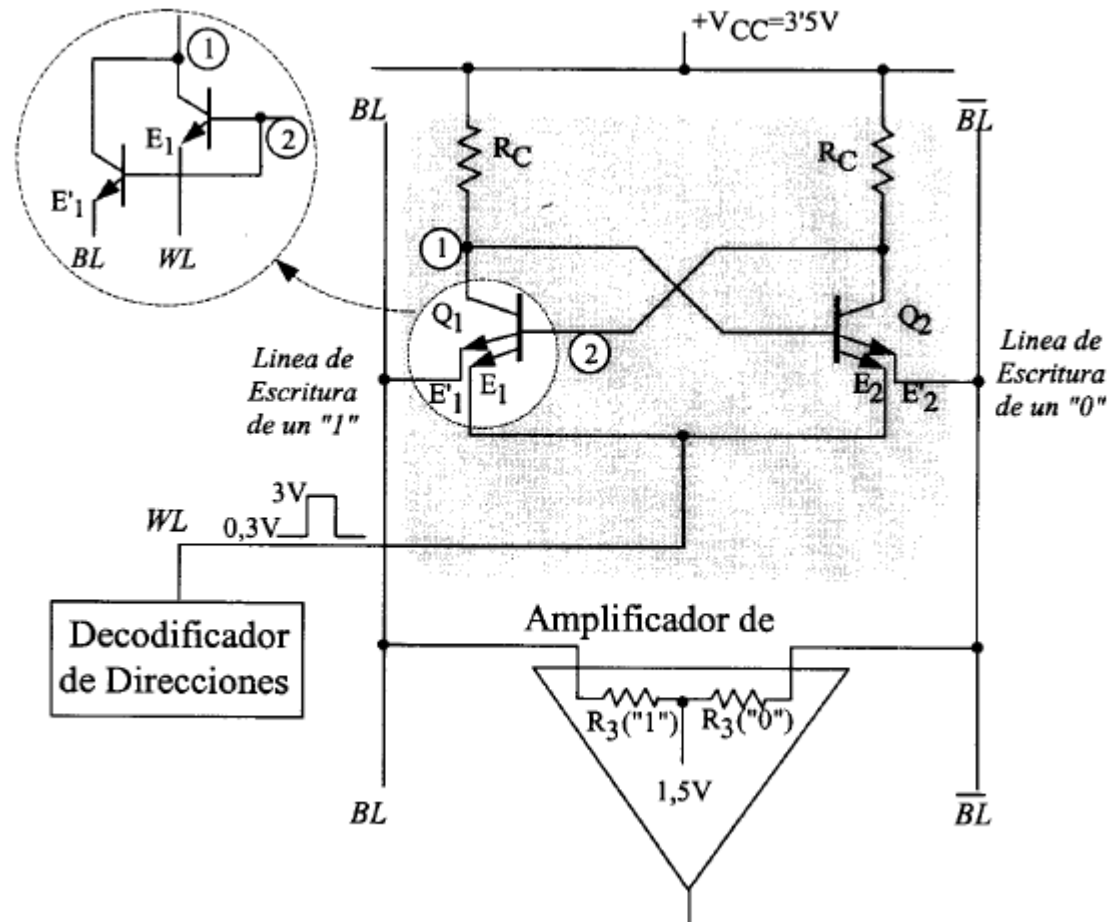
Selección

La selección de celda se producirá introduciendo un nivel alto ("1") en WL, provocando ello que los emisores E_i estén los dos a "1" y dejando el estado del transistor en manos de los emisores E'_i , o sea en manos de las entradas de escritura de "1" (BL) o de escritura de "0" $\overline{BL}$.

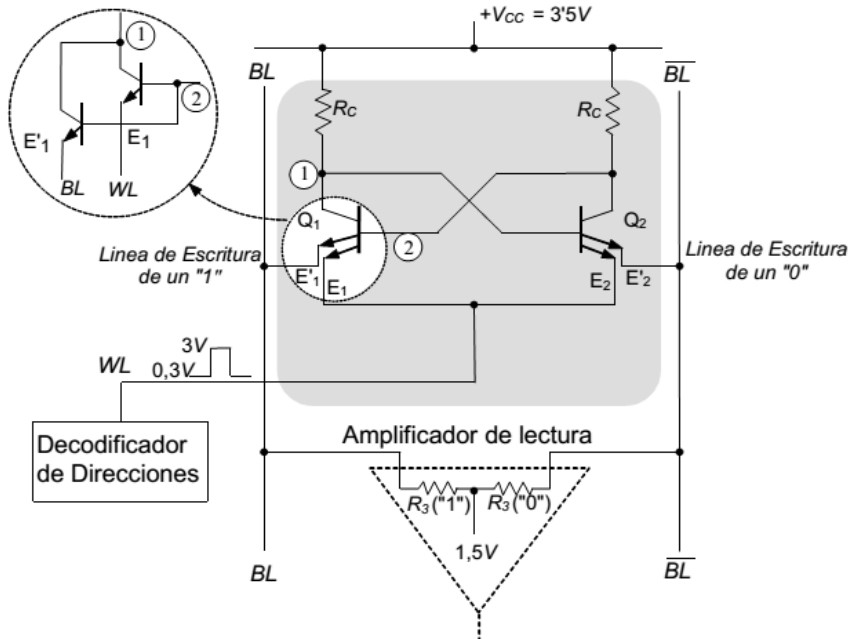
En caso de que $WL=0,3V$, los dos emisores E_i estarán a 0V, provocando ello que el biestable permanezca en el estado anterior.

❑ Si anteriormente Q1 conducía, su $V_{CE}=0V$ por lo que la tensión en B2 era 0V y por lo tanto Q2 estaba cortado.

❑ En estas circunstancias no importa lo que metamos en BL y $\overline{BL}$ porque nunca conseguiremos hacer cortarse al transistor que estaba conduciendo, ni conducir al que estaba cortado, permaneciendo la celda en su estado anterior.



Leer



- No tenemos que poner ninguna tensión externa nos limitamos a leer, los valores en BL y BL'
- Tras seleccionar la celda con WL, solo el emisor del transistor que conduce proporciona corriente a una de las líneas de datos produciendo un impulso de salida del amplificador de lectura
- Leer "1":
 - Si tenemos escrito "1", el transistor Q1 está conduciendo y entre su Colector y su Emisor circula una corriente que al pasar por la resistencia R3("1") produce una diferencia de potencial entre sus extremos. Por tanto aparece un pulso en la resistencia de lectura de "1", R3("1").
 - Por la línea BL' no circula corriente porque el transistor Q2 está cortado, presenta alta impedancia y la tensión cae toda entre su Colector y Emisor, por lo que no circula corriente por la resistencia de lectura de "0", R3("0"), y no cae ningún potencial entre sus extremos.

Escritura:

Se empieza seleccionando la celda mediante WL e introduciendo el dato que queremos meter por BL o por $\overline{BL}$.

Escribir un "1"

1º Activaremos WL (3V)

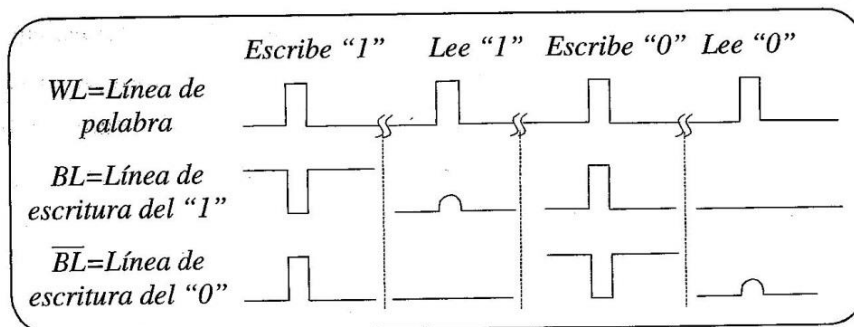
2º Introduciremos un "1" (3V) por $\overline{BL}$ (corte) y un "0" por BL (conduce).

Un "0" en BL provoca que Q1 conduzca, su $V_{CE}=0V$ y por lo tanto la $V_{EB2}=0V$, lo cual provoca que Q2 se corte y su $V_{CE}=3V$ ("1"). De esta manera la $V_{EB1}=3V$ y provocará que Q1 conduzca y por lo tanto su $V_{CE}=0V$, manteniendo con ello el nivel introducido al principio y provocando su almacenamiento.

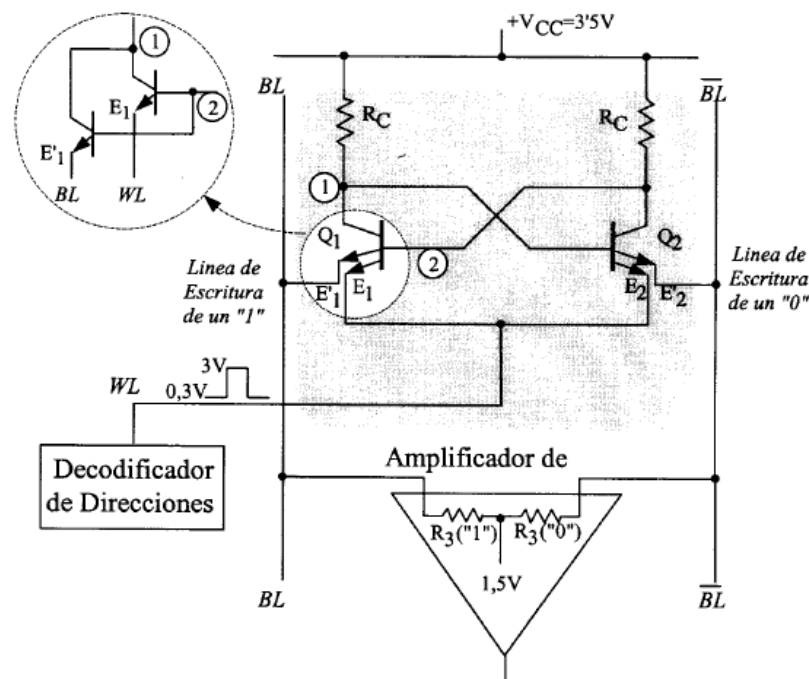
Q1 conduce y Q2 está cortado, hemos escrito un "1"

Escribir "0":

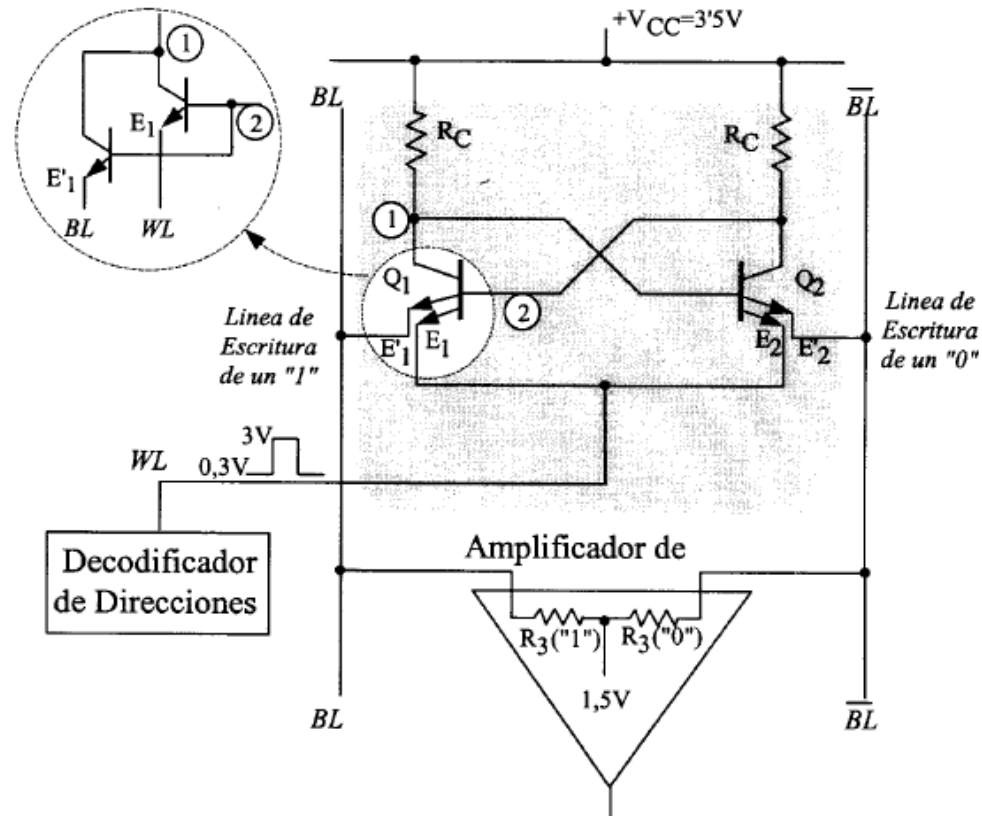
Hay que poner $BL = 3,5V$ y $\overline{BL} = 0V$.



Cronograma correspondiente a la celda RAM estática de la figura anterior.



Celda SRAM Bipolar



Escribe "1"	Escribe "0"	Lee "1"	Lee "0"	Seleccionada	No Seleccionada	Alamacena "1"	Alamacena "0"
$BL=0V$ $\overline{BL}=3,5V$	$BL=3,5V$ $\overline{BL}=0V$	$V[R_3("1")] > 0$ $V[R_3("0")] \approx 0$	$V[R_3("1")] > 0$ $V[R_3("0")] \approx 0$	$WL=3V$	$WL=0,3V$	$Q_1 \rightarrow ON$ $Q_2 \rightarrow OFF$	$Q_1 \rightarrow OFF$ $Q_2 \rightarrow On$

Figura 11.9. Circuito básico representativo de las celdas RAM estáticas realizadas con transistores bipolares multiemisor.

8.5. Celdas RAM Estáticas (SRAM) en Tecnología MOS

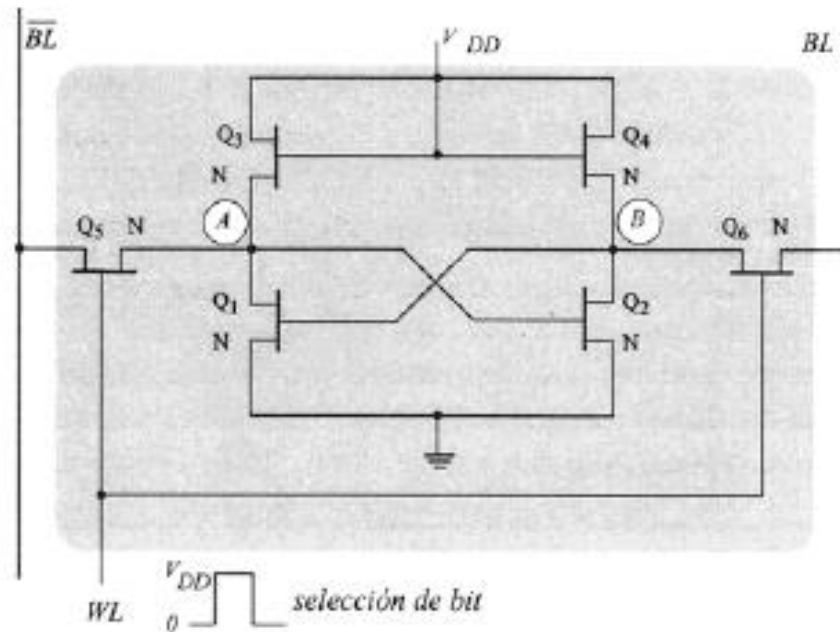
La idea básica es la misma que en el caso bipolar pero a partir de transistores MOS.

Igual que en el caso anterior se dispone de la patilla de selección de celda WL y de las líneas de datos BL y $\overline{BL}$.

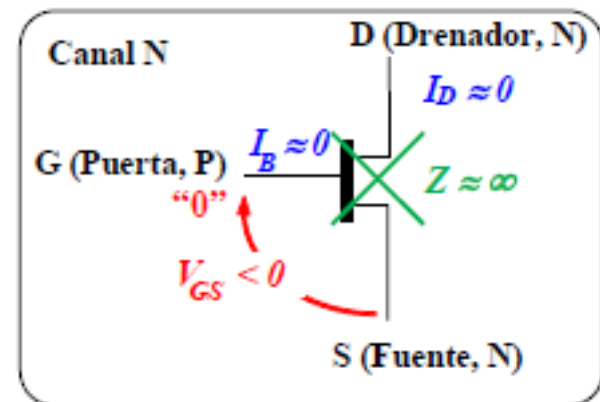
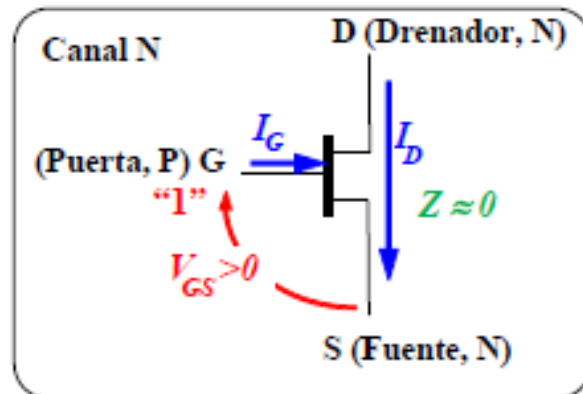
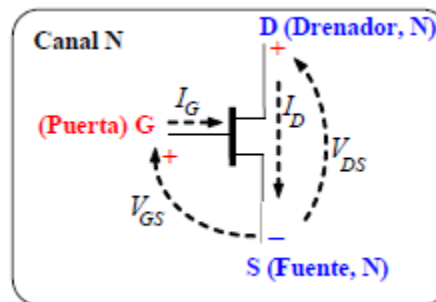
Partimos de dos inversores acoplados (Q1-Q3 y Q2-Q4) y se añaden otros dos (Q5 y Q6) para habilitarla lectura y escritura.

Suponer que se almacena un “1” cuando Q1 está conduciendo y Q2 esta cortado.

Selección de celda: La selección de celda se producirá introduciendo un nivel alto (“1”) en WL, provocando ello que los transistores Q5 y Q6 conduzcan y que por lo tanto se pueda leer o escribir en la celda.



Celda NMOS para RAM estática.



Corte (no conduce)	$V_{GS} < 0 \rightarrow "0"$	Alta Z entre Drenador y Fuente Equivale a un Circuito abierto
Conducción	$V_{GS} > 0, \rightarrow "1"$	Muy baja Z entre Drenador y Fuente Equivale a un Cortocircuito

Escritura:

Se empieza seleccionando la celda mediante WL (12 v) e introduciendo el dato que queremos meter (nivel lógico 1 -12v) por BL (poner a 1) o por BL' (poner a 0).

Por ejemplo supongamos que se quiere escribir un "0", para ello activaremos WL e introduciremos un "1" por BL' y un "0" por BL.

Un "0" en BL provoca que la puerta de Q1 se polarice a 0V y por lo tanto dicho Q1 se corte y la $V_{DS}=V_{DD}$. Dicha tensión se aplica a la puerta de Q2 y por lo tanto $V_{GS2}=V_{DD}$.

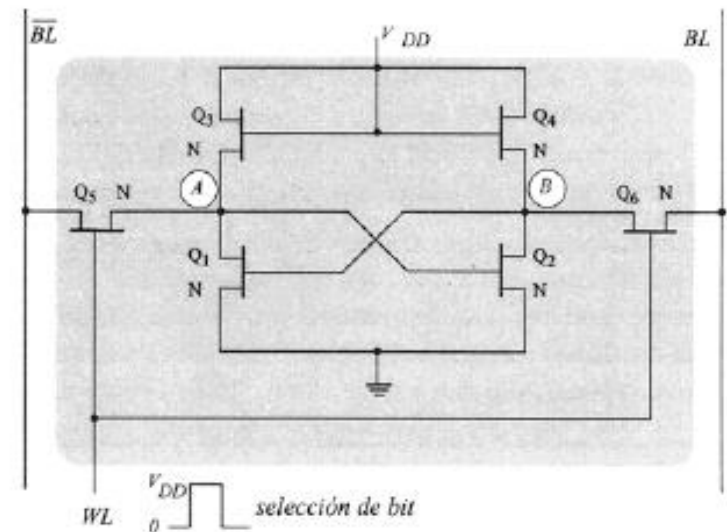
Esto provoca que Q2 conduzca y por lo tanto su $V_{DS}=0V$, reforzando y memorizando el nivel inicialmente introducido de 0V.

Lectura:

Tras seleccionar la celda con WL, hará que Q5 y Q6 conduzcan y por lo tanto los valores de los puntos A (punto de "0") y B (punto de "1") aparezcan en las líneas BL' y BL respectivamente.

Si contiene 1: aparece 12 v en BL y 0 en BL'

Si contiene 0: aparece 0v en BL y 1 BL'

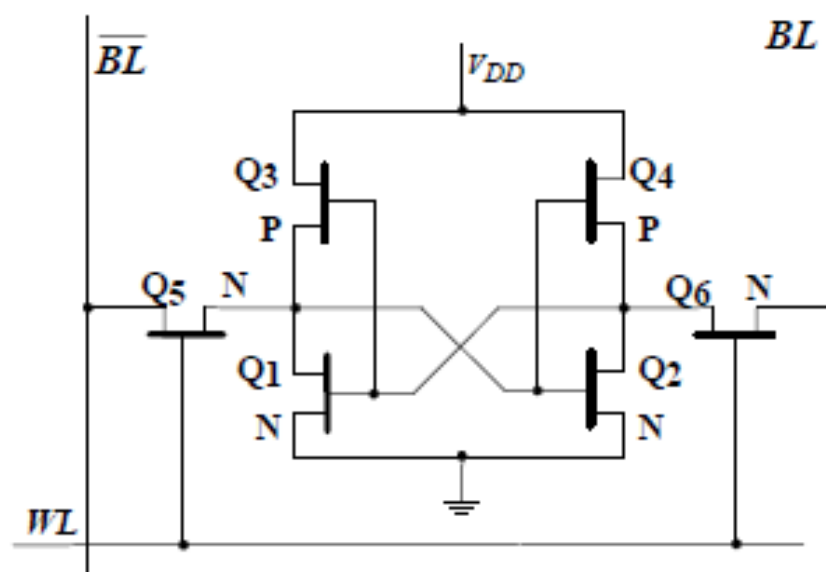


Celda NMOS para RAM estática.

Los transistores **PMOS** (MOS canal P) se comportan de forma totalmente opuesta. Así,

Corte (no conduce)	$V_{GS} > 0 \rightarrow "1"$	Alta Z entre Drenador y Fuente Equivale a un Circuito abierto
Conducción	$V_{GS} < 0, \rightarrow "0"$	Muy baja Z entre Drenador y Fuente Equivale a un Cortocircuito

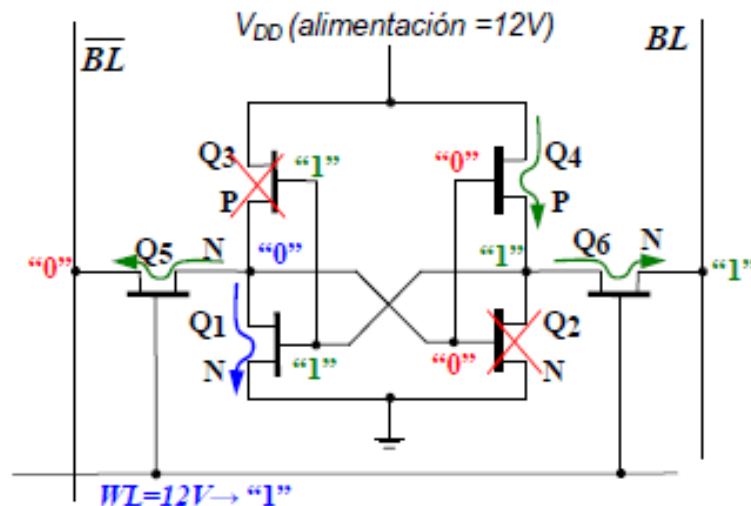
Celda de memoria CMOS



Suponemos que tiene almacenado un "1" cuando el transistor $Q1$ conduce.

1. Lectura del "1" almacenado: ($Q1$ conduce):

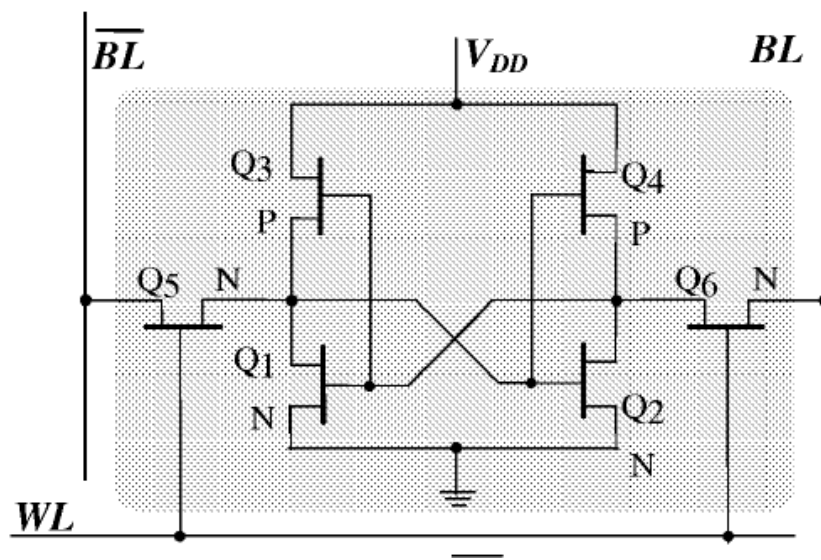
- 1º: Hay que direccionar la celda: $WL=12V \rightarrow Q5, Q6$ conducen
- 2º: Hay almacenado un "1" y $Q1$ (canal N) **conduce** $\rightarrow Q2$ (canal N) **no conduce**
- 3º: En Drenador de $Q1 \equiv$ Puerta de $Q2$ (canal N) hay un "0" $\rightarrow$ en $\overline{BL}$ tenemos un "0"
En drenador de $Q2 \equiv$ Puerta de $Q1$ (canal n) hay un "1" $\rightarrow$ en BL tenemos un "1"
- 4º: En la Puerta de $Q3$ (canal P) hay un "1" $\rightarrow Q3$ **no conduce**
En la Puerta de $Q4$ (canal P) hay un "0" $\rightarrow Q4$ **conduce.**



Solución:

$WL = 12V$. En BL leemos un "1" y en $\overline{BL}$ un "0"
 $Q5, Q6, Q1$ y $Q4$ conducen. $Q2$ y $Q3$ no conducen

2.- Queremos escribir un “0” en la celda de memoria RAM estática en tecnología CMOS de la figura adjunta. ¿Qué valores de tensión debemos poner en la línea de selección de bit, WL , y en las líneas de bit, BL y $\overline{BL}$? ¿En qué estado están cada uno de los transistores?



a) $WL = 12V$, $BL = 0V$, $\overline{BL} = 12V$.

Q_5 , Q_6 , Q_2 y Q_3 conducen. Q_1 y Q_4 no conducen.

b) $WL = 12V$, $BL = 0V$, $\overline{BL} = 12V$.

Q_5 , Q_6 , Q_2 y Q_4 conducen. Q_1 y Q_3 no conducen.

c) $WL = 0V$, $BL = 0V$, $\overline{BL} = 12V$.

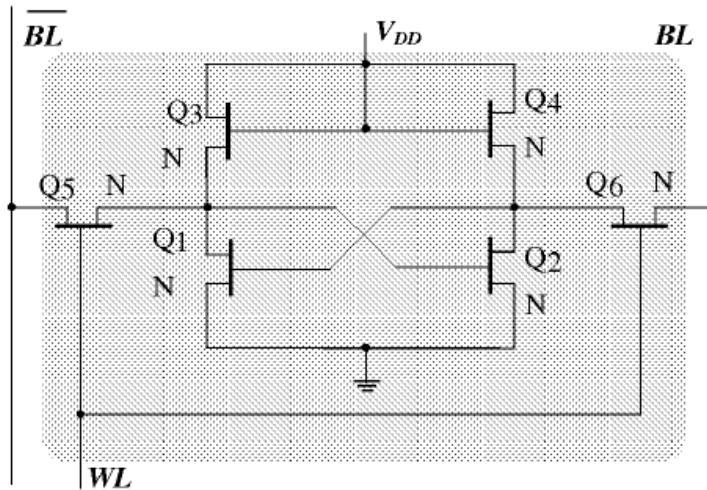
Q_5 , Q_6 , Q_1 y Q_3 conducen. Q_2 y Q_4 no conducen.

d) $WL = 0V$, $BL = 12V$, $\overline{BL} = 0V$.

Q_5 , Q_1 y Q_3 conducen. Q_6 , Q_2 y Q_4 no conducen.

5.- Queremos escribir un “1” en la celda de memoria RAM estática en tecnología NMOS de la figura adjunta. ¿Qué valores de tensión debemos poner en la línea de selección de bit, WL , y en las líneas de bit, BL y $\overline{BL}$?

¿En qué estado están cada uno de los transistores?.



a) $WL = 0V$, $BL = 12V$, $\overline{BL} = 0V$.

Q_6 , Q_1 y Q_3 conducen. Q_5 , Q_2 y Q_4 no conducen.

b) $WL = 12V$, $BL = 0V$, $\overline{BL} = 12V$.

Q_5 , Q_6 , Q_2 y Q_4 conducen. Q_1 y Q_3 no conducen.

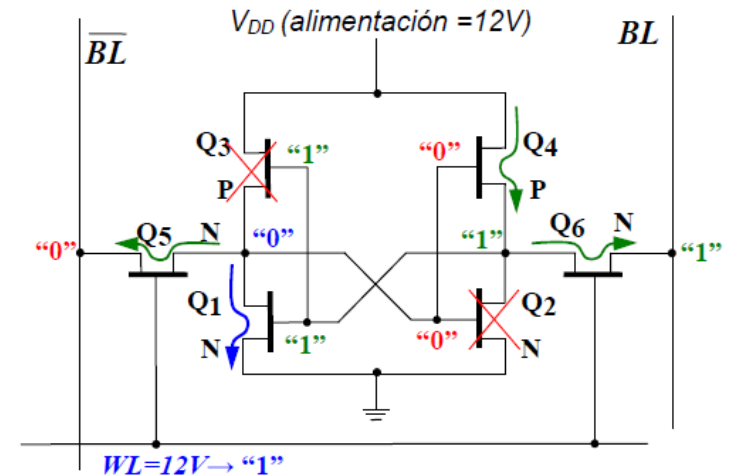
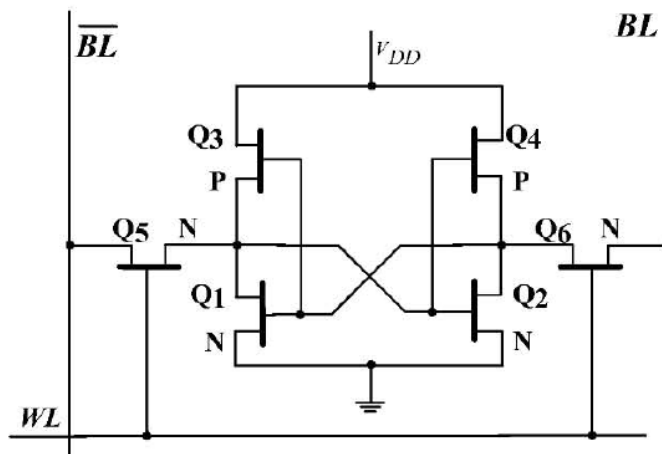
c) $WL = 0V$, $BL = 12V$, $\overline{BL} = 0V$.

Q_5 , Q_6 , Q_1 y Q_4 conducen. Q_2 y Q_3 no conducen.

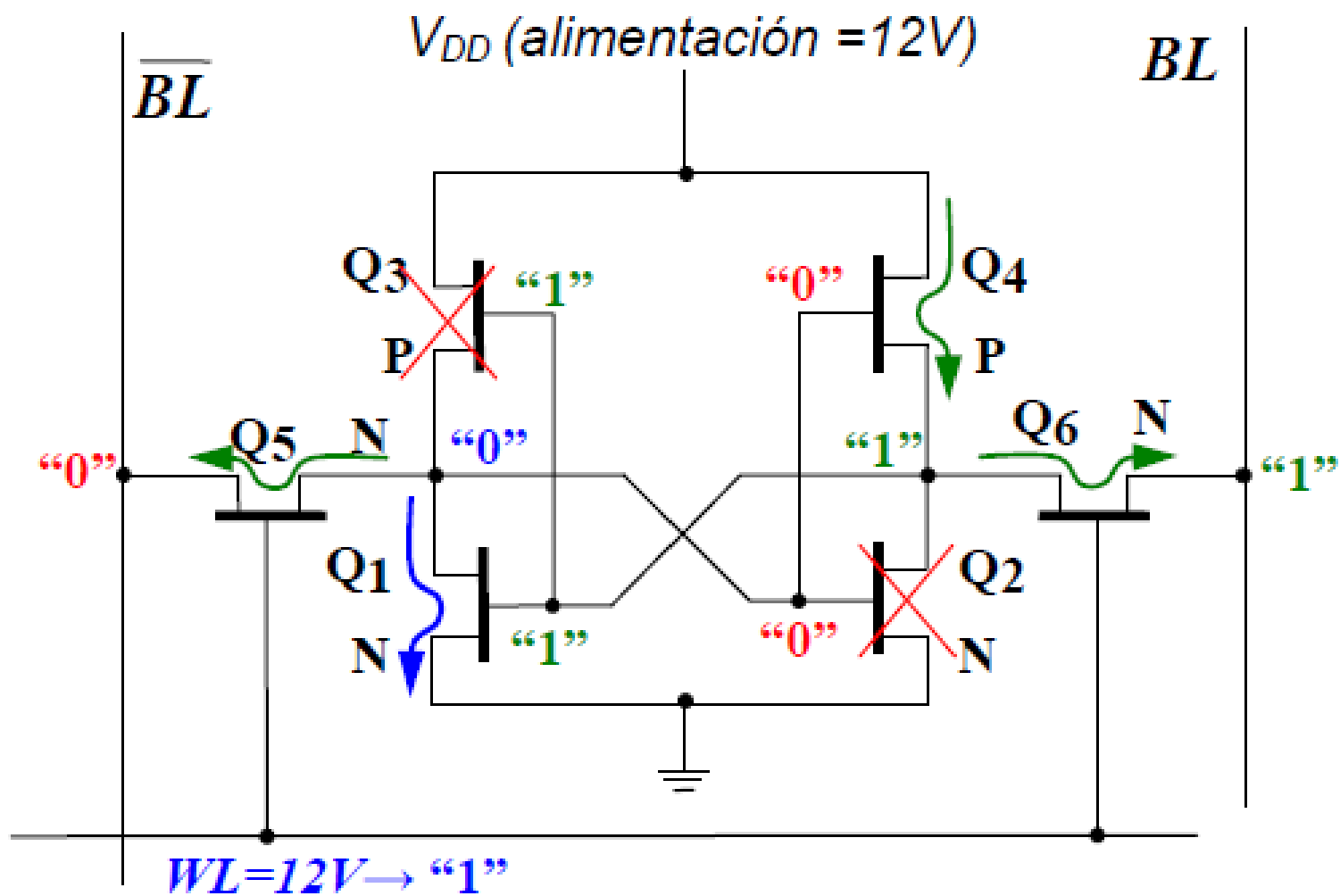
d) $WL = 12V$, $BL = 12V$, $\overline{BL} = 0V$.

Q_5 , Q_6 , Q_1 y Q_3 conducen. Q_2 y Q_4 no conducen.

4.- En la celda de memoria RAM estática en tecnología CMOS de la figura adjunta hay almacenado un "1" (Q_1 está en conducción). ¿Qué valores de tensión debemos poner en la línea de selección de bit, WL , para leer el dato almacenado y qué valor leemos en las líneas de bit, BL y $\overline{BL}$? ¿En qué estado están el resto de los transistores?



- $WL = 0V$. En BL leemos un "0" y en $\overline{BL}$ un "1".
 Q_5 , Q_1 y Q_3 conducen. Q_6 , Q_2 y Q_4 no conducen.
- $WL = 12V$. En BL leemos un "1" y en $\overline{BL}$ un "0".
 Q_5 , Q_6 , Q_1 y Q_4 conducen. Q_2 y Q_3 no conducen.
- $WL = 0V$. En BL leemos un "1" y en $\overline{BL}$ un "0".
 Q_5 , Q_6 , Q_1 y Q_2 conducen. Q_3 y Q_4 no conducen.
- $WL = 12V$. En BL leemos un "0" y en $\overline{BL}$ un "1".
 Q_5 , Q_6 , Q_1 y Q_3 conducen. Q_2 y Q_4 no conducen.



Uso del amplificador diferencial en celdas SRAM



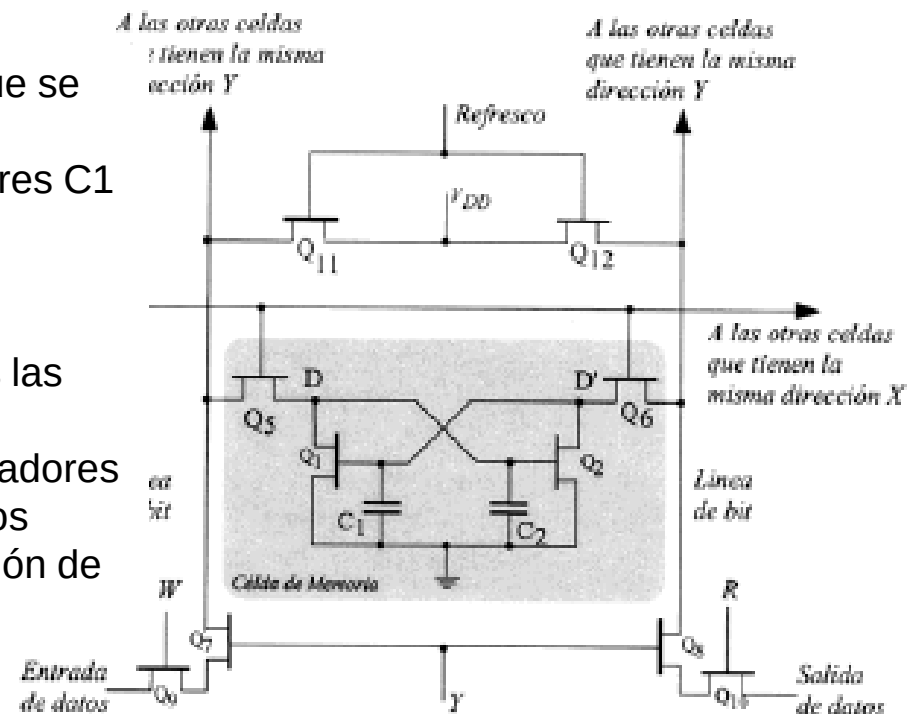
8.6. Celdas RAM Dinámicas (DRAM) en Tecnología MOS

- Alta capacidad (alto nivel de integración), bajo consumo con menos velocidad que la RAM estática
- Hay pérdida de carga
 - Circuito de refresco
- Lectura destructiva
- Disminuimos el número de transistores
- Elemento de carga

Si se compara con la celda estática se aprecia que se han eliminado dos transistores y que el elemento almacenador de información son los condensadores C1 y C2.

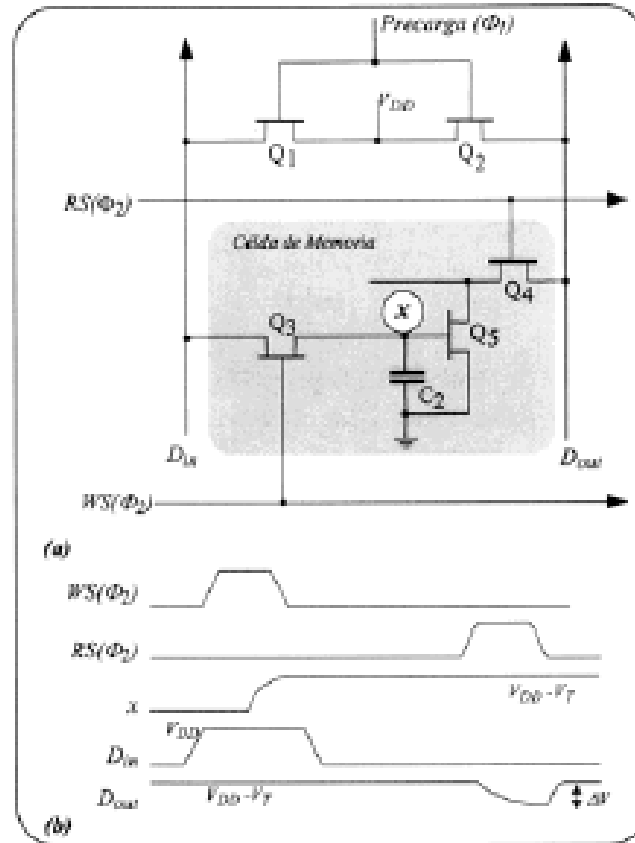
Estos condensadores no se implementan específicamente en la celda, sino que son las capacidades parásitas de los propios transistores las que sirven como elementos almacenadores.

Para evitar la pérdida de carga de estos condensadores se introduce un sistema de refresco a través de los transistores Q11 y Q12 que hace que la información de salida se vuelva a meter en la entrada.



Celdas RAM dinámicas (DRAM) de 4 transistores.

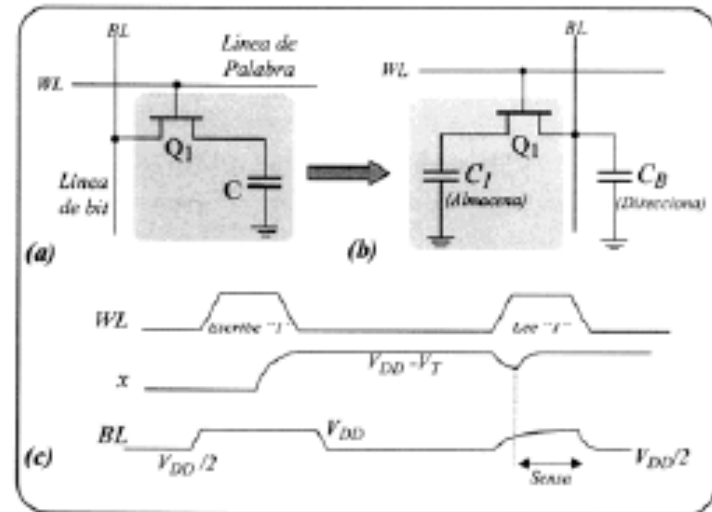
Celda de tres transistores



Celda DRAM con tres transistores MOS. (a) circuito. (b) Formas de onda durante los ciclos de lectura y escritura.

Celda DRAM de un único transistor

- La última reducción del tamaño de celda en la RAM dinámica consiste en utilizar un único transistor y su capacidad parásita como elemento almacenador.
- Su funcionamiento es sencillo, basta un transistor que permita la entrada y salida de carga al condensador.
- Durante el ciclo de escritura se habilita la celda WL y se introduce el nivel en la entrada BL, al conducir Q1 dicha carga se introduce en C1 y queda almacenada.
- Para su lectura, simplemente se habilita la celda WL, provocando que Q1 conduzca y que por lo tanto el valor de C1 aparezca en BL.



Celda DRAM con un solo transistor. (a) Solución mínima que provoca lectura destructiva. (b) Alternativa válida. (c) Formas de onda durante los procesos de lectura y escritura en el circuito de (b).

8.7. Organización de las Memorias RAM Dinámicas (DRAM)

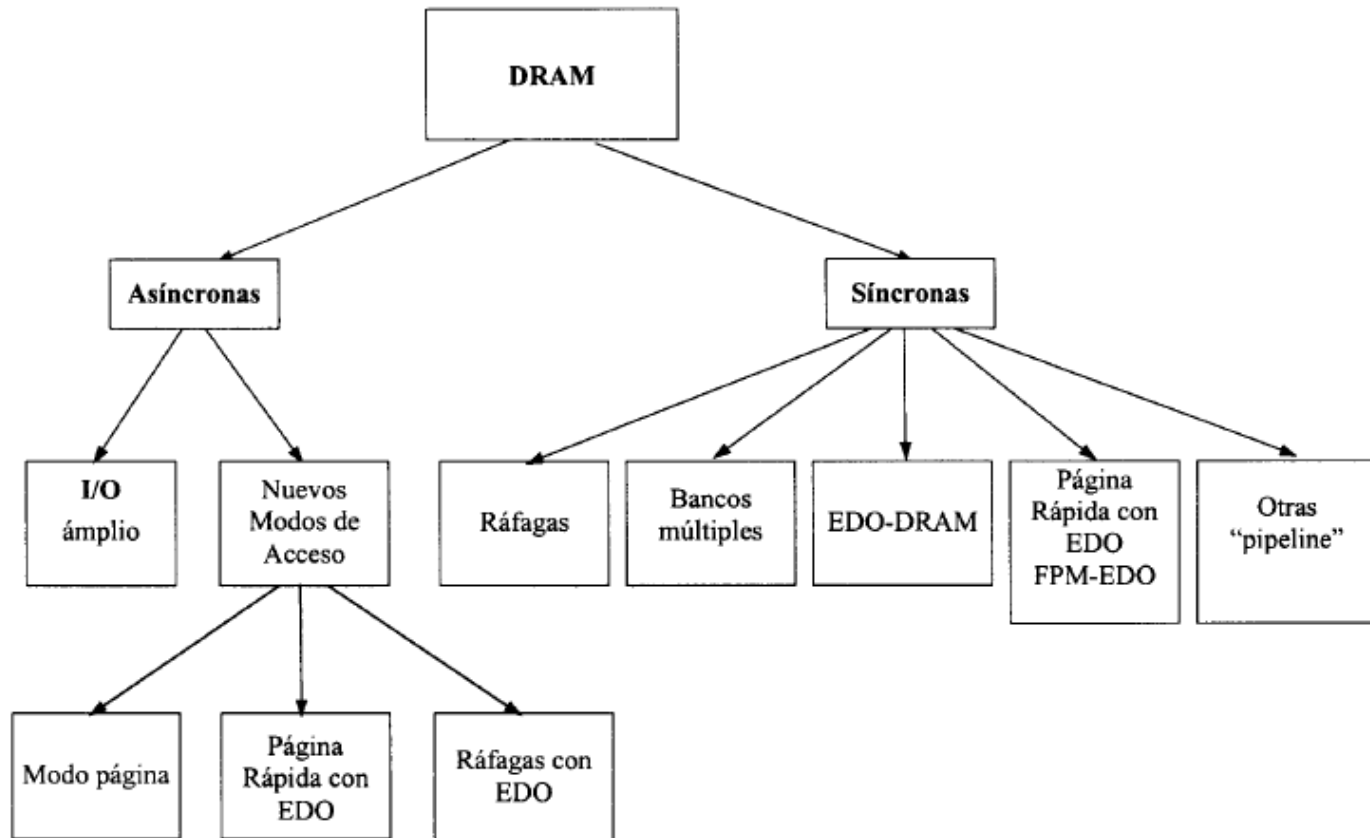
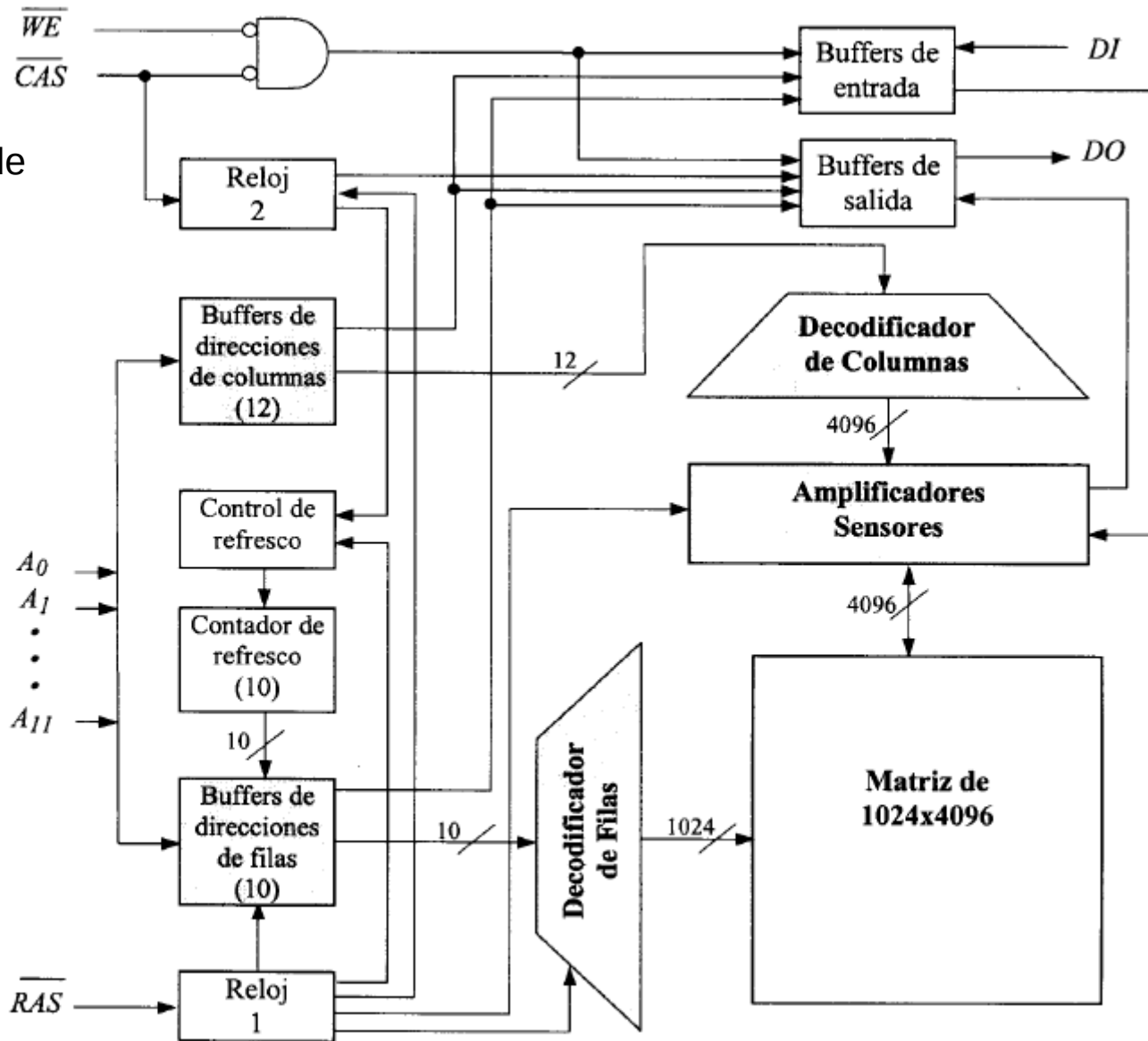


Figura 11.19. Panorama de los distintos tipos de memorias DRAM. La primera distinción es entre comportamiento asíncrono o síncrono. Después, en ambos casos se busca una mayor velocidad, ampliando el bus y modificando los modos de direccionamiento..

Organización de una DRAM básica 4Mx1

Reloj Selector de columna



Reloj selector de fila

Figura 11.20. Diagrama de bloques de una memoria DRAM de 4Mx1

Ciclo de lectura de DRAM

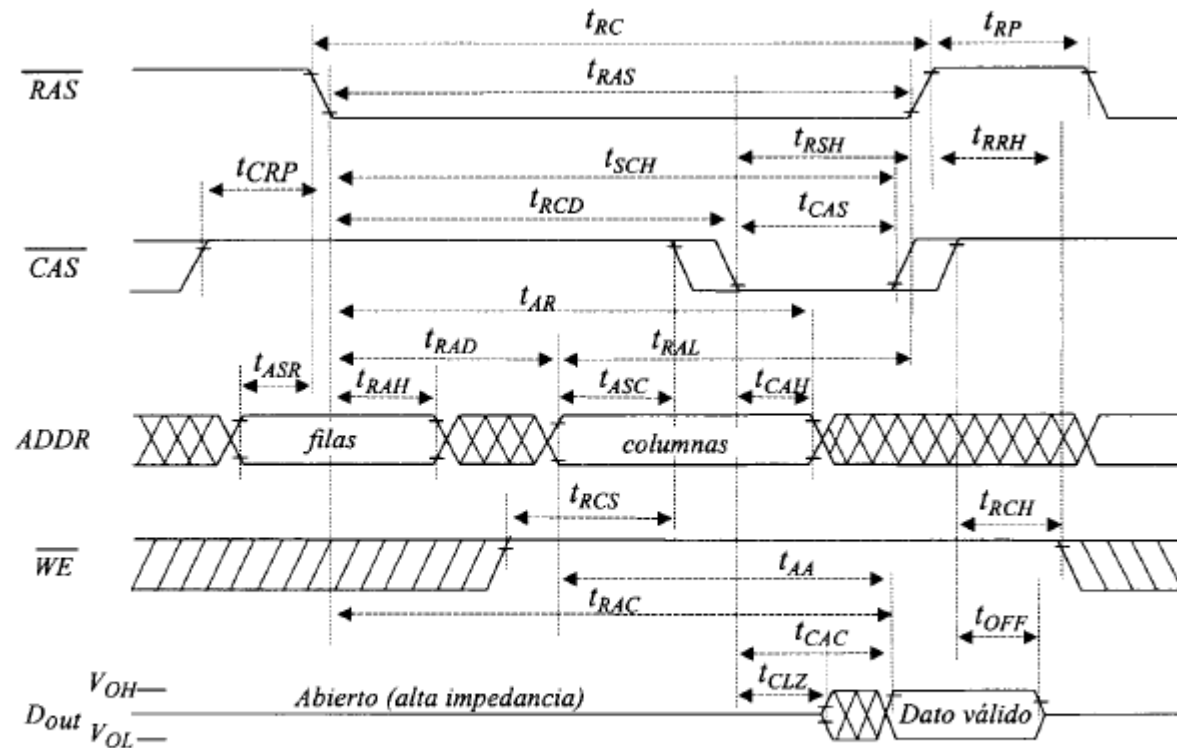


Figura 11.21. Cronograma de un ciclo de lectura en memorias DRAM

Ciclo de escritura de DRAM

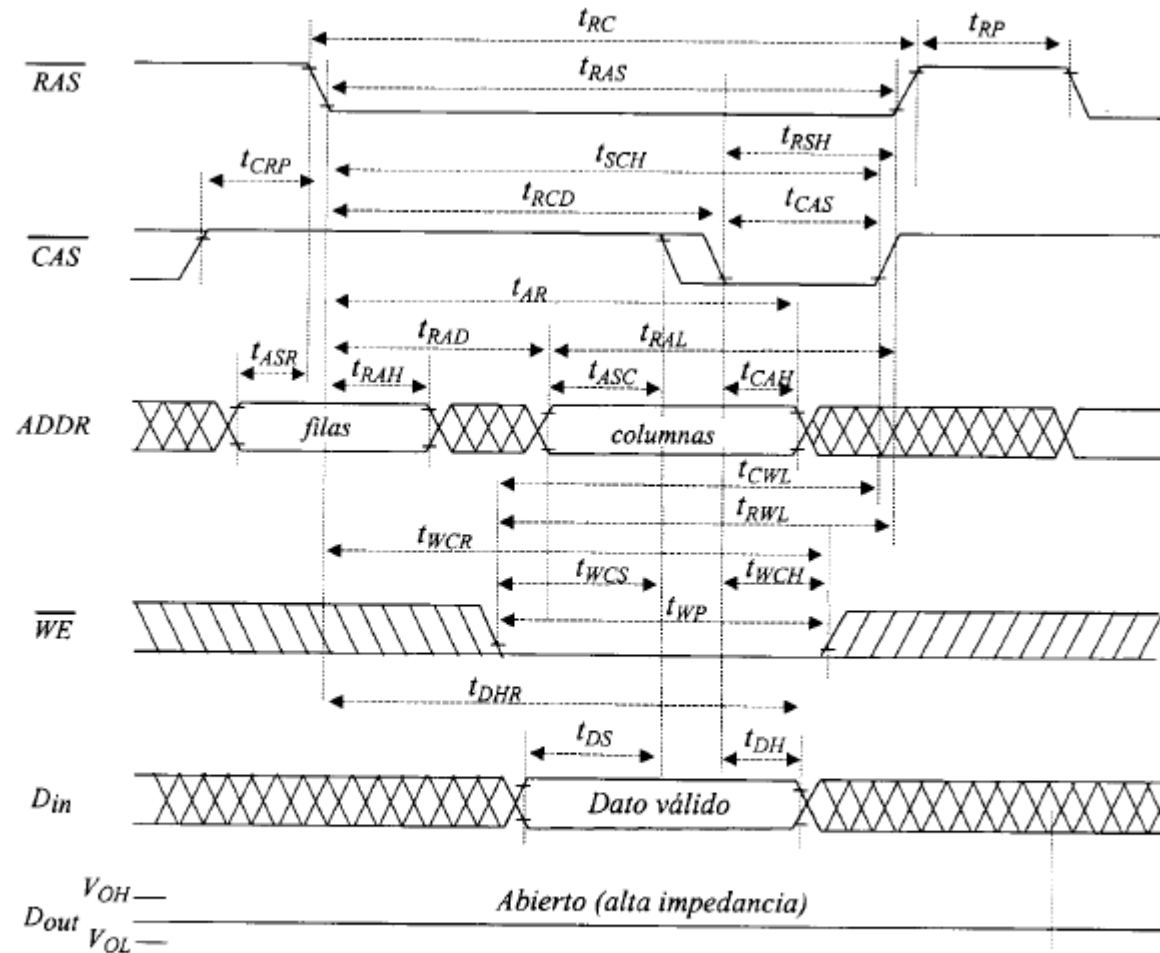


Figura 11.22. Cronograma de un ciclo de escritura en memorias DRAM

Mejoras de velocidad de las DRAM

■ 8.7.1. Ampliación del Numero de Líneas de Entrada/salida

- Dividir la arquitectura en zonas o segmentos a las que se accede simultáneamente cargando en paralelo

- Conseguimos “n” bits en paralelo en el mismo tiempo que antes necesitábamos para un bit

■ 8.7.2. Modificaciones en los Modos de Acceso

- Acceso en modo página

- Se selecciona (RAS') una fila, y se leen todas las columnas de esa página (CAS)

■ 8.7.3. DRAMs Síncronas con Bancos Múltiples

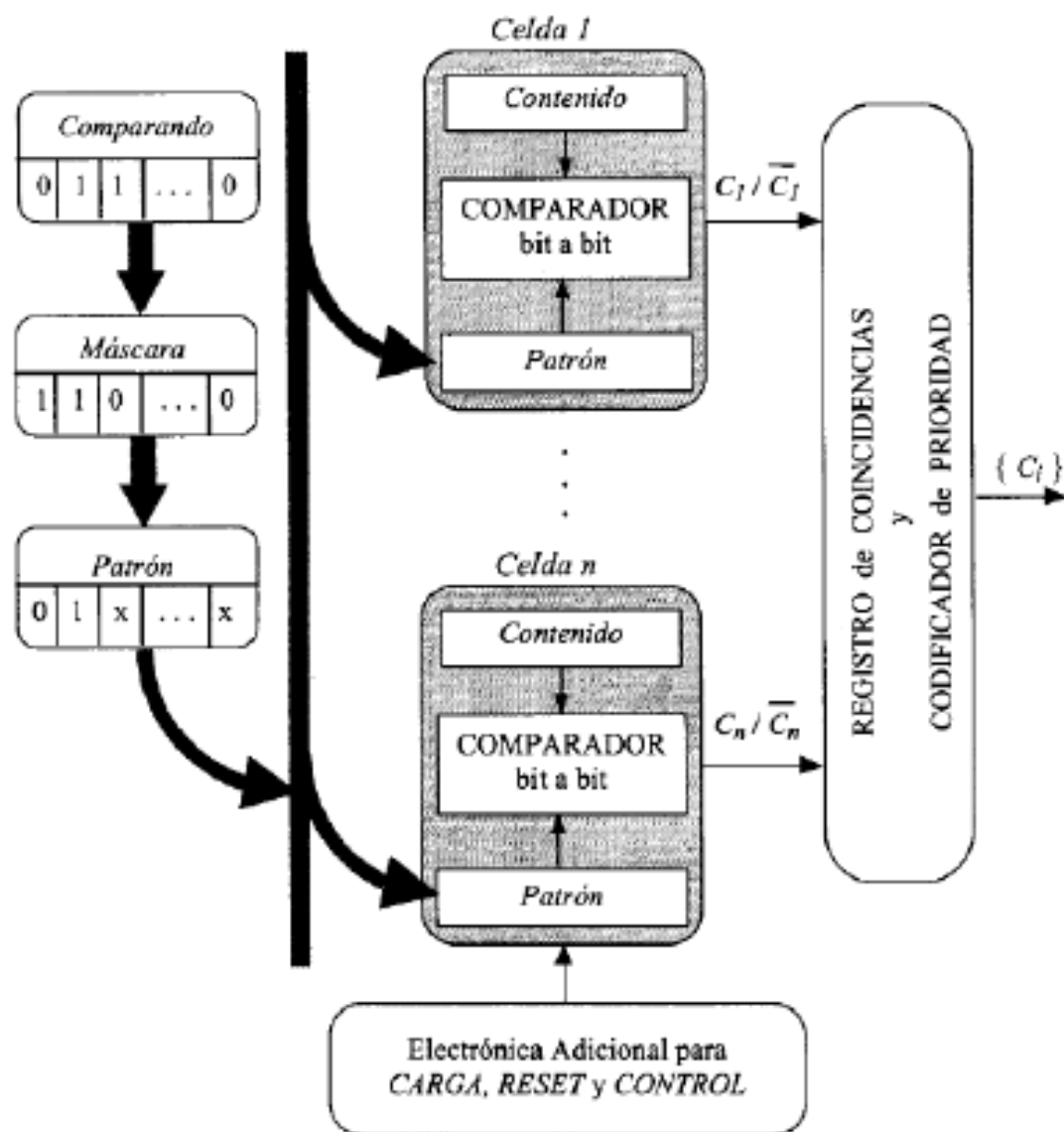
- Dotar de registros a las entradas de direcciones, datos y señales

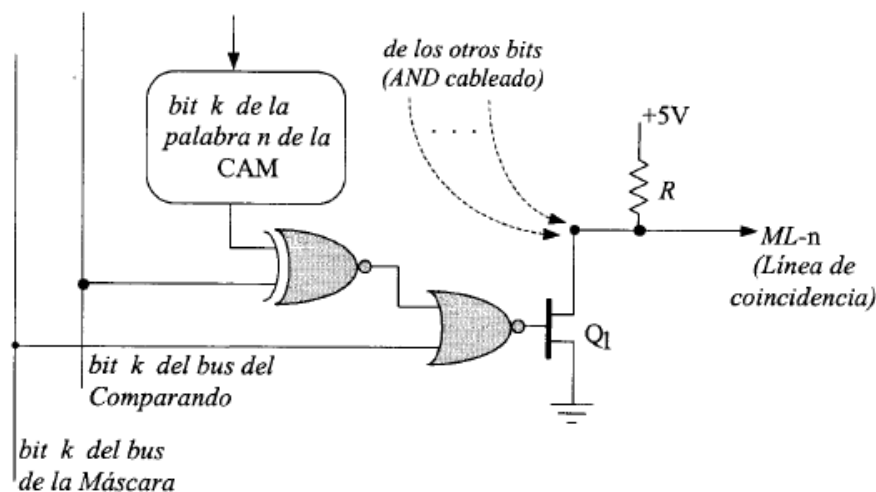
8.8. Circuitos de Memoria Asociativa (CAM)

- Memorias RAM
 - Todas las celdas direccionables en un tiempo único
 - Diferencia entre dirección y contenido
 - Primero se seleccionaba una dirección y después se realizaba la operación (lectura o escritura)
- Memorias CAM (Content Addressable Memory)
 - Memorias asociativas
 - Se usa el contenido (el dato) para seleccionar el conjunto de direcciones que contienen ese dato de forma completa o parcial
 - Búsqueda por contenido rápida
 - Aplicaciones
 - Memorias caches
 - Bases de datos
 - Inteligencia artificial

8.8.1. Aspectos Básicos de la Organización de un Circuito CAM

- El patrón (clave de búsqueda) se obtiene de filtrar el “comparando” con la “máscara” que establece la parte que nos interesa compara para obtener el resto de información como resultado de la búsqueda
- El patrón se compara en paralelo con cada palabra de la CAM
- Cada celda tiene un registro con el dato propio, otro con el del patrón y el circuito combinacional para comparar (NOR: $AB + A'B'$)
 - Solo estará en alta cuando ambas entradas coinciden
- Si hay coincidencia se activa el indicador de marca
 - Resultados:
 - No hay coincidencia
 - Solo una coincidencia o
 - Más de una (ordenada por criterio)





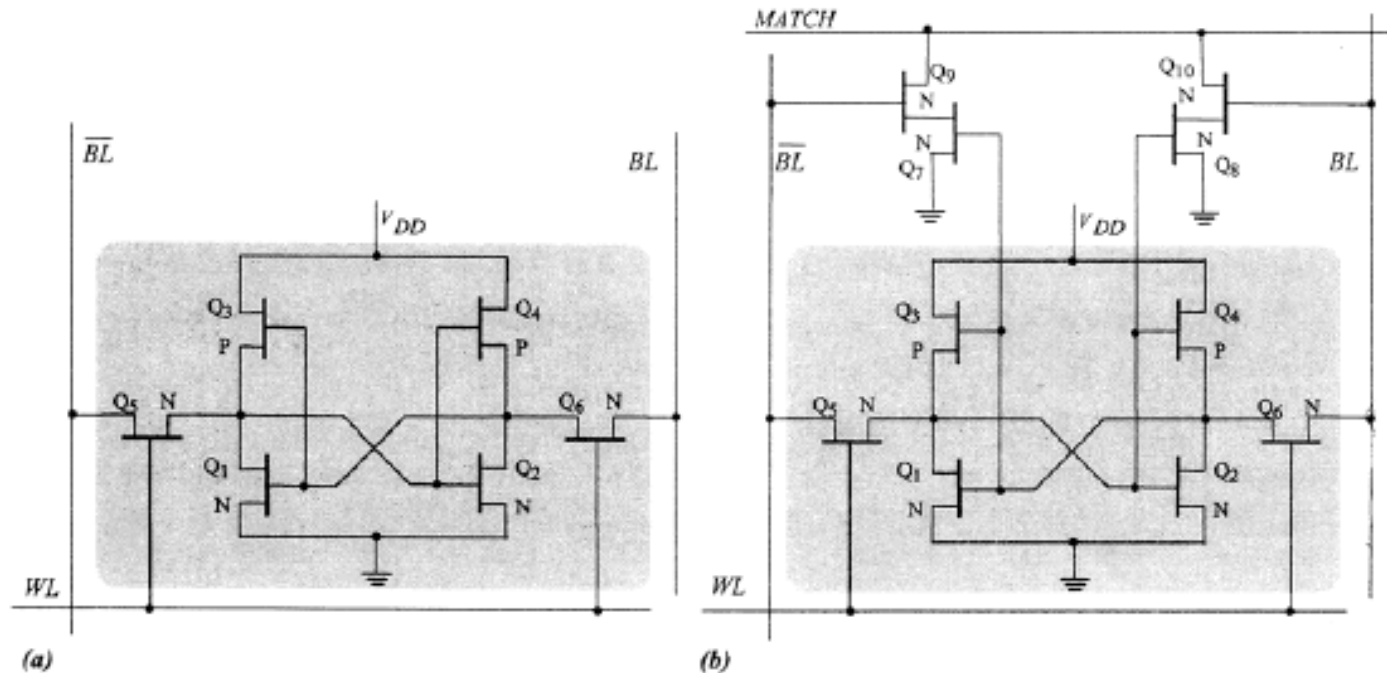
Bit <i>k</i> en CAM	Bit <i>k</i> en Comparando	Salida XNOR	Bit <i>k</i> en Máscara	Salida NOR	
0	0	1	0	0	<i>match</i>
0	1	0	1	0	<i>match</i>
1	0	0	0	1	-----
1	1	1	1	0	<i>match</i>

Figura 11.24. Comparador de un bit de la CAM Am99C10A

La salida de la puerta NOR (que realiza la función $\overline{A \cdot B}$) está en baja cuando hay coincidencia y esto ocurre en tres circunstancias: Cuando los bits coinciden, independientemente del estado de la máscara (00,11) y cuando no coinciden pero la máscara nos dice que ese bit no es relevante en la comparación (0,1). La señal *ML* permanece en alta para esa palabra si los 48 transistores *Q*₁ dicen que sus NOR correspondientes están en baja.

8.8.2. Celda CAM Básica en CMOS

Su constitución básica consiste en utilizar una celda SRAM de 6 transistores y 4 transistores más para realizar las funciones de comparación del estado de alta o baja del bit almacenado en los otros seis, con el bit correspondiente al registro patrón



(a) Celda RAM estática. (b) Celda CAM obtenida a partir de la RAM añadiéndole cuatro transistores para realizar la función NOR exclusivo entre su contenido y el bit correspondiente del comparando.

Para establecer la comparación, la línea de MATCH se precarga a "1", en la línea de bit BL se pone el bit con el que se quiere comparar y en la otra línea de bit $\overline{BL}$ se pone el complementario, como siempre.

Veamos cómo se realiza la comparación con "1" y con "0".

Comparación con "1" cuando hay almacenado un "1": Se pone BL a "1" y $\overline{BL}$ a "0". Esto supone que la puerta del transistor canal N, Q_{10} , está a "1", por lo que este transistor canal N conduce. Por otra parte, el transistor Q_8 (canal N) en su puerta tiene "0" al igual que Q_2 y Q_4 , por lo tanto Q_8 no conduce y presenta alta impedancia. Por tanto, la rama Q_{10} - Q_8 no conduce.

Pasemos ahora al otro lado. Aquí tenemos $\overline{BL}=0$, por lo tanto, Q_9 (canal N) está cortado, (presenta alta impedancia) y la pareja Q_7 - Q_9 no conduce aunque Q_7 tenga un "1" en su puerta, ya que toda la tensión cae entre drenador y fuente de Q_9 y la corriente de drenador de Q_7 es prácticamente nula.

Como ninguna de las dos ramas conducen, la línea de MATCH permanecerá a "1", lo que se interpreta como que el resultado de la comparación es que ambos bits, comparando y comparador, coinciden.

Comparación con "0" cuando hay almacenado un "1": Se pone BL a "0" y $\overline{BL}$ a "1". Esto supone que la puerta de Q_{10} está a "0", luego este transistor está cortado y presenta alta impedancia. Por otra parte, el transistor Q_8 (canal N) en su puerta tiene "0" al igual que Q_2 y Q_4 , por lo tanto Q_8 no conduce (está cortado) y presenta alta impedancia.

Pasemos ahora al otro lado. Aquí tenemos $\overline{BL}=1$, por lo tanto, Q_9 conduce y Q_7 también conduce porque los dos tienen un "1" en sus puertas. Luego la pareja Q_7 - Q_9 conduce creando un cortocircuito y pasando a la línea de MATCH a "0". Esto se interpreta como que el resultado de la comparación es que ambos bits, comparando y comparador, no coinciden.

Como a esta línea de MATCH van unidas todas las celdas de los bits de una palabra, en el momento que se produzca un cortocircuito como consecuencia de que un bit de la palabra del comparador y del comparando no coincide la línea de MATCH pasa a "0" y el resultado es que ambas palabras no coinciden. Análogamente, si no hay ningún cortocircuito, la línea de MATCH permanece en "1" tras la comparación y se interpreta como que ambas palabras coinciden.

El caso de tener almacenado un "0" y realizar la comparación con "1" y con "0" lo dejo para que resolváis vosotros

8.8.3. Ejemplos de Circuitos CAM

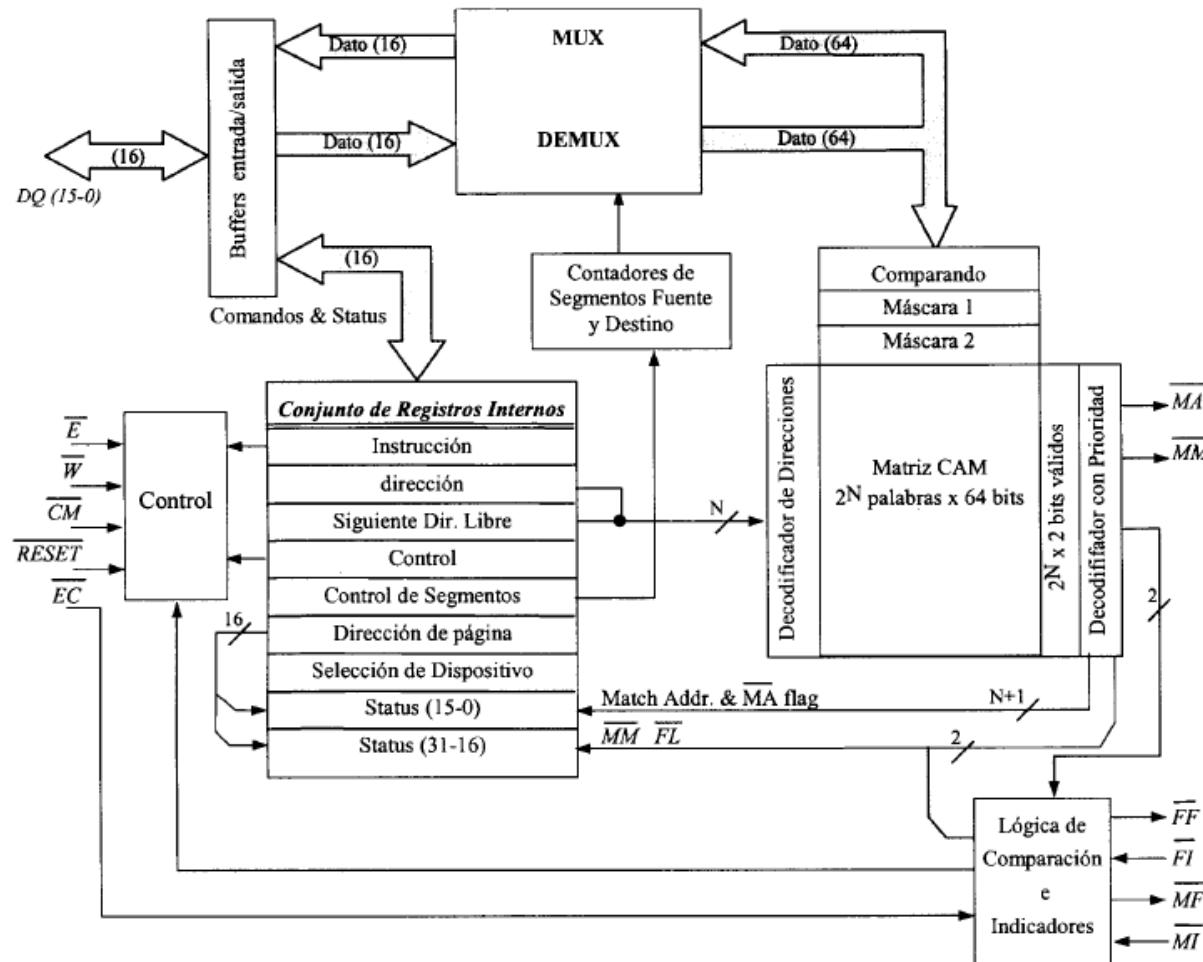


Figura 11.28. Versión simplificada del diagrama de bloques de los circuitos de memoria asociativa de la familia LANCAM B de Music Semiconductors.