



# Tema 9

## Memorias de Acceso Secuencial

## TEMA 9: MEMORIAS DE ACCESO SECUENCIAL

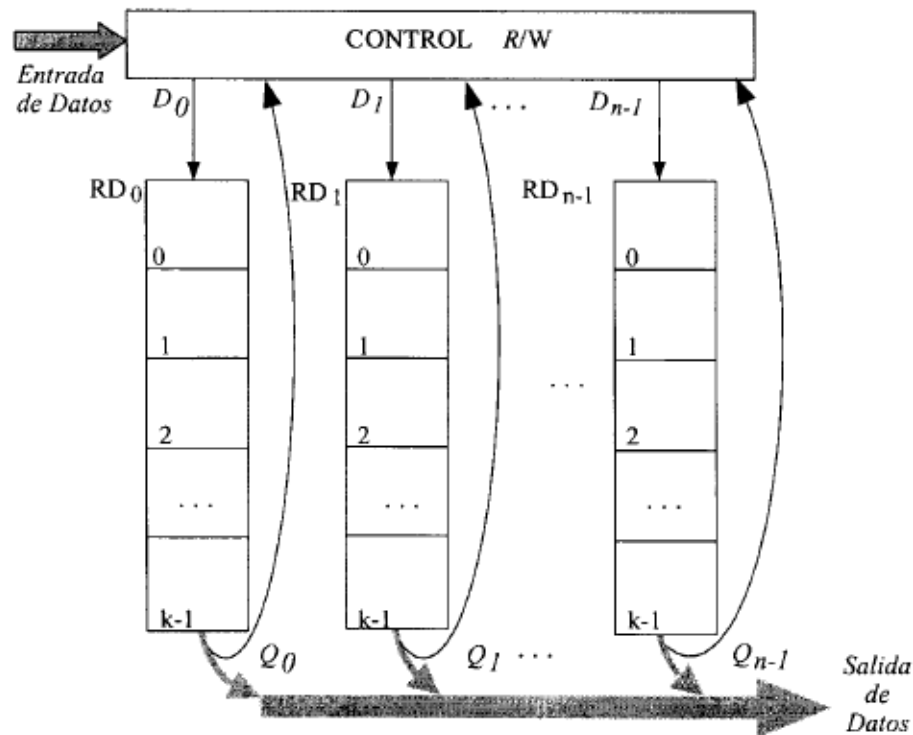
- Contexto
- Conocimiento Previo Necesario
- Objetivos del Tema
- Guía de Estudio
- Contenido del Tema
- 9.1. Organizaciones de Acceso Secuencial
- 9.2. Etapas Dinámicas en MOS y CMOS
- 9.3. Estructuras CCD
- 9.4. Memorias FIFO sobre Celdas RAM en CMOS
- 9.4.1. Tipos de FIFO
- 9.4.2. Arquitecturas de las FIFO-RAM
- 9.5. Ejemplo
- 9.6. Aplicaciones de las FIFO
- 9.7. Problemas
- Preparación de la Evaluación
- Referencias Bibliográficas

### +++ **OBJETIVOS DEL TEMA**

- Objetivo 1:** *Conocer las distintas organizaciones de acceso secuencial (FIFO, LIFO y registros CCD).*
- Objetivo 2:** *Conocer las bases físicas de las etapas dinámicas en MOS, CMOS y CCD.*
- Objetivo 3:** *Comprender las funcionalidades de las memorias FIFO actuales basadas en grandes bloques de memoria RAM y actuando básicamente como buffers de alta velocidad.*
- Objetivo 4:** *Conocer algunos ejemplos de FIFOs asíncronas y síncronas y mostrar algunos de sus aplicaciones.*

# 9.1. Organizaciones de Acceso Secuencial

- Organizaciones de memorias de acceso secuencial basadas en registros de desplazamientos
- Organización FIFO



*Figura 12.1.* Organización FIFO de memorias de acceso secuencial. El primer dato que entra es también el primero que aparece accesible a la salida.

# Memoria LIFO o pila

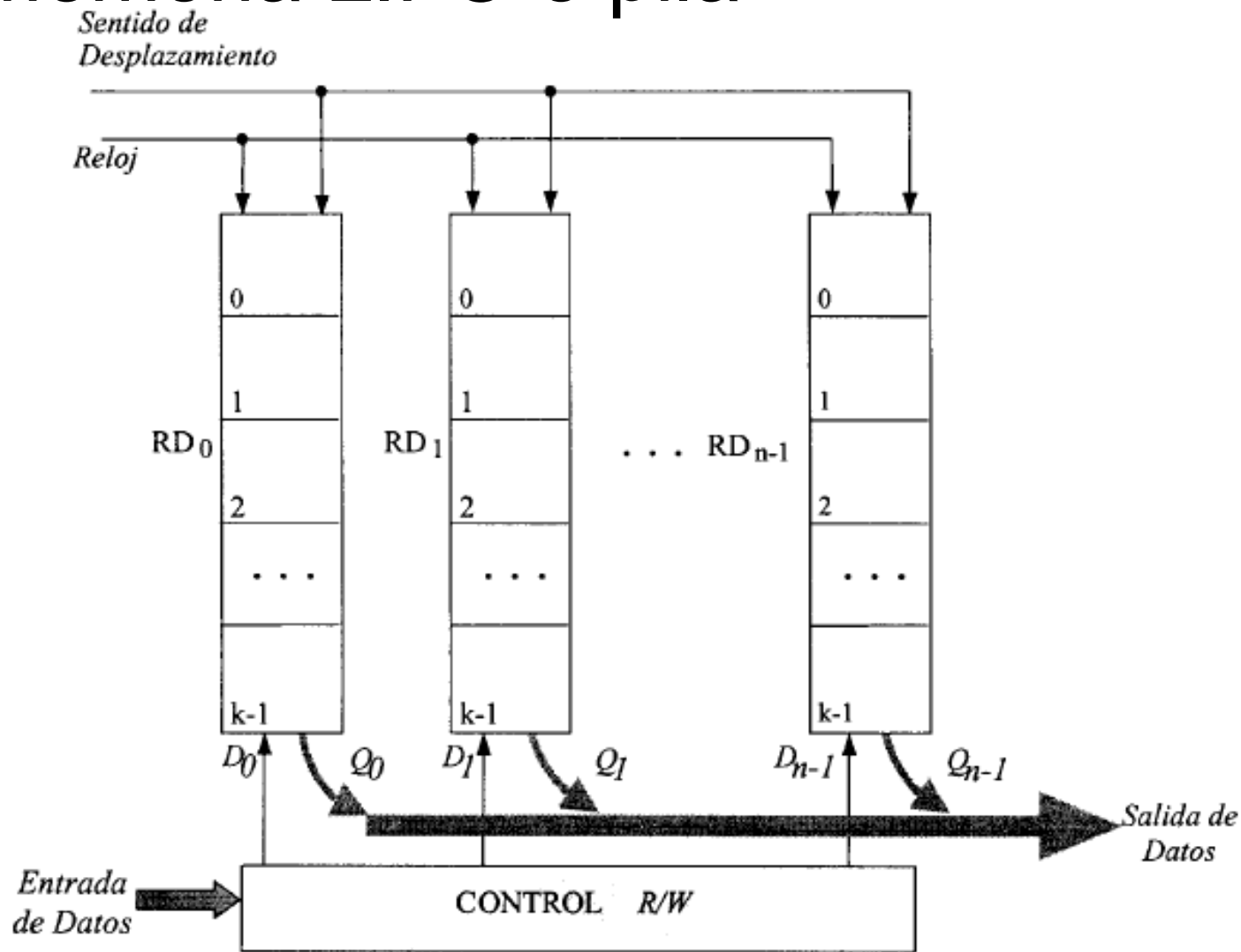
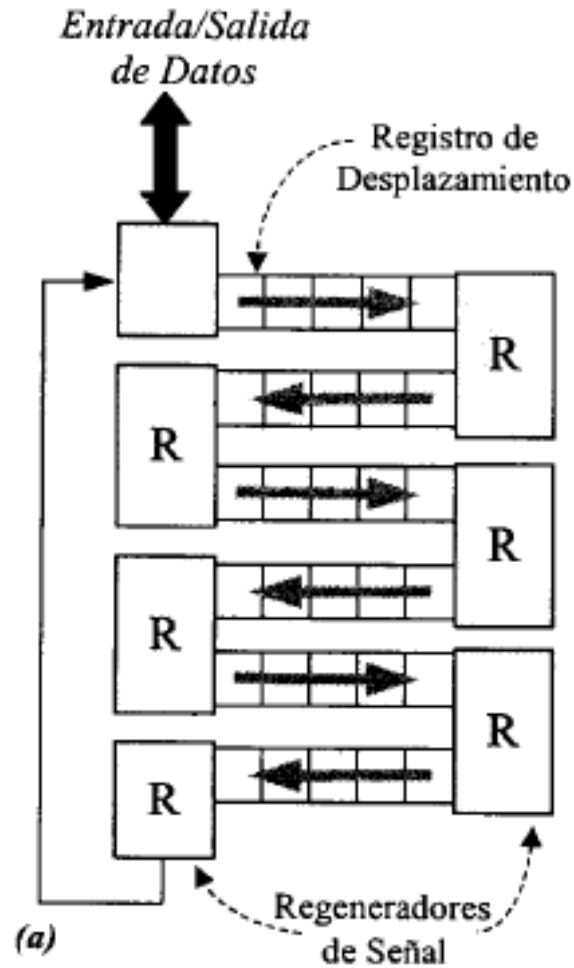


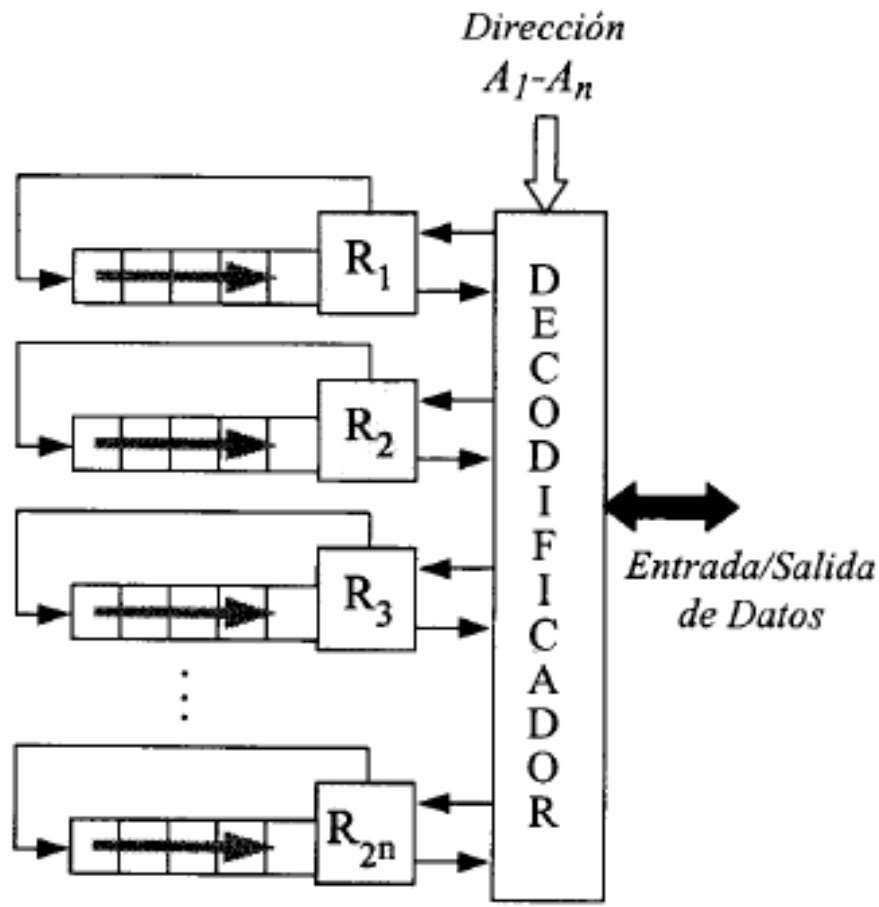
Figura.12.2. Organización LIFO de memorias de acceso secuencial. El primer dato que sale es el último que entró.

# Organización de memorias CCD



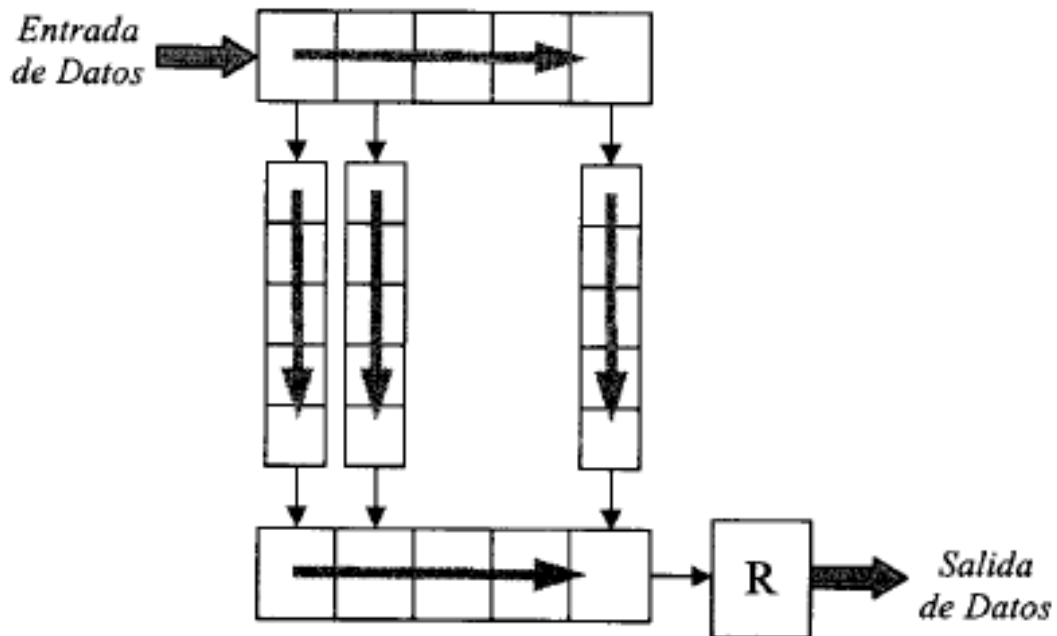
- Dispositivos acoplados por carga (Charge Couple Devices)
- Organización serie con etapas intermedias de regeneración

# Organización con lazos múltiples con direccionamiento directo a cada lazo



- Segmentar en tramos y direccionar directamente cada tramo
- Mejora el tiempo de acceso
- Aumenta la electrónica de direccionamiento

# Organización S-P-S serie-paralelo-serie



- Los datos se introducen en serie
- Se transfieren en paralelo
- Salida serie

# 9.2. Etapas Dinámicas en MOS y CMOS

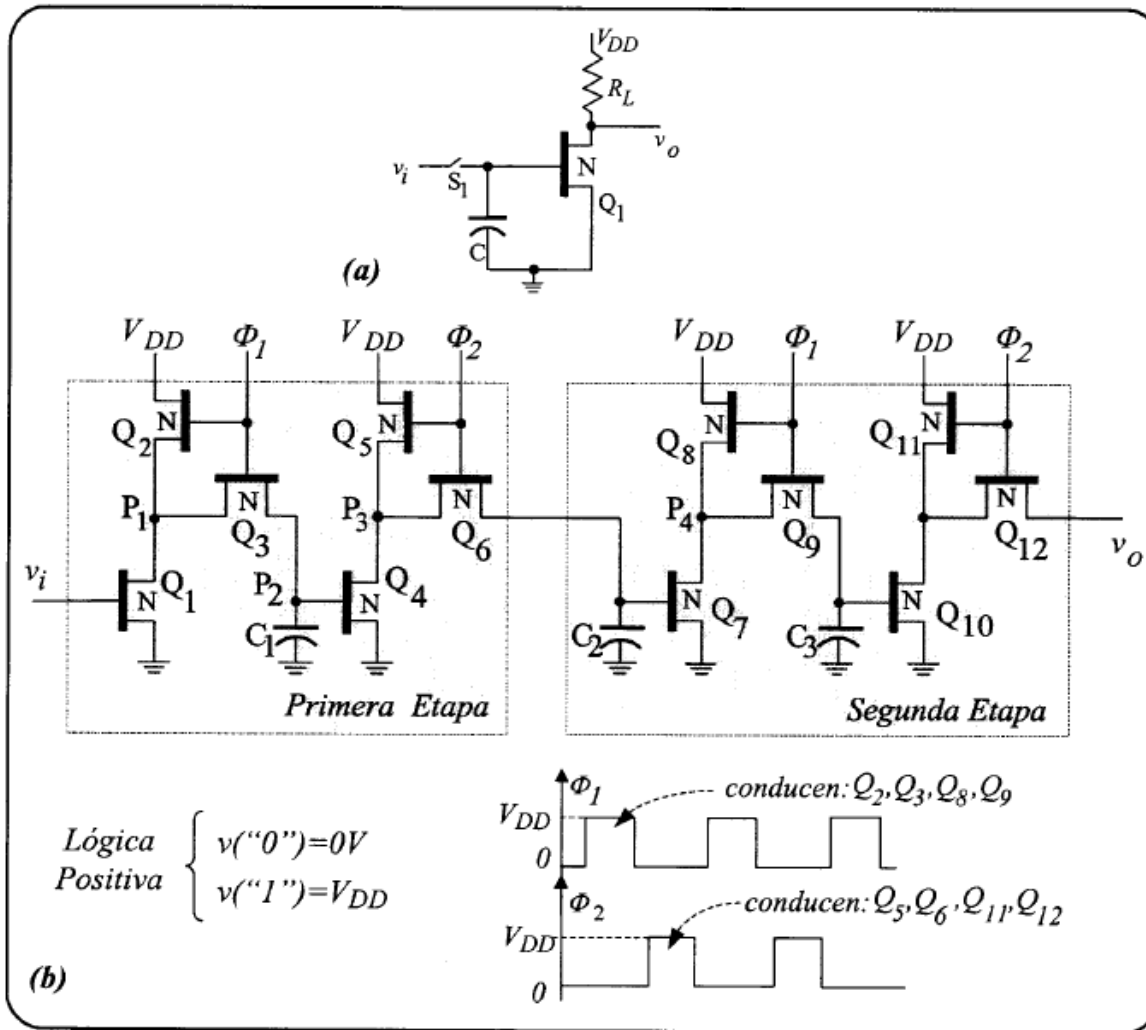


Figura 12.4 Circuitos MOS para registros de desplazamiento en lógica dinámica. (a) Estructura básica de la celda. (b) Ejemplo de registro de desplazamiento usando reloj bifásico.

# Tecnología CMOS

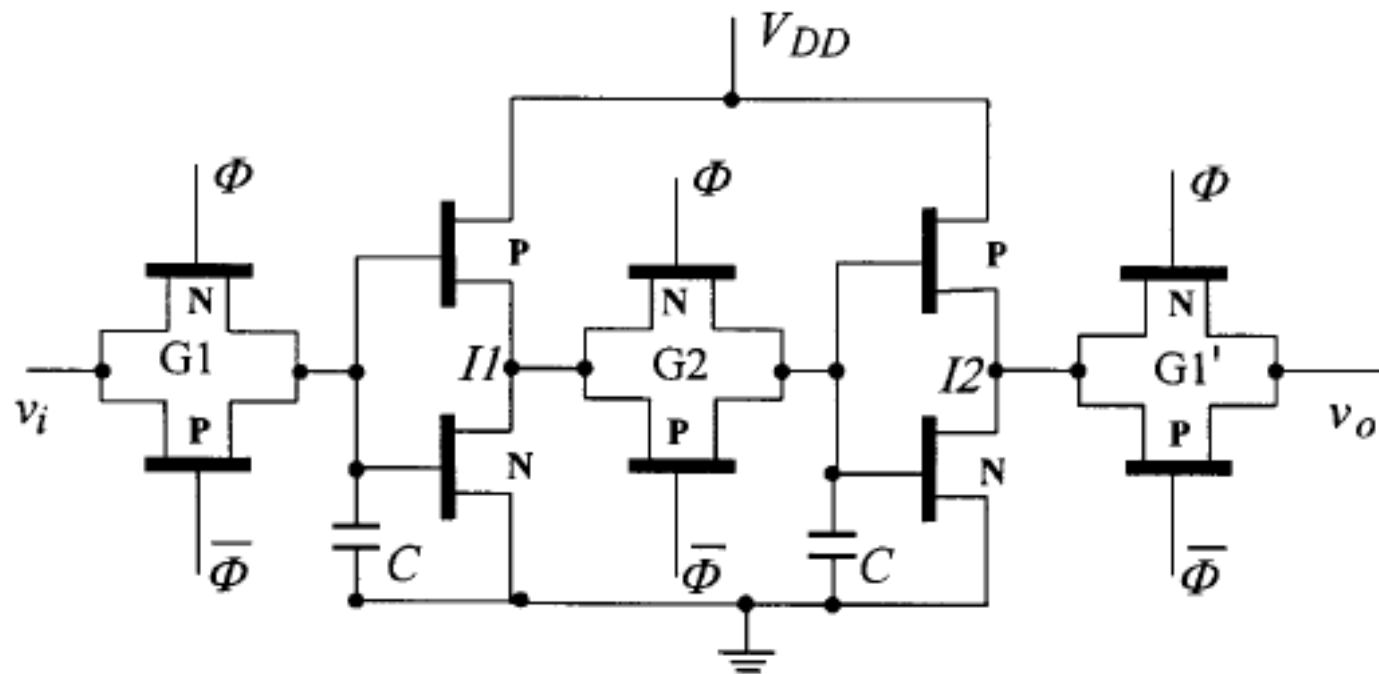
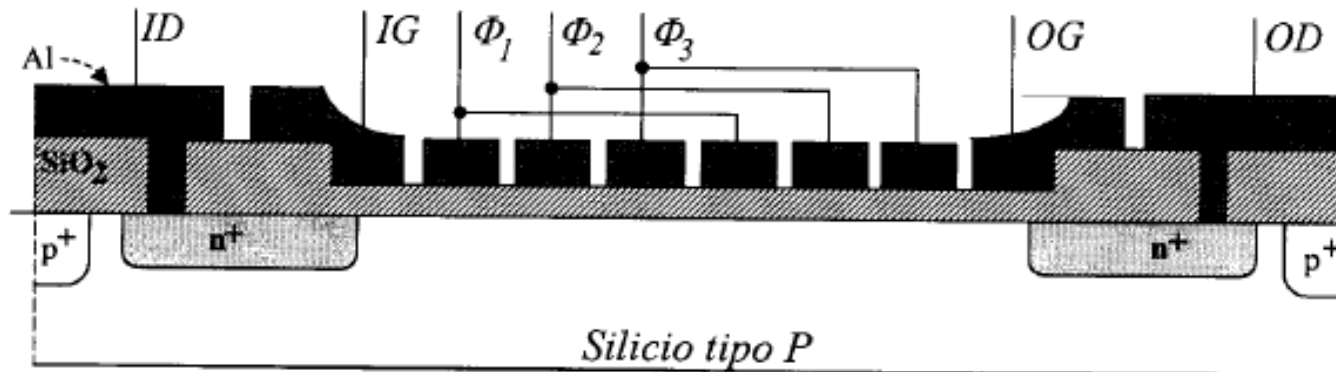


Figura 12.5. Etapa de registro en CMOS

## 9.3. Estructuras CCD

- Memorias digitales
- Formación de imágenes (sensor óptico)
- Procesamiento de señales analógicas



**Figura 12.6.** Corte transversal de un dispositivo CCD superficial de 2 bits mandado por un reloj de 3 fases, ( $\Phi_1$ ,  $\Phi_2$  y  $\Phi_3$ ) que actúa como un registro de desplazamiento.

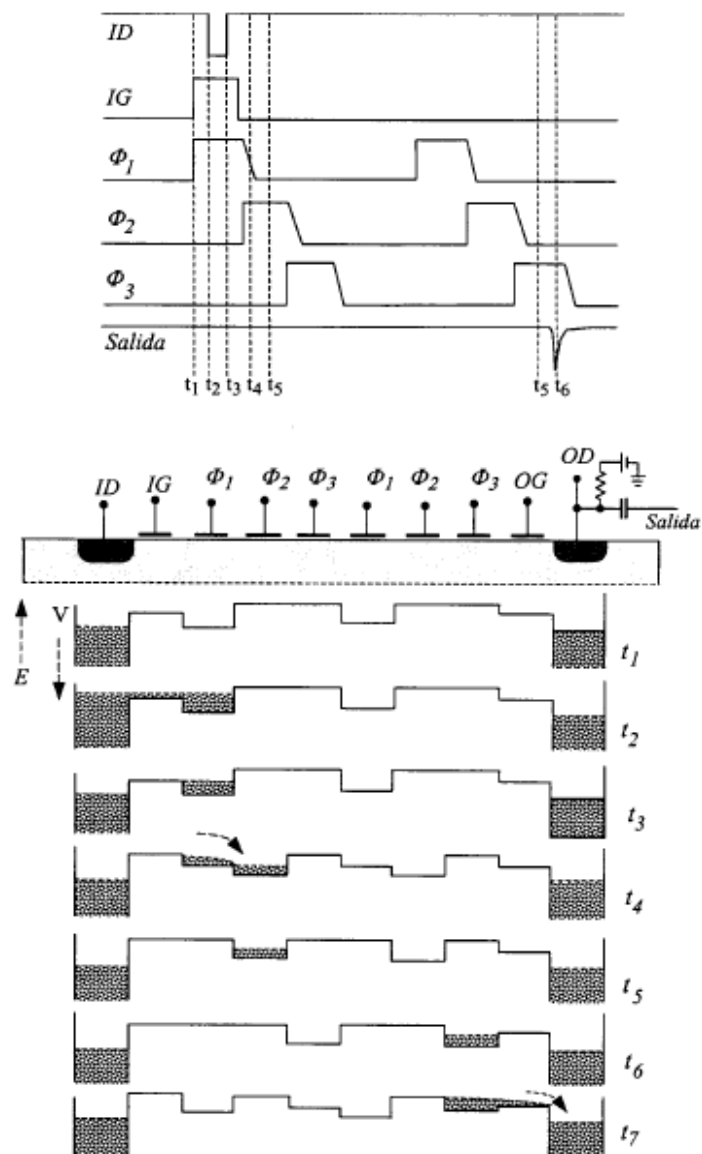


Figura 12.7. Análisis gráfico del proceso de transporte controlado de la carga mediante pozos de potencial.

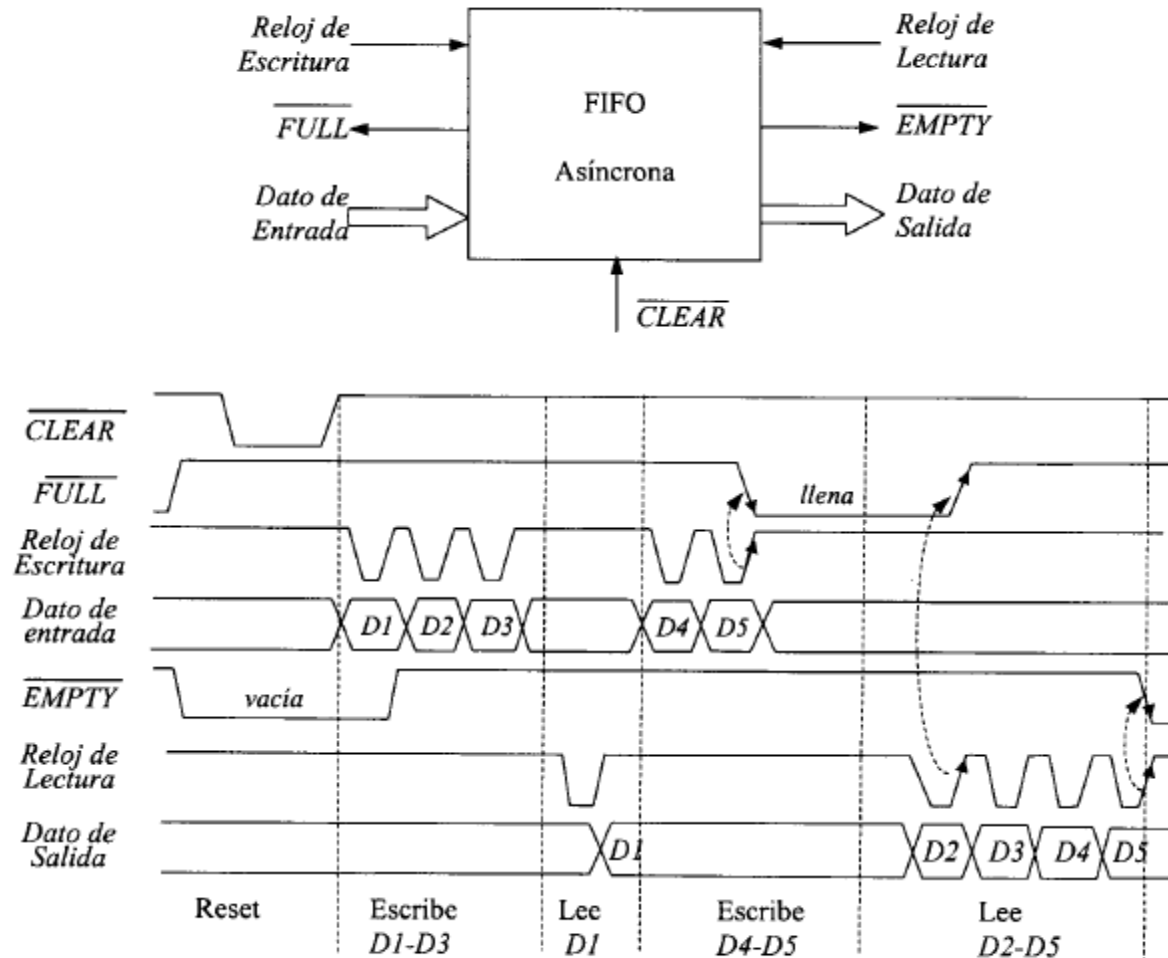
## 9.4. Memorias FIFO sobre Celdas RAM en CMOS

- Necesarias para acoplar dos sistemas digitales que operen a distinta velocidad y necesiten intercambiar datos (buffer)

## 9.4.1. Tipos de FIFO

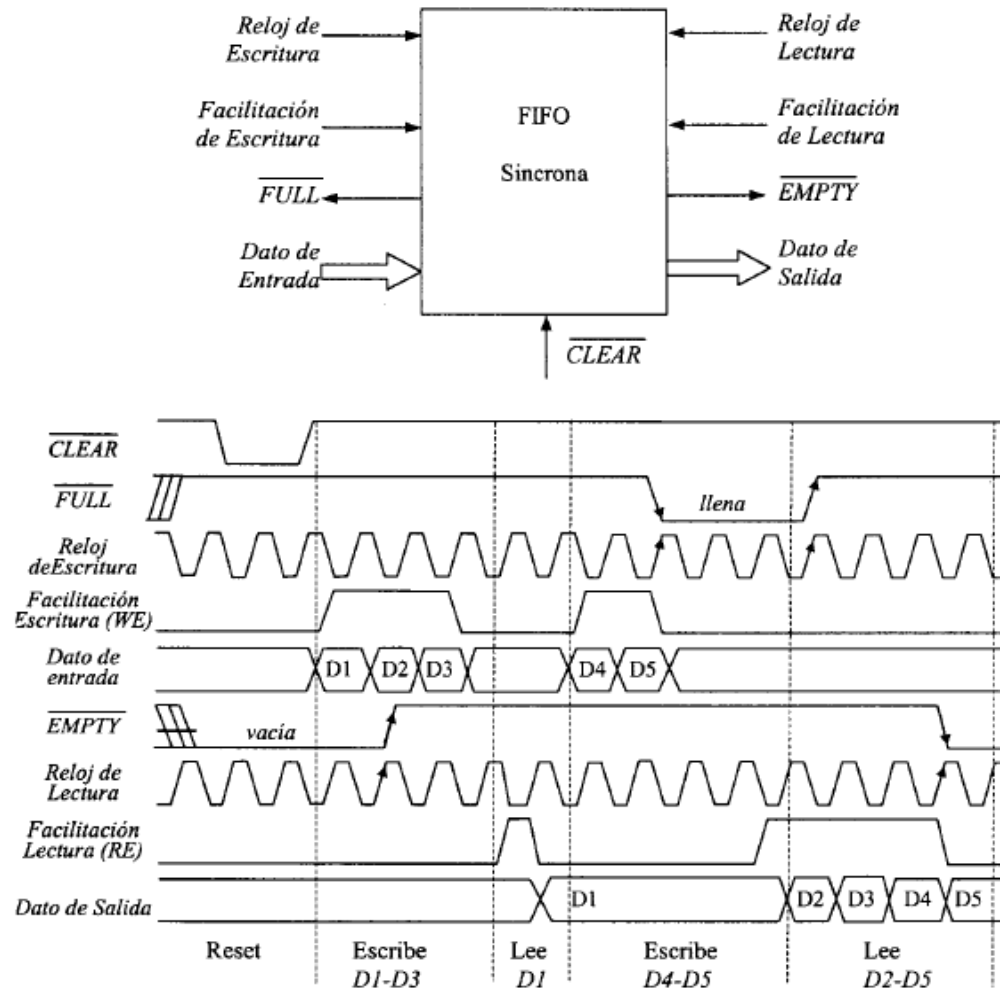
- I FIFO tipo registro de desplazamiento
  - Número fijo de palabras almacenadas
- II FIFO de lectura escritura mutuamente exclusiva
  - En cada momento solo se puede leer o escribir pero no ambas cosas
  - Es necesario un cierto nivel de sincronismo entre el sistema que lee y el sistema que escribe
- III FIFO de lectura-escritura concurrente
  - Pueden leer y escribir de modo asíncrono

# FIFO concurrente asíncrona



Figurta 12.8. (a) Terminales de una FIFO asíncrona. (b) Cronograma para longitud 4.

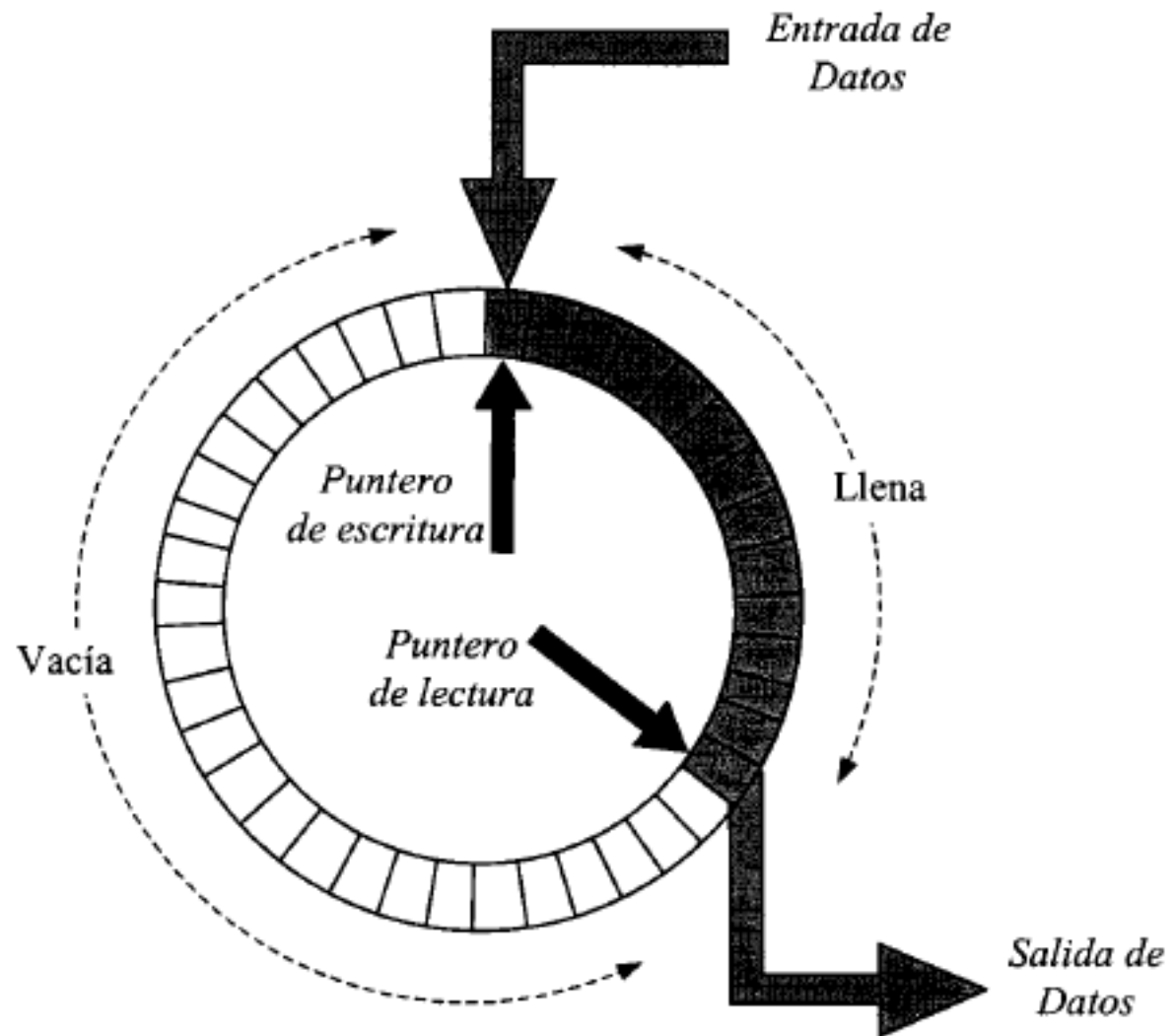
# FIFO concurrente síncrona



**Figura 12.9.** (a) Terminales de una FIFO síncrona de Texas Instrument. (b) Cronograma de los procesos de lectura y escritura.

## 9.4.2. Arquitecturas de las FIFO-RAM

- Tipo registro de desplazamiento
  - Retardo intrínseco al recorrido de todo el registro
- Organización circular
  - Puntero de lectura (contadores)
  - Puntero de escritura
  - Memoria tipo SRAM con entradas y salidas separadas



**Figura 12.10.** Organización circular de los circuitos FIFO con dos punteros..

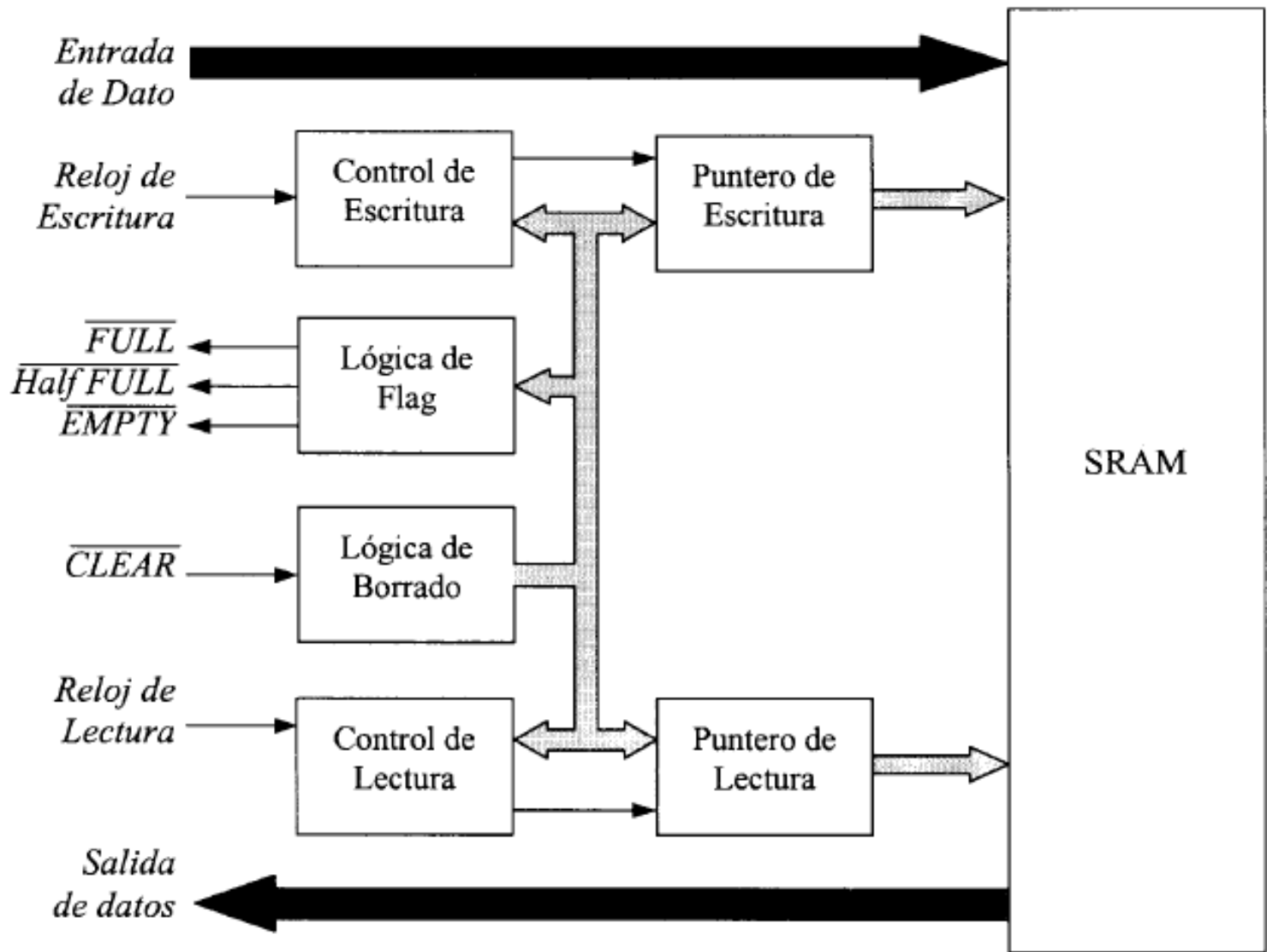


Figura 12.11. Diagrama de bloques de las FIFO SRAM de T. I. tipo ACT-7881.

# 9.5. Ejemplo

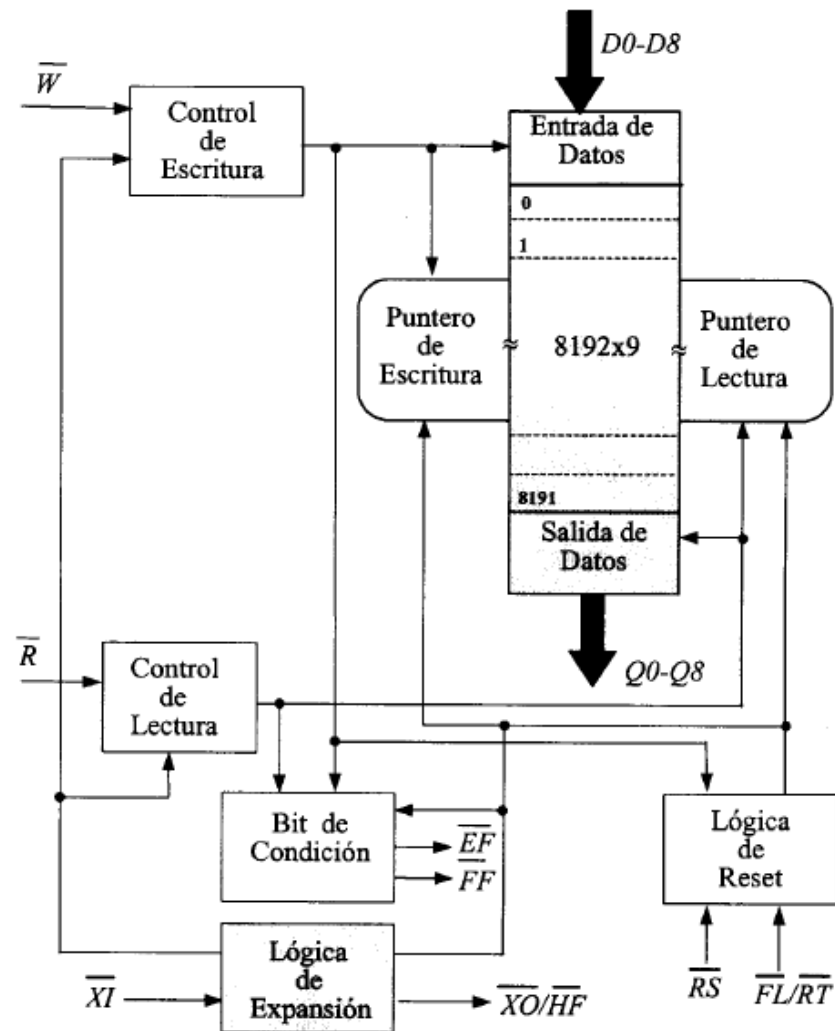
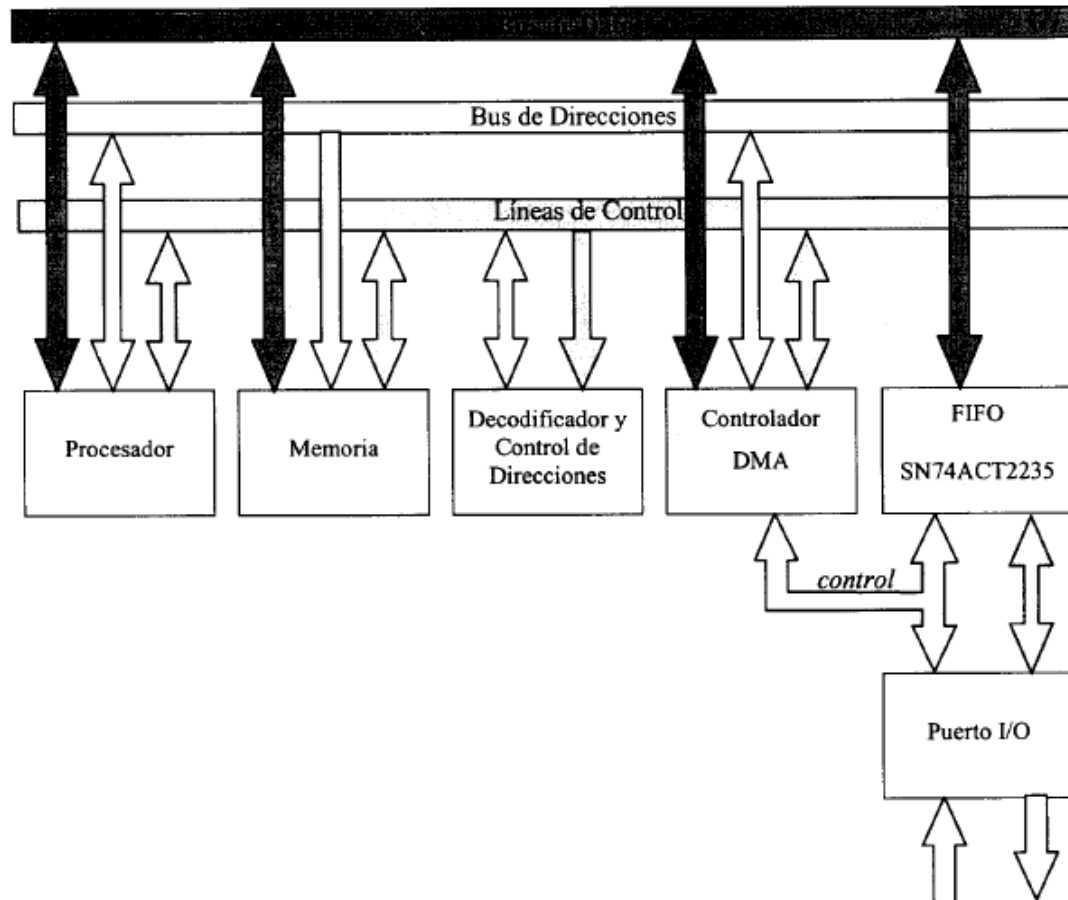


Figura 12.12. Diagrama de bloques de la FIFO Am7205A de AMD (8192x9).

## 9.6. Aplicaciones de las FIFO



**Figura 12.17.** Conexión de un periférico bidireccional usando una FIFO tipo SN74ACT2235. La parte matizada corresponde al caso de periféricos con controlador de acceso directo a memoria. En este caso los datos son primero recolectados por la FIFO y después transferidos en bloque a la RAM.

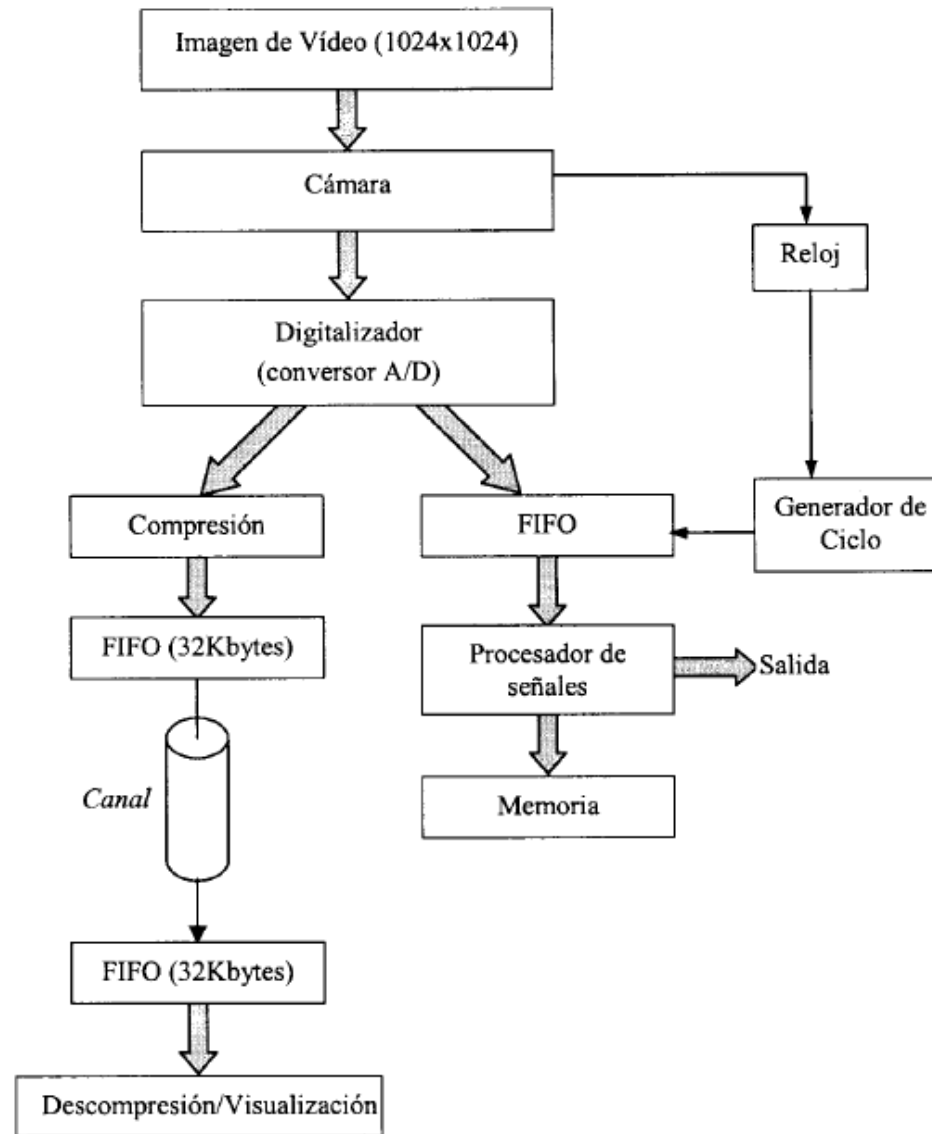


Figura 12.19. Esquema cualitativo de las aplicaciones de las FIFO en los procesos de adquisición de datos para su posterior tratamiento digital o transmisión.