

Tema 9

Memorias de Acceso Secuencial

TEMA 9: MEMORIAS DE ACCESO SECUENCIAL

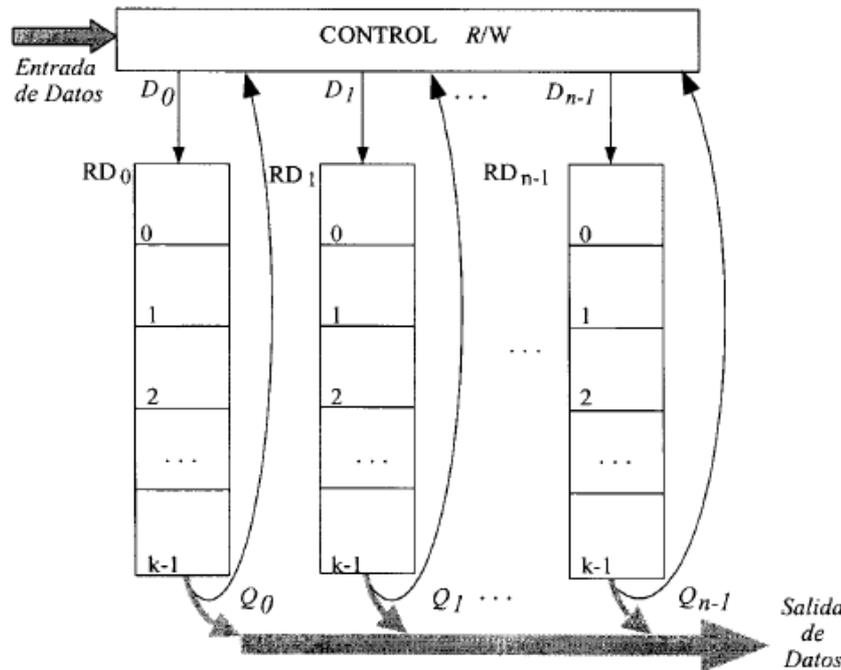
- Contexto
- Conocimiento Previo Necesario
- Objetivos del Tema
- Guía de Estudio
- Contenido del Tema
- 9.1. Organizaciones de Acceso Secuencial
- 9.2. Etapas Dinámicas en MOS y CMOS
- 9.3. Estructuras CCD
- 9.4. Memorias FIFO sobre Celdas RAM en CMOS
- 9.4.1. Tipos de FIFO
- 9.4.2. Arquitecturas de las FIFO-RAM
- 9.5. Ejemplo
- 9.6. Aplicaciones de las FIFO
- 9.7. Problemas
- Preparación de la Evaluación
- Referencias Bibliográficas

+++ OBJETIVOS DEL TEMA

- Objetivo 1:** *Conocer las distintas organizaciones de acceso secuencial (FIFO, LIFO y registros CCD).*
- Objetivo 2:** *Conocer las bases físicas de las etapas dinámicas en MOS, CMOS y CCD.*
- Objetivo 3:** *Comprender las funcionalidades de las memorias FIFO actuales basadas en grandes bloques de memoria RAM y actuando básicamente como buffers de alta velocidad.*
- Objetivo 4:** *Conocer algunos ejemplos de FIFOs asíncronas y síncronas y mostrar algunos de sus aplicaciones.*

9.1. Organizaciones de Acceso Secuencial

- Organizaciones de memorias de acceso secuencial **basadas en registros de desplazamientos**
- Organización FIFO
 - Una memoria de K palabras de n bits se construye a partir de n registros de desplazamiento (uno por bit) de longitud K (número de palabras).



- Es una organización serie-serie porque los datos se leen en serie y se escriben en serie
- Es FIFO porque a cada pulso de reloj se desplazan una posición los contenidos de todos los registros de desplazamiento, de forma que la palabra que entró primero, es la que también sale primero.
- Los accesos son lentos porque tiene acceso secuencial
- Si no hay entrada de nuevos datos y el lazo está cerrado, la información, recircula
- La constante lectura/escritura cuando recirculan reconstruye la carga perdida, a modo de circuito de refresco

Figura 12.1. Organización FIFO de memorias de acceso secuencial. El primer dato que entra es también el primero que aparece accesible a la salida.

Memoria LIFO (Last-In, First-Out) o pila (stack)

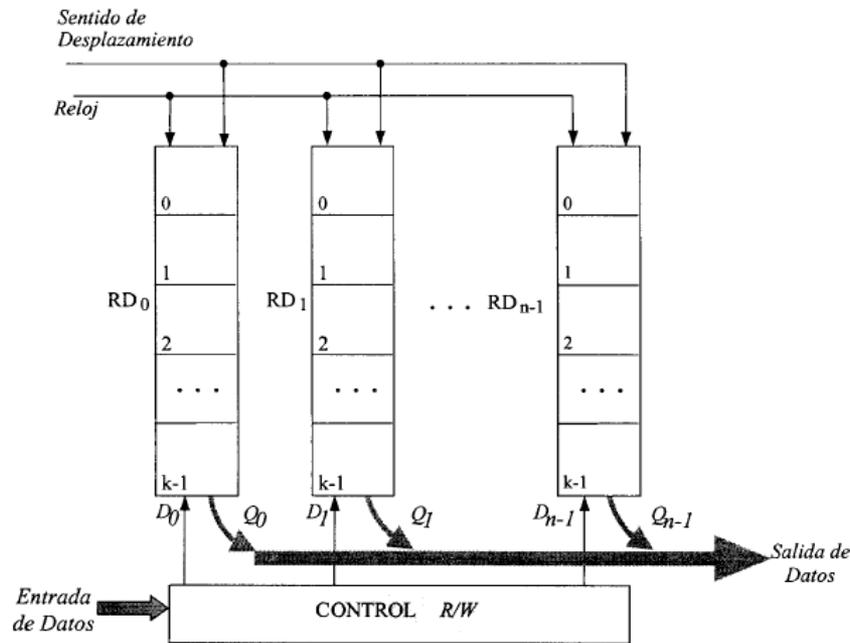
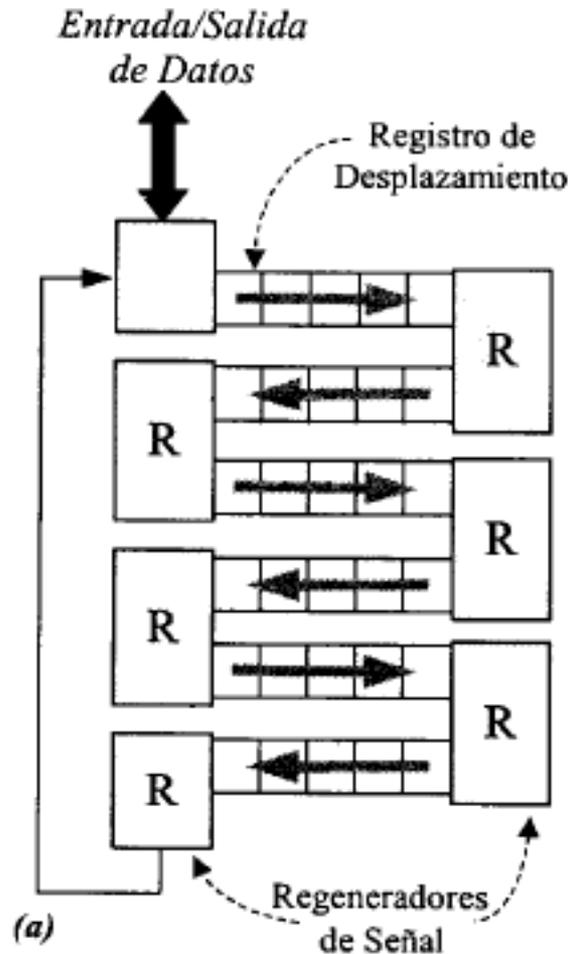


Figura.12.2. Organización LIFO de memorias de acceso secuencial. El primer dato que sale es el último que entró.

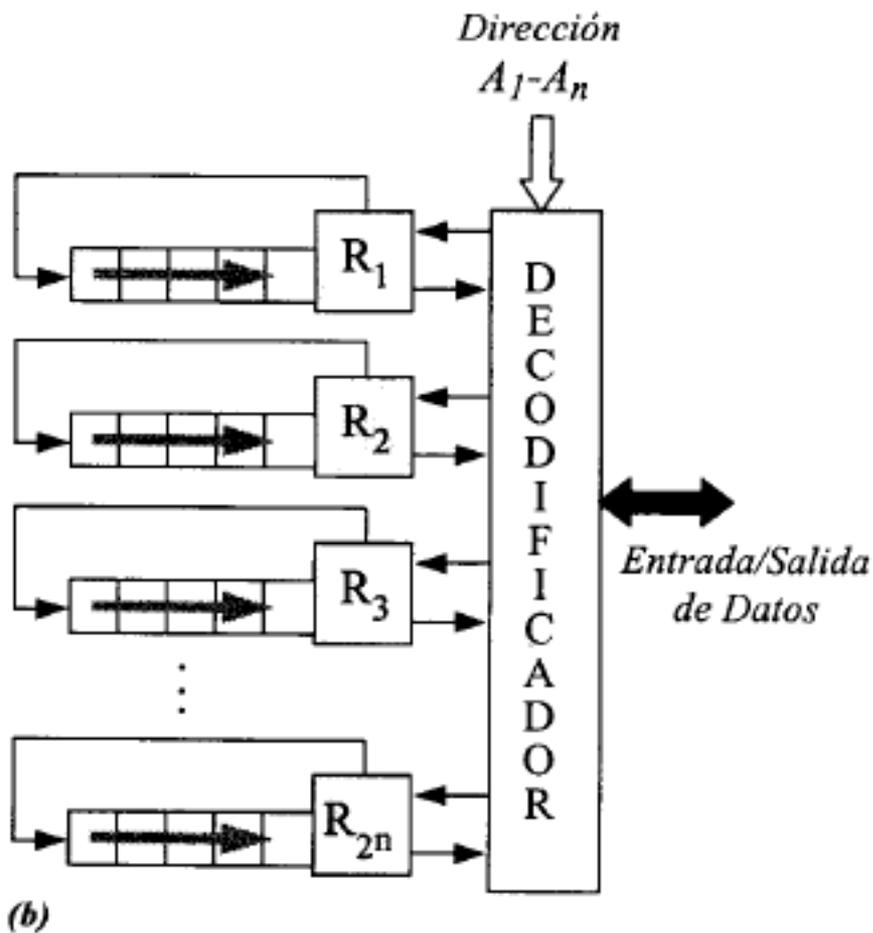
- En escritura, el sentido es ascendente
 - Cada pulso de reloj entra una nueva palabra que empuja a las que habían entrado antes aumentando la altura de la "pila"
- En lectura, el sentido es descendente
 - En cada pulso de reloj, sale una palabra
 - Aparecen en el primer registro las palabras en orden inverso al que fueron escritas.
- Al aumentar mucho la longitud de los registros de desplazamiento el tiempo de acceso a la información crece de forma tal que las organizaciones serie-serie (tipo LIFO ó FIFO) no son adecuadas.
 - Siempre hay que moverse en una situación de compromiso entre capacidad y tiempo de acceso
 - Celdas básica dinámicas y sencillas

Organización de memorias CCD



- Dispositivos **acoplados por carga** (Charge Couple Devices)
- Organización serie con etapas intermedias de regeneración
- En los CCD las celdas de memoria son de tipo RAM
- Se mantiene la organización serie incluyendo etapas regeneradoras de señal en todas las "esquinas". En esta organización todos los bits realizan el mismo recorrido a través del lazo y a la misma frecuencia
- Como esta organización es serie, el número de bits máximo (longitud del ciclo de recirculación) determina el valor medio del tiempo de acceso.

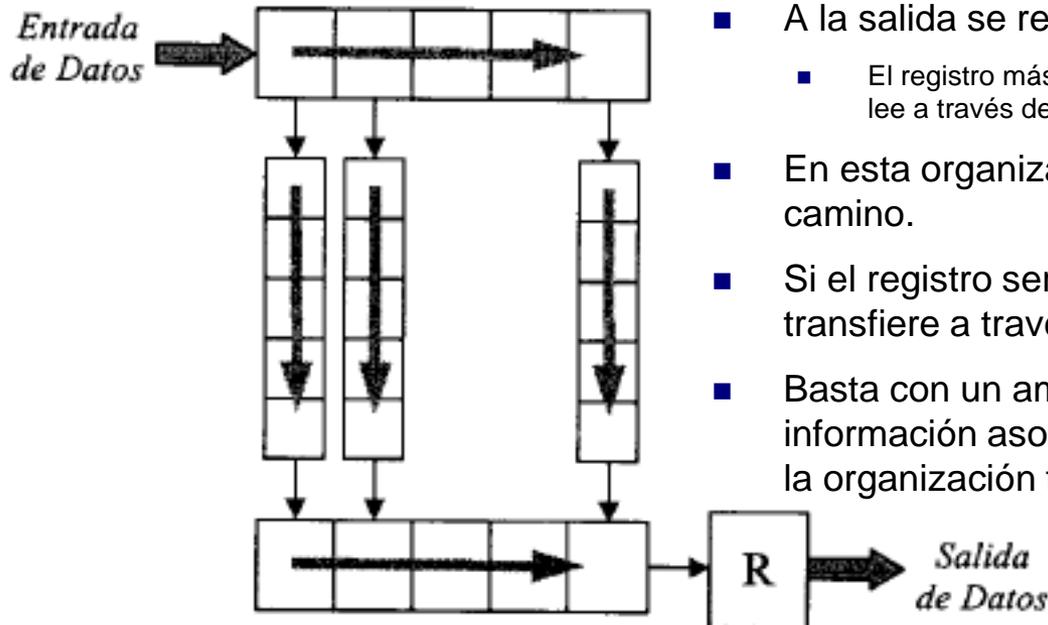
Organización de memorias CCD con lazos múltiples con direccionamiento directo a cada lazo

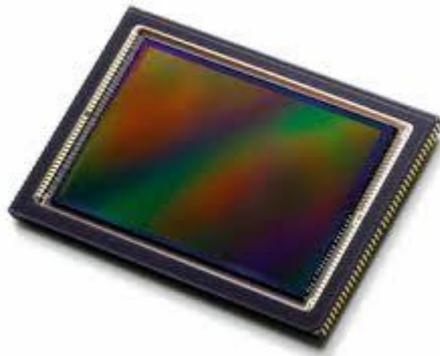
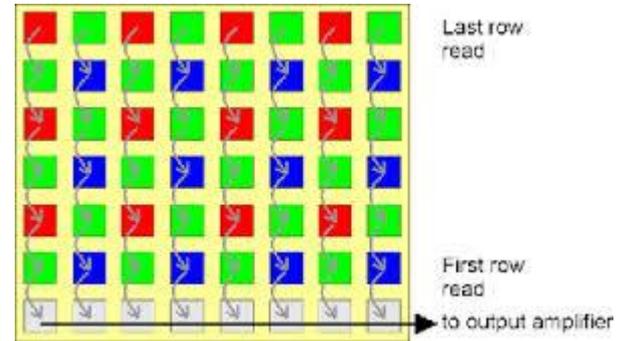
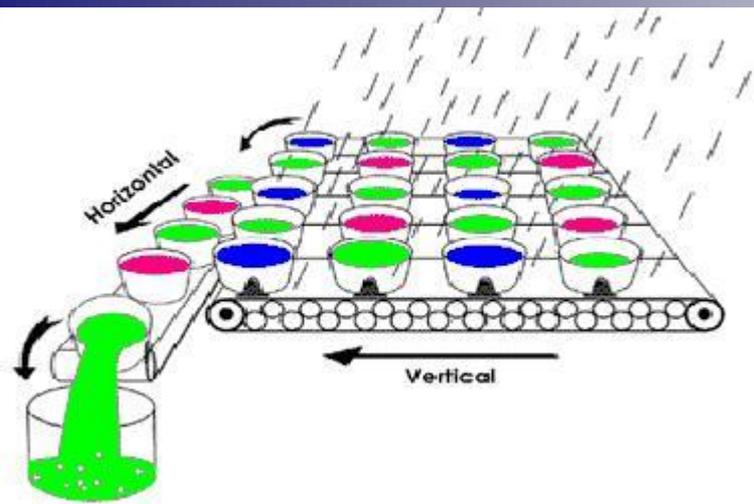


- Segmentar en tramos y direccionar directamente cada tramo
- Mejora el tiempo de acceso
- Aumenta la electrónica de direccionamiento
- Lo que se ha hecho es segmentar en tramos y direccionar cada uno de estos tramos de forma directa, como hacíamos en las memorias RAM

Organización CCD S-P-S serie-paralelo-serie

- Los datos se introducen en serie y se transfieren en paralelo; la salida es en serie
- Consta de dos registros serie y un gran registro paralelo multicanal.
- Los datos se introducen en serie en el registro superior.
- Después se transfieren en paralelo a la primera etapa del registro paralelo.
- Todos los canales paralelos se desplazan al unísono con un mismo reloj más lento que el de los registros serie y
- A la salida se realiza el proceso inverso.
 - El registro más bajo es de nuevo serie y rápido, se carga en paralelo y se lee a través del amplificador regenerador.
- En esta organización SPS todos los bits no siguen el mismo camino.
- Si el registro serie tiene N_s bits y el paralelo, N_p , cada bit se transfiere a través de $N_s + N_p$ etapas
- Basta con un amplificador regenerador para mantener la información asociada a un número de bits mucho mayor que si la organización fuera serie.

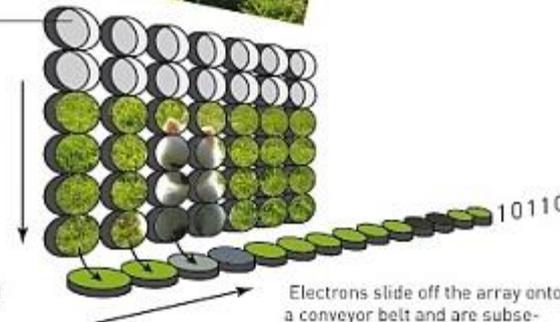




The image sensor, CCD, is the advanced digital camera's electronic eye.



Light particles displace electrons in the **photocells** and the cells act as small wells for the electrons. The more light, the more electrons are collected in the wells.



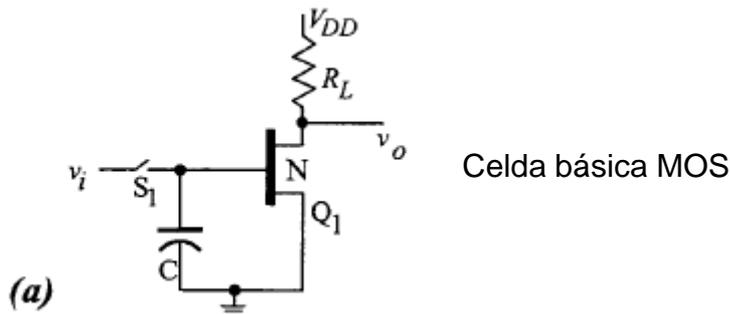
The CCD array is read out row by row.

Electrons slide off the array onto a conveyor belt and are subsequently translated into digital ones and zeros.



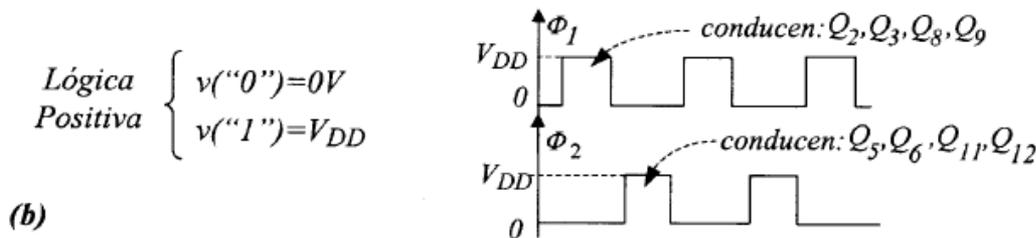
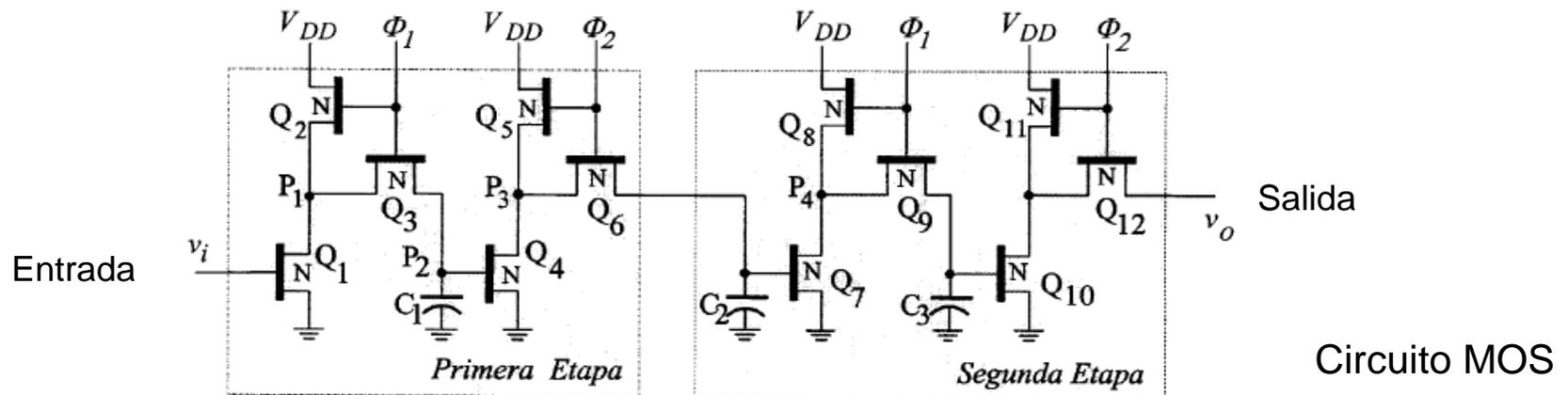
9.2. Etapas Dinámicas en MOS y CMOS

- ❑ Para realizar las etapas de almacenamiento transitorio junto con el control local de la transferencia entre etapas vecinas puede usarse celdas SRAM convencionales y lógica combinacional.
- ❑ Sin embargo, para el tamaño usual en memorias de acceso secuencial y en particular, estos diseños ocupan mucha área de semiconductor por lo que se usan etapas dinámicas en MOS y CMOS.
- ❑ Debido a la alta impedancia de entrada de los transistores MOS existe la posibilidad de almacenar carga en la capacidad de puerta.
- ❑ Usamos el condensador para almacenar la información
- ❑ Cuando aplicamos una tensión en V_i , el condensador se carga. Al abrir S_1 , el condensador mantiene la carga
- ❑ Se lee a través del drenador de Q_1



Registro de desplazamiento con reloj bifásico

- Supongamos que se introduce un "0" en la entrada.
- Durante el intervalo en el que el reloj Φ_1 está en alta los transistores Q2 y Q3 pasan a conducción. Consecuencia del "0" en la entrada Q1 está en corte y el punto P1 es llevado a las proximidades de V_{DD} por el transistor de carga Q2. Este nivel de tensión alto ("1") se transfiere a través de Q3 al condensador C1.
- Comienza entonces la fase de reloj Φ_2 , pasando este a alta y haciendo que ahora conduzca Q5 y Q6.
- Como consecuencia del "1" almacenado en C1, el transistor Q4 también pasa a conducir y lleva al punto P3 a tierra. Esta información se transmite a C2 a través de Q6 y queda almacenada en C2 cuando termina el ciclo de reloj Φ_2 , que vuelve a pasar a corte a los transistores Q5 y Q6.
- Así, tras Φ_1 y Φ_2 se ha desplazado el "0" desde la entrada de la primera etapa, v_i , a la entrada de la segunda (terminal de puerta de Q7). De forma análoga durante los siguientes ciclos de Φ_1 y Φ_2 esta operación se repite también en la segunda etapa a la vez que en la primera etapa se almacena la nueva entrada teniendo, por consiguiente, la estructura básica de un registro de desplazamiento.



Esquema de una etapa de registro desplazamiento en tecnología CMOS

□ Utiliza

- Inversores CMOS
- Reloj monofásico y su complementario

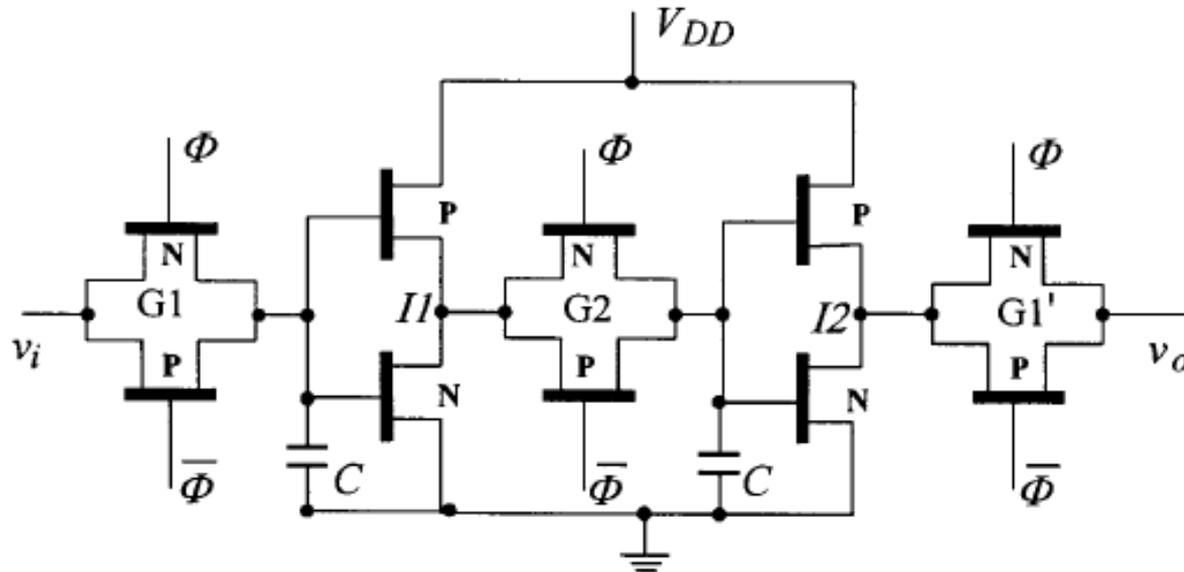


Figura 12.5. Etapa de registro en CMOS

9.3. Estructuras CCD

- CCD actúa como un registro de desplazamiento
- La información está representada por carga, no por tensiones
- Los paquetes se pueden inyectar, transferir y extraer
- Aplicaciones
 - Memorias digitales
 - Formación de imágenes (sensor óptico)
 - Procesamiento de señales analógicas

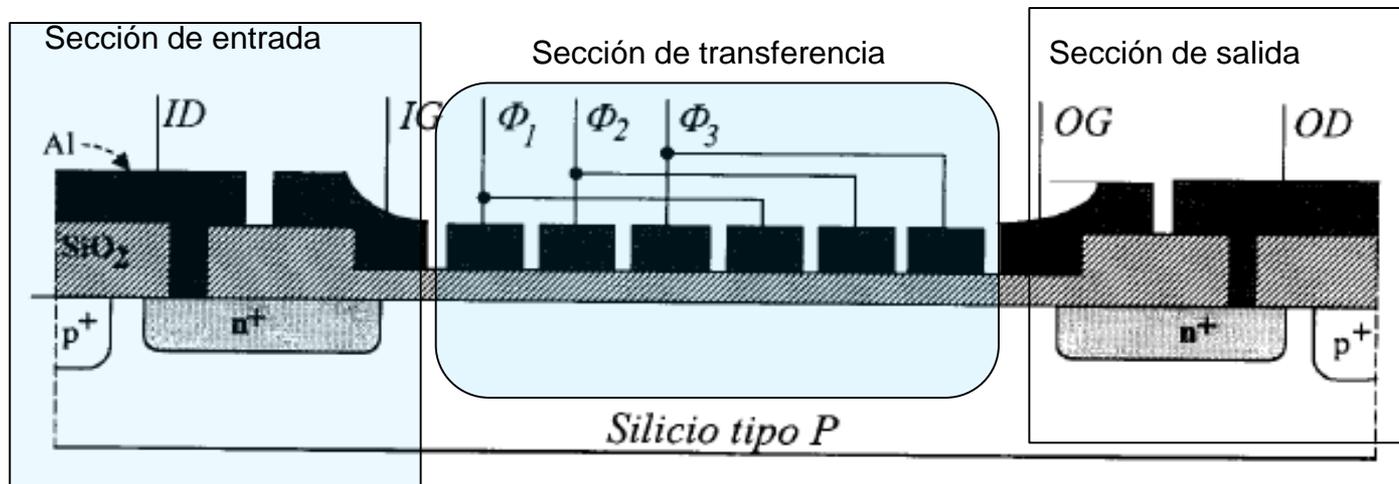


Figura 12.6. Corte transversal de un dispositivo CCD superficial de 2 bits mandado por un reloj de 3 fases, (Φ_1 , Φ_2 y Φ_3) que actúa como un registro de desplazamiento.

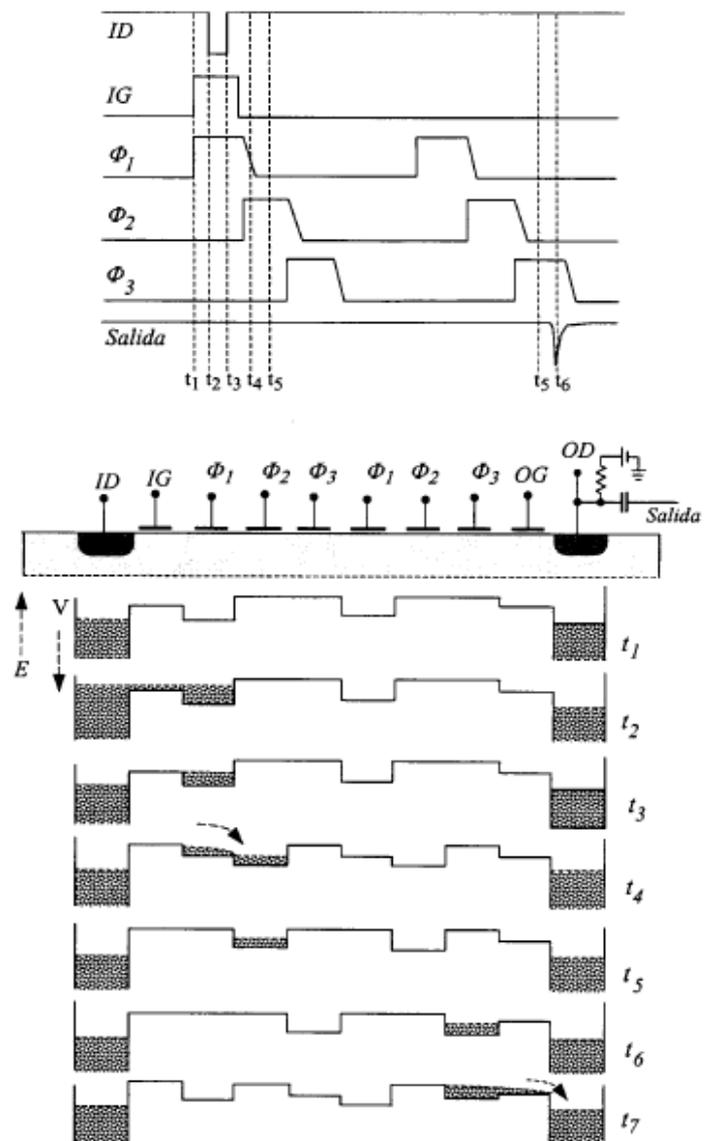


Figura 12.7. Análisis gráfico del proceso de transporte controlado de la carga mediante pozos de potencial.

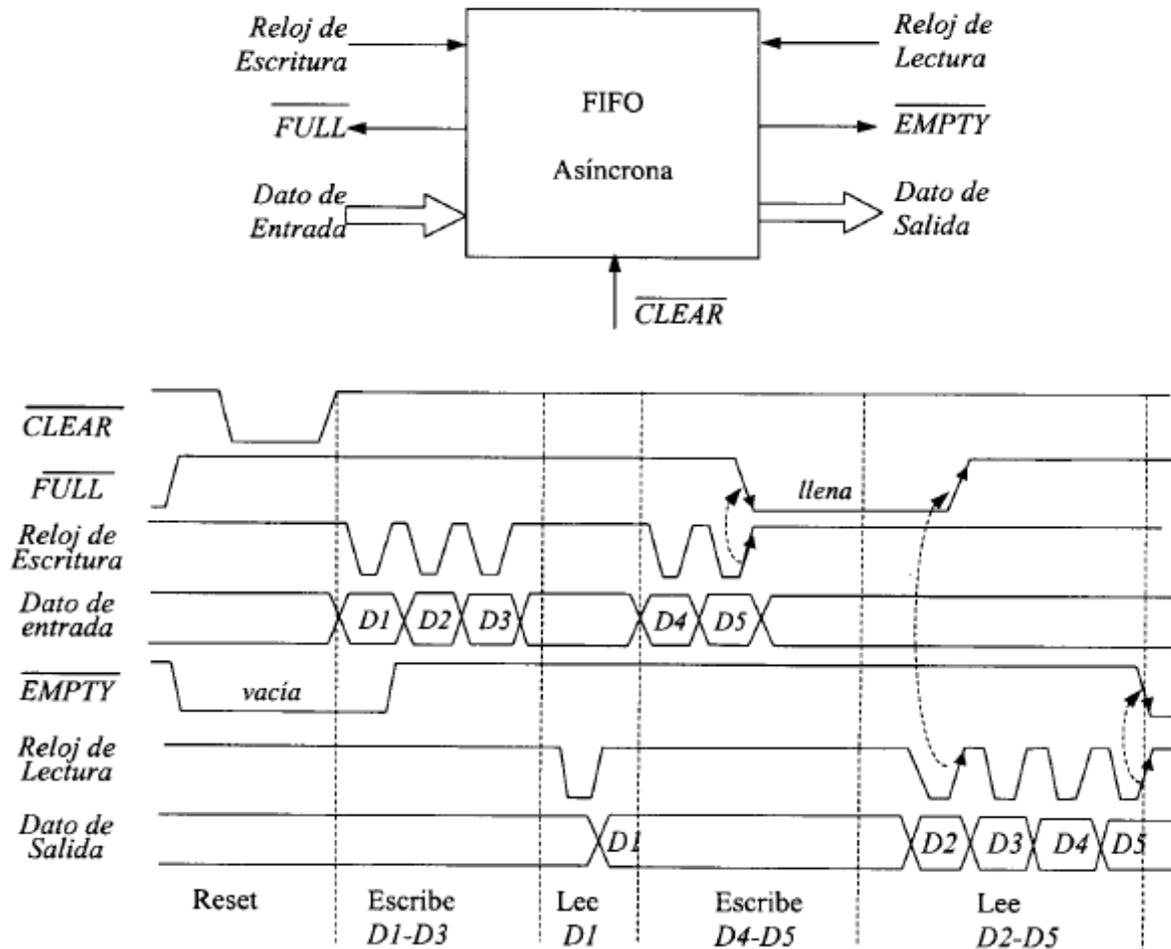
9.4. Memorias FIFO sobre Celdas RAM en CMOS

- La función principal de las memorias FIFO
 - El almacenamiento transitorio de datos en aquellas situaciones de diseño electrónico en las que sea necesario acoplar dos sistemas digitales que operen a distinta velocidad y necesiten intercambiar datos.
 - Siempre que los datos lleguen a un procesador en paquetes, de forma irregular o de forma regular pero a mayor velocidad, hace falta un almacenamiento intermedio, un buffer, en el que los datos que se escriben primero son los que primero salen.
- Las características que definen la necesidad de las memorias FIFO son :
 - 1. Acceso a sistemas de proceso lento pero constante con datos (demandas de servicio) que llegan de forma irregular.
 - 2. Acceso a sistemas que procesan en paquetes pero a los que los datos llegan de forma esporádica.
 - 3. Interfaces entre sistemas que trabajan a distinta velocidad.

9.4.1. Tipos de FIFO

- I FIFO Tipo Registro de Desplazamiento
 - La hemos visto en el apartado anterior.
 - El número de palabras almacenadas es fijo (coincide con la longitud del registro)
 - Hay un sincronismo implícito y necesario entre las operaciones de lectura y escritura.
 - A medida que van entrando nuevas palabras dato en los registros FIFO, otras van saliendo por el otro extremo.
- II FIFO de lectura escritura **mutuamente exclusiva**
 - En cada momento, sólo se puede leer o escribir, pero no ambas cosas.
 - El número de palabras almacenadas es variable y deben satisfacerse ciertas condiciones en el cronograma entre las señales procedentes del "sistema que escribe" y las procedentes del "sistema que lee".
 - Es necesario un cierto nivel de sincronismo entre el sistema que lee y el sistema que escribe
- III FIFO de lectura-escritura **concurrente**
 - Con un número variable de palabras almacenadas y posibilidad de lectura y escritura asíncrona, pudiendo coexistir ambos procesos.
 - Es decir, no hay restricciones en el cronograma de los ciclos de lectura y escritura.
 - Son independientes y no necesitan ningún sincronismo entre ellos.
 - Esto significa que cuando dos sistemas de distinta frecuencia se conectan a la FIFO, no necesitamos preocuparnos de la sincronización, porque la realiza internamente el circuito.
 - Pueden leer y escribir de modo asíncrono
- Actualmente las FIFO son de tipo III. Pueden ser síncronas o asíncronas

FIFO concurrente asíncrona



Figurta 12.8. (a) Terminales de una FIFO asíncrona. (b) Cronograma para longitud 4.

FIFO concurrente síncrona

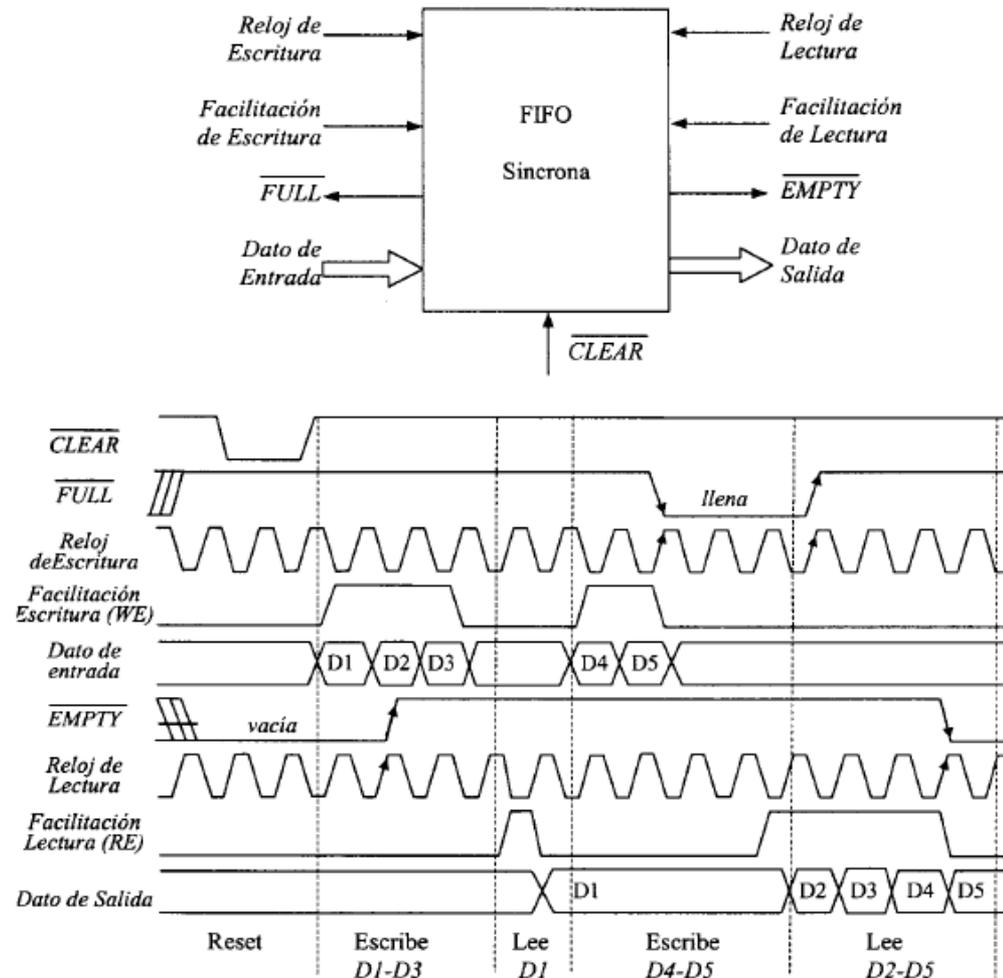


Figura 12.9. (a) Terminales de una FIFO síncrona de Texas Instrument. (b) Cronograma de los procesos de lectura y escritura.

9.4.2. Arquitecturas de las FIFO-RAM

- Tipo registro de desplazamiento
 - Es inherente a los registros de desplazamiento:
 - Entra un nuevo dato, que "cae" hasta la primera posición no ocupada, se desplazan todos los demás y sale el del último biestable del registro.
 - El principal inconveniente de esta organización es
 - El retardo intrínseco al recorrido de todo el registro cuando el tamaño de la FIFO es grande.
- Organización circular
 - Dos punteros
 - Puntero de lectura (contadores)
 - Puntero de escritura
 - Memoria tipo SRAM
 - Con entradas y salidas separadas

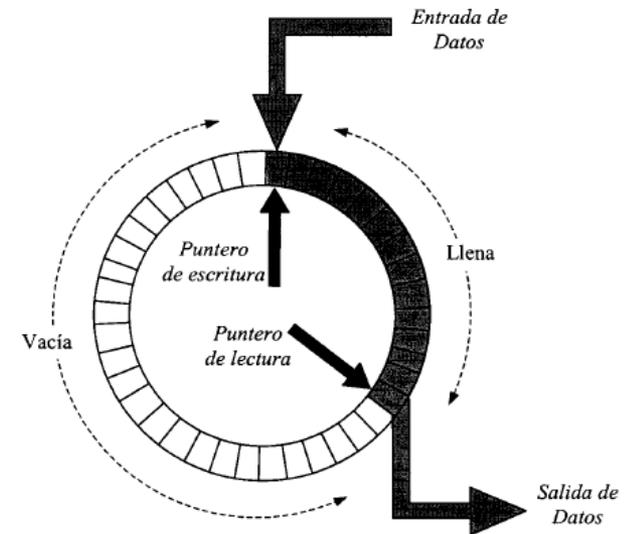


Figura 12.10. Organización circular de los circuitos FIFO con dos punteros..

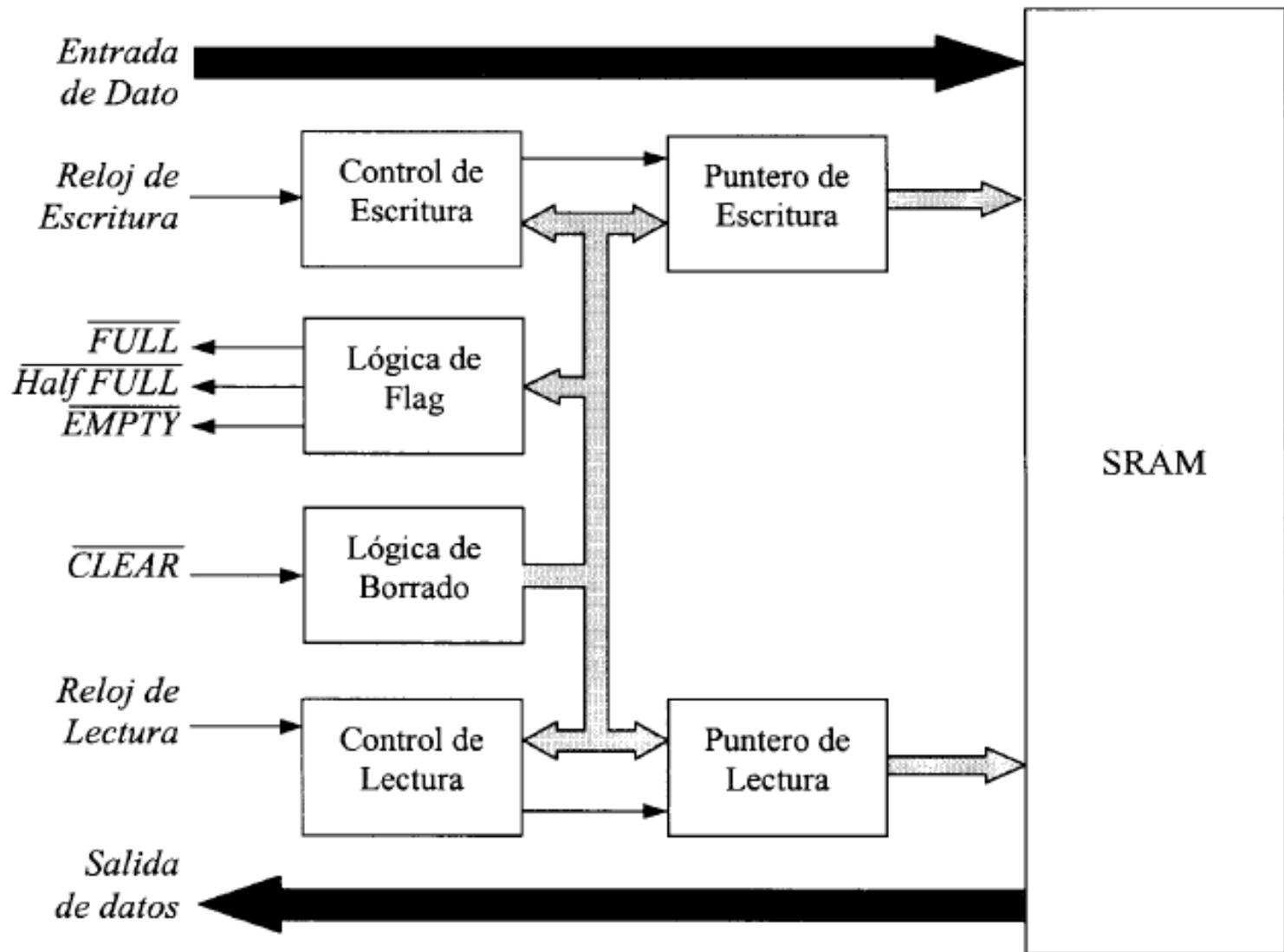


Figura 12.11. Diagrama de bloques de las FIFO SRAM de T. I. tipo ACT-7881.

9.5. Ejemplo

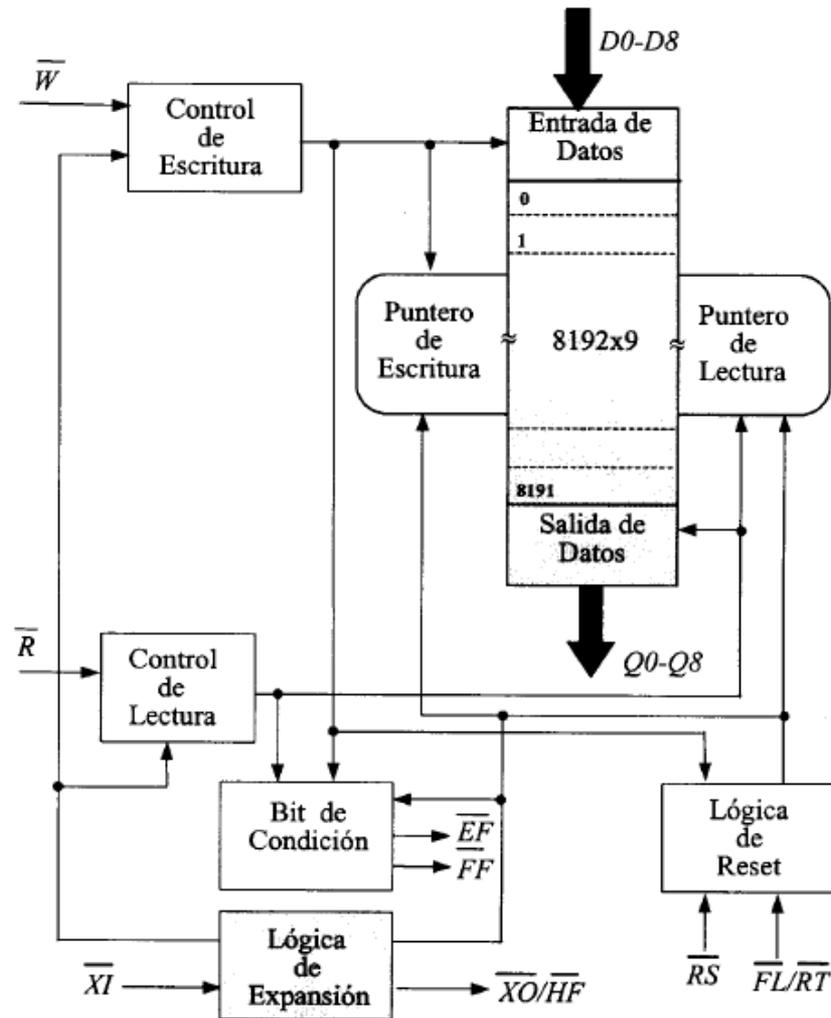


Figura 12.12. Diagrama de bloques de la FIFO Am7205A de AMD (8192x9).

9.6. Aplicaciones de las FIFO

- ❑ Memorias intermediarias
 - ❑ Conexión de periféricos a procesadores
 - ❑ Conversión analógico digital

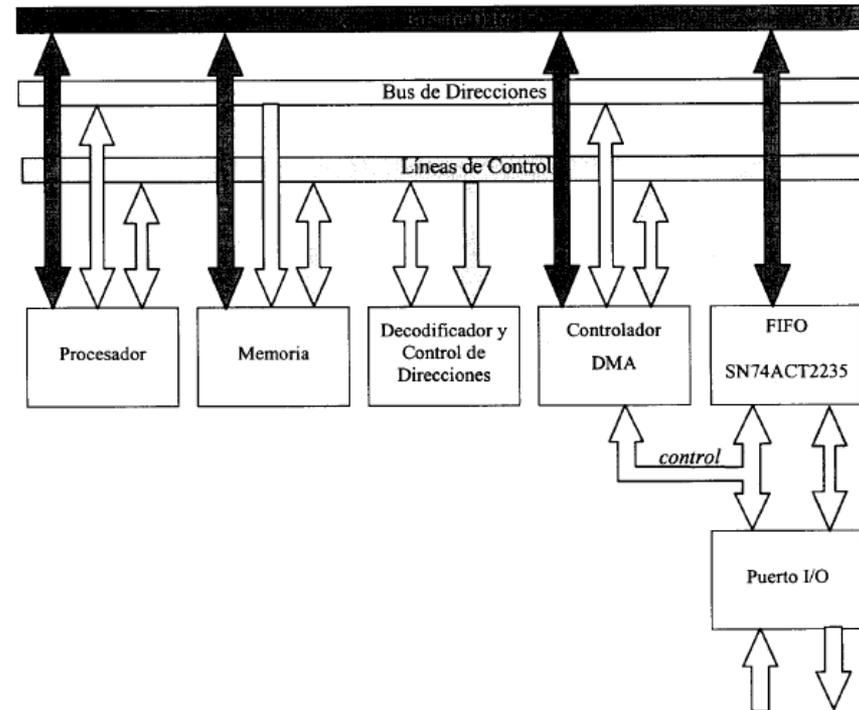


Figura 12.17. Conexión de un periférico bidireccional usando una FIFO tipo SN74ACT2235. La parte matizada corresponde al caso de periféricos con controlador de acceso directo a memoria. En este caso los datos son primero recolectados por la FIFO y después transferidos en bloque a la RAM.

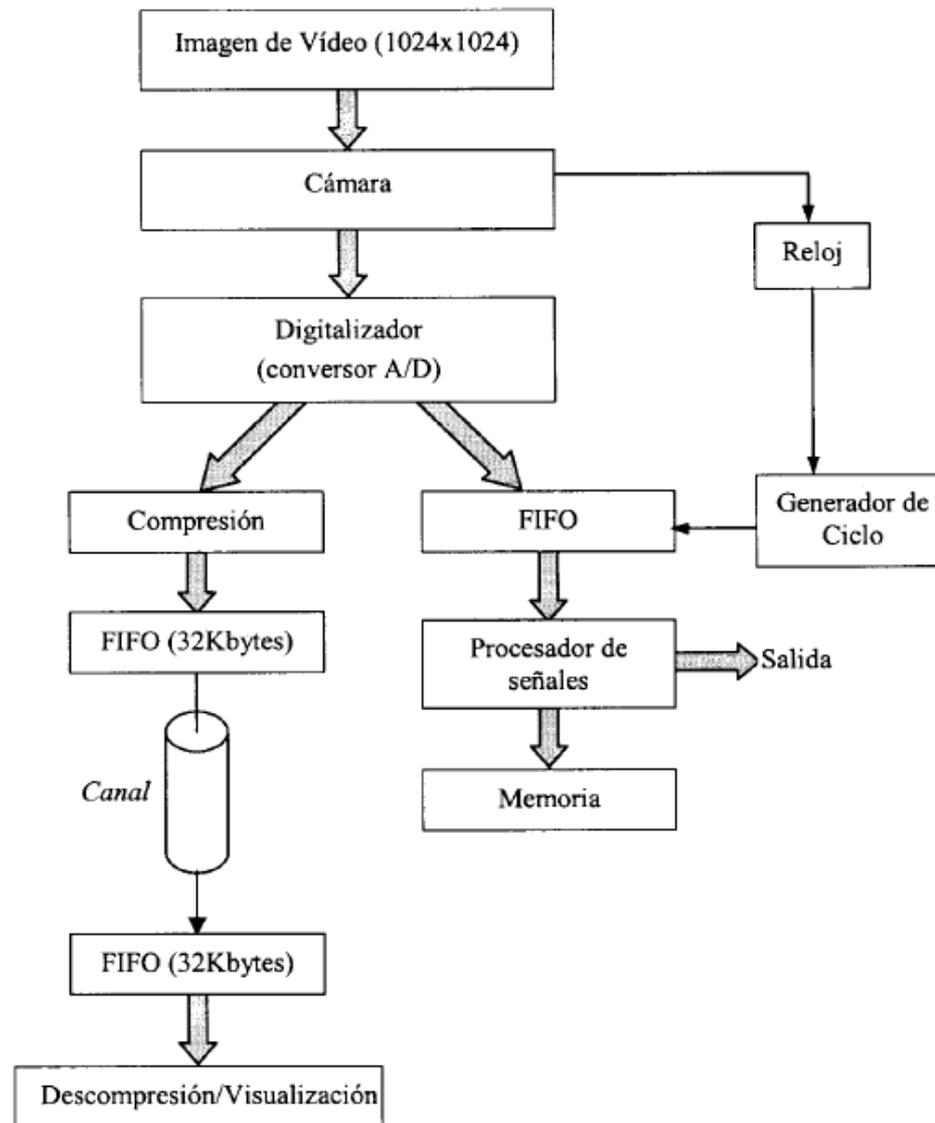


Figura 12.19. Esquema cualitativo de las aplicaciones de las FIFO en los procesos de adquisición de datos para su posterior tratamiento digital o transmisión.

Glosario Tema 9

- Memoria de acceso secuencial:
 - Memoria que tiene la estructura de registro de desplazamiento, de modo que se accede a su lectura y/o escritura de forma secuencial. Una memoria secuencial de k palabras de n bits se construye a partir de n registros de desplazamiento (uno por bit) de longitud k (número de palabras).
- FIFO (First-In, First-Out):
 - Es una organización serie-serie porque los datos se leen y se escriben en serie de forma que en cada pulso de reloj se desplazan una posición los contenidos de todos los registros de desplazamiento. La palabra que entró primero, se lee primero.
- Recirculación:
 - Función que tiene lugar cuando no hay entrada de nuevos datos y el lazo está cerrado.

Glosario

- LIFO (*Last-In, First-Out*):
 - Memoria de acceso secuencial en la que el primer dato que entra es el último que sale porque los nuevos datos empujan a los anteriores y se van apilando. También se llaman memoria pila. En estas memorias los datos se escriben y se leen del mismo punto, de forma que los sucesivos pulsos del reloj "empujan" hacia arriba las palabras o las "dejan caer", dependiendo del valor del bit que marca el sentido del desplazamiento de los registros que ahora han de ser bidireccionales.
- Dispositivo CCD (*Charge Coupled Devices*):
 - Sucesión de estructuras MOS que pueden almacenar paquetes de carga en pozos de potencial y que actúa como un registro de desplazamiento en el que la información está representada por paquetes de carga.
- Inyección:
 - Proceso mediante el cual se introducen (escriben) los datos (paquete de carga) en la estructura CCD.
- Transferencia:
 - Proceso mediante el cual el paquete de carga se va desplazando por los sucesivos pozos de potencial de la estructura CCD en la forma en la que lo hace la información en un registro de desplazamiento.

- Extracción:

- Proceso mediante el cual se sacan (leen) los datos del último pozo de potencial en la estructura CCD.

Regeneración:

Amplificación de los contenidos de memoria para recuperar la carga perdida tras una serie de transferencias por sucesivos pozos de potencial en la estructura CCD.

Organización serie:

Estructura de una memoria CCD que está formada por un conjunto de registros de desplazamiento conectados en serie y con etapas intermedias de regeneración.

Organización por lazos múltiples:

Estructura con direccionamiento directo para cada segmento o lazo en que se ha segmentado la memoria. Cada lazo es considerado como una celda de memoria RAM direccionable a través de un multiplexo que decodifica los bits de dirección y una lógica de control que facilita el acceso al lazo seleccionado para realizar allí las operaciones de lectura y escritura.