

Junio - 2007
1ª SemanaEXAMEN: Tipo -
Lectura óptica

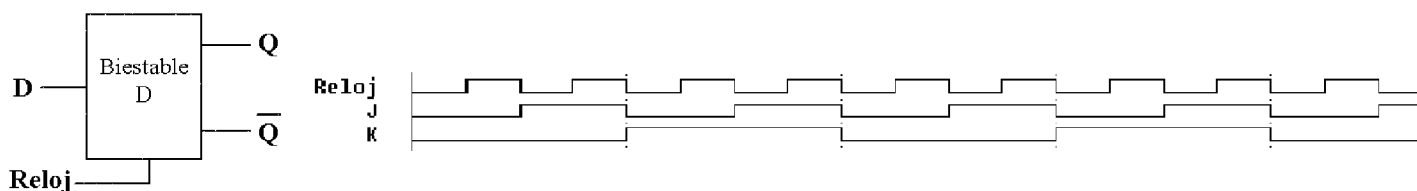
Nacional

MATERIAL: Ninguno

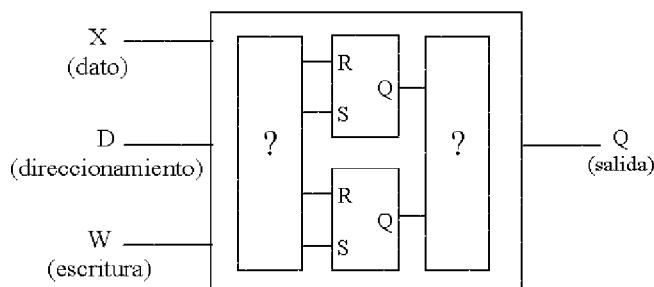
2 Cuatrimestre

Hoja: 1 de 1

- Diseñe un convertidor de código de 4 bits que nos permita pasar de forma automática de la representación de números positivos y negativos en Complemento a 1 (C-1) a su representación en Complemento a 2 (C-2).
- Bi estable D:
 - Dibuje el circuito del biestable D sincronizado a niveles y realizado con puertas, explique su funcionamiento a través del análisis del circuito para las dos configuraciones $D=1$ y $D=0$, obtenga la tabla de verdad correspondiente así como la ecuación lógica que lo describe y el diagrama de transición de estados.
 - Diseñe un biestable J-K a partir de un biestable D integrado como el que se muestra en la figura adjunta y de todas las puertas externas que sean necesarias.
 - Para este biestable J-K dibuje la forma de onda que se obtiene en la salida, Q, cuando se aplican las señales del cronograma adjunto, suponiendo que el biestable D se dispara en los flancos de subida del reloj. Justifique la respuesta. Es decir, debe explicar por qué se producen cada uno de los cambios de la señal de salida.



- Los biestables son elementos de memoria capaces de almacenar un "0" o un "1" ya que ante determinadas configuraciones de sus entradas cambian de estado, pero ante otras configuraciones permanecen en el estado anterior. Pues bien, suponga que dispone de dos biestables R-S (sin reloj) y quiere construir con ellos una memoria SRAM mínima de 2 bits por lo que tendrá que añadirle los circuitos de control necesarios para su funcionamiento. Es decir, debe diseñar los circuitos externos que tiene que anteponer y postponer a los 2 biestables R-S, explicando los razonamientos utilizados para:
 - Direccionar o seleccionar uno u otro biestable.
 - Escribir un dato ("0" ó "1") en el biestable seleccionado.
 - Leer el dato almacenado, teniendo en cuenta que la memoria formada por los dos biestables sólo tiene una salida. Es decir los terminales de la memoria son los que se muestran en la figura adjunta.



Para realizar el diseño no se impone ninguna restricción es decir, puede usar cuantas puertas sean necesarias y de cualquiera de los tipos que conoce, incluido los "buffers" de tres estados. Además, recuerde que deberá tener en cuenta el funcionamiento del biestable R-S.

Nota: Recuerde que en todos los casos debe justificar las respuestas. Es decir, debe realizar el diseño correspondiente o en su defecto debe explicar el razonamiento seguido hasta llegar a la respuesta dada.

g) Convertidor de Cal. a Ca2

| minterm | Cal | | | | Ca2 | | | |
|---------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| | b ₃ | b ₂ | b ₁ | b ₀ | c ₃ | c ₂ | c ₁ | c ₀ |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 9 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 10 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 11 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 12 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 13 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| 14 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 15 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |

Ca2 = Cal + 1 en los negativos
 en cal empiezan por "1"

Ca2 = Cal en positivos

en cal empiezan por "0"

$c_3 = \sum m(8, 9, 10, 11, 12, 13, 14)$

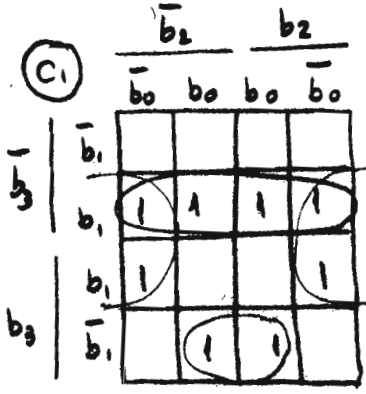
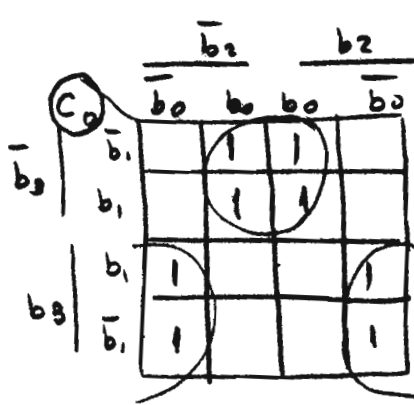
$c_2 = \sum m(4, 5, 6, 7, 11, 12, 13, 14)$

$c_1 = \sum m(2, 3, 6, 7, 9, 10, 13, 14)$

$c_0 = \sum m(1, 3, 5, 7, 8, 10, 12, 14)$

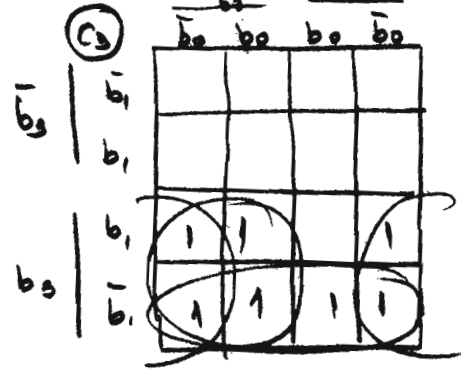
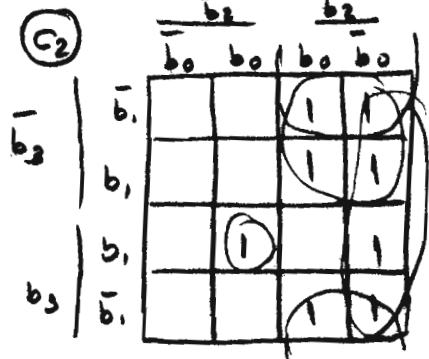
+1

| | $\overline{b_2}$ | b_2 |
|------------------|------------------|------------------|
| $\overline{b_3}$ | $\overline{b_0}$ | b_0 |
| b_3 | b_0 | $\overline{b_0}$ |
| | 0 | 1 |
| | 2 | 3 |
| | 10 | 11 |
| | 8 | 9 |
| | 13 | 14 |
| | 4 | 6 |
| | 5 | 7 |
| | 15 | 12 |



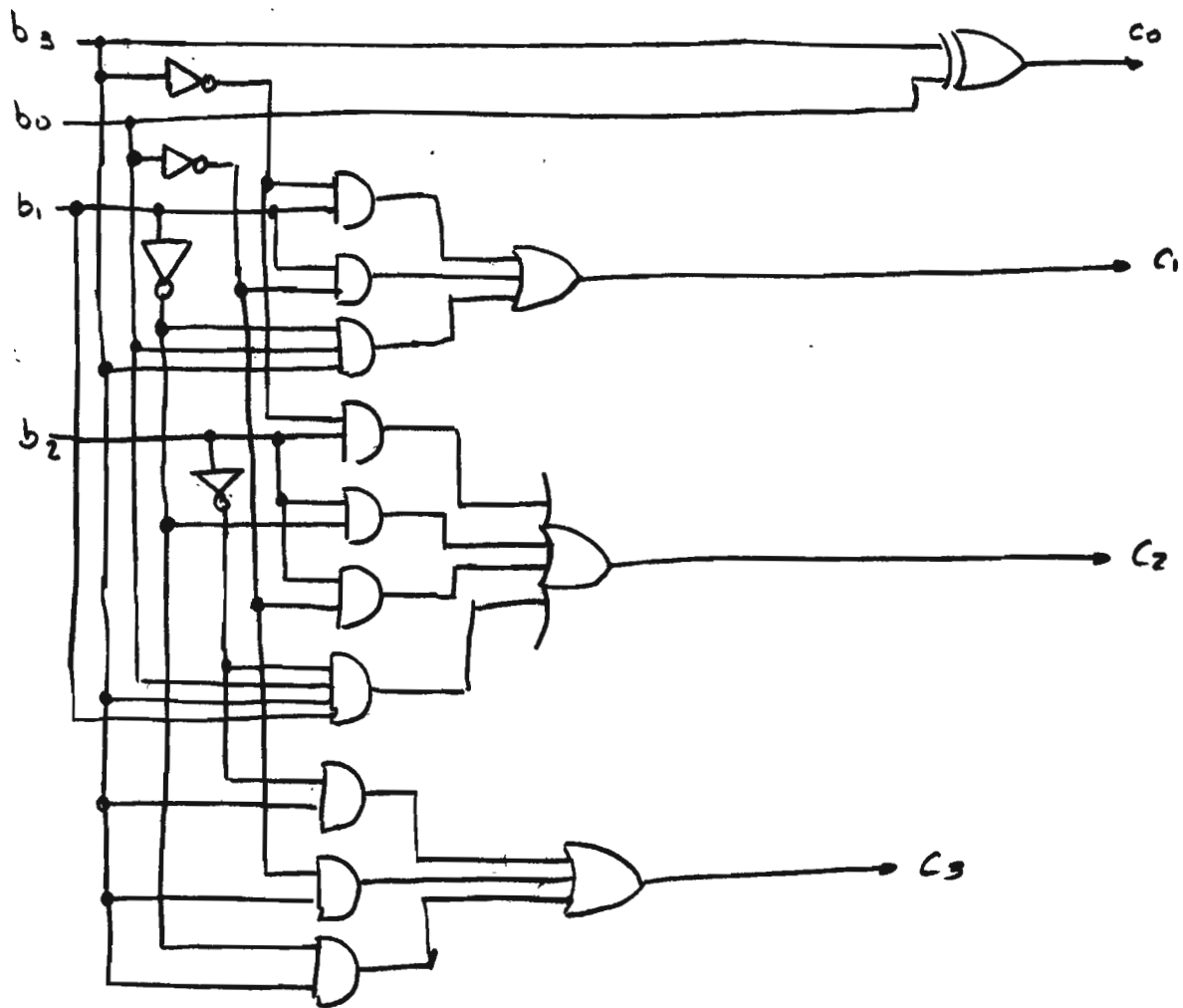
$c_0 = \overline{b_3}b_0 + b_3\overline{b_0}$

$c_1 = \overline{b_3}b_1 + b_3\overline{b_1} + \overline{b_3}b_1b_0 + b_3\overline{b_1}\overline{b_0}$

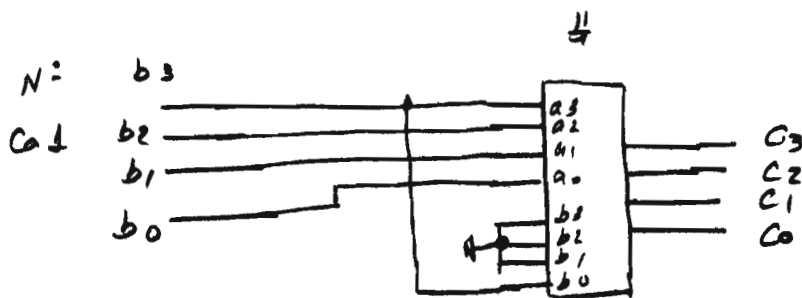


$c_2 = \overline{b_3}b_2 + b_3\overline{b_2} + \overline{b_3}b_2\overline{b_0} + b_3\overline{b_2}b_0$

$c_3 = b_3\overline{b_2} + b_3b_0 + b_3\overline{b_1}$

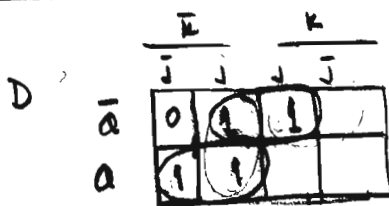


De todas formas el mejor circuito sería un sumador al que le sumásemos el signo al n° en c_{n-1}

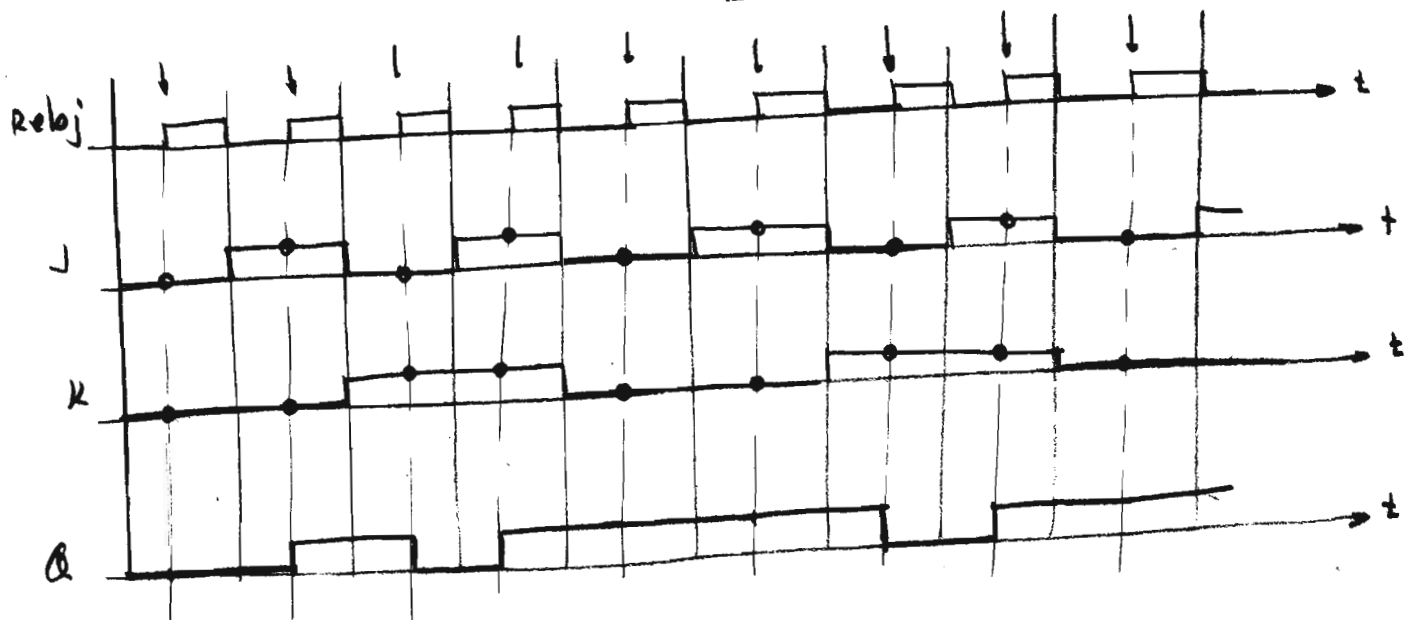
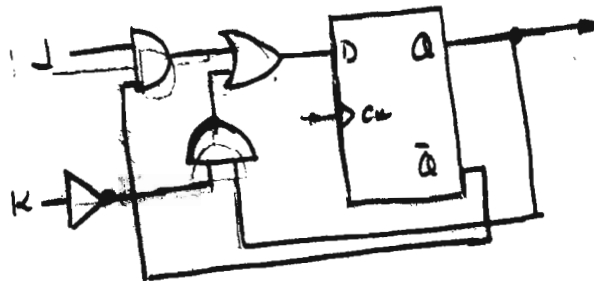


2)

| Entradas | | Est. actual | Prox estado | |
|----------|---|-------------|------------------|---|
| J | K | Q | Q _{t+1} | D |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |



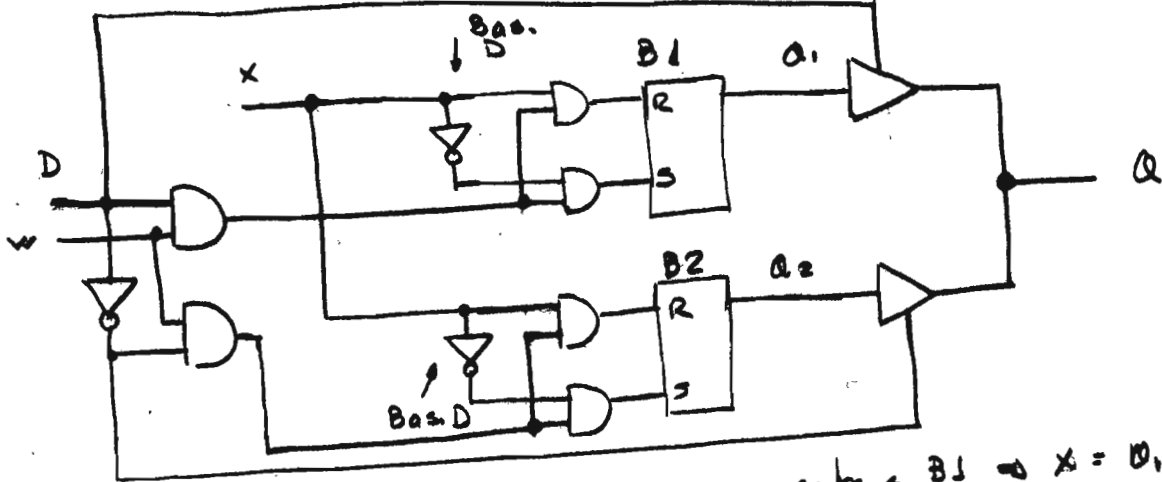
$$D = J\bar{Q} + \bar{K}Q$$



3) - Las básculas RS para convertirlos en D se unen sus entradas con una inversión.

- Son RS asíncronas, para ser síncronas hay que poner un circuito de reloj

- Para seleccionar una u otra habra' que poner un multiplexor



$D = 0 \Rightarrow w$ entra en B1 y x entra a B1 $\Rightarrow x = Q_1$
 $D = 1 \Rightarrow$ " " " B2 y x " " B2 $\Rightarrow x = Q_2$

- La lectura se supone por defecto al direccionar la báscula ya que no hay patillas de lectura



Junio - 2007
Original

EXAMEN: Tipo -
Lectura óptica

Unión Europea

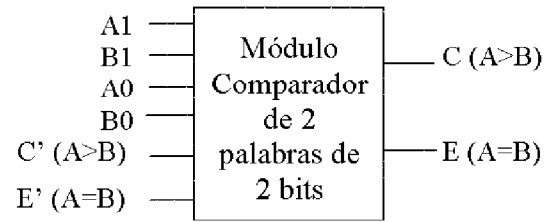
MATERIAL: Ninguno

2 Cuatrimestre

Hoja: 1 de 1

1. Circuito comparador

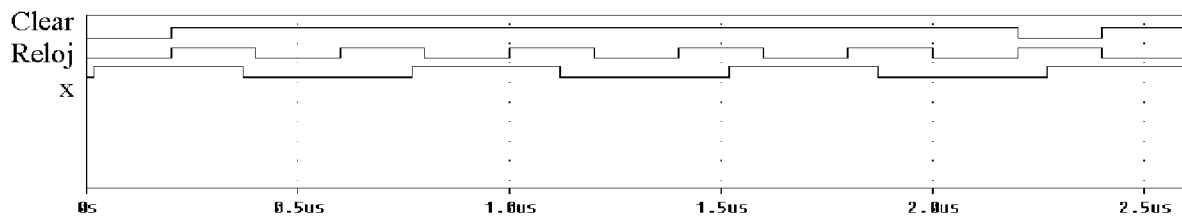
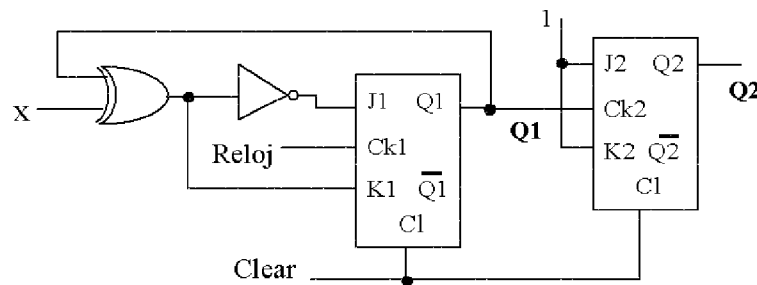
- 1.1. Diseñe un circuito comparador de 2 palabras de 1 bit (A0, B0).
- 1.2. Extienda este circuito comparador a 2 palabras (A y B) de 2 bits (A1, A0 y B1, B0) y con la posibilidad de expansión a más palabras. Es decir, diseñe un circuito comparador modular de la forma de la figura adjunta en la que a las entradas C'(A>B) y E'(A=B) le llegaría el resultado de la comparación de un supuesto módulo anterior (considere los bit A0 y B0 los menos significativos).
- 1.3. A partir de este módulo obtener un circuito comparador para 2 palabras de 4 bits.



2. Analice el circuito secuencial de la figura adjunta:

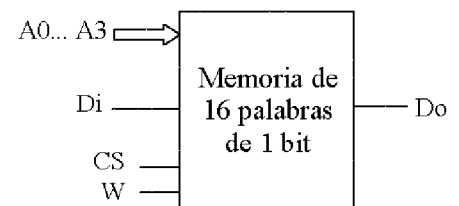
- 2.1. Obtenga las expresiones de J1, K1, Q1 y Q2.
- 2.2. Dibuje el diagrama de transición de estados y calcule la tabla de verdad para las señales: x, reloj, J1, K1, Q1 y Q2.
- 2.3. Dibuje el diagrama de tiempos del circuito para las señales de reloj, clear y entrada que se muestran en la figura adjunta y teniendo en cuenta que los biestables se disparan en los flancos de bajada del reloj.

Nota: En este circuito el "clear" actúa como tal cuando dicha señal está a cero.



3. La figura adjunta corresponde a un bloque de memoria que consta de 16 palabras de 1 bit organizada en forma de matriz de 4 filas por 4 columnas y en la que Di es la entrada de datos, Do la salida, A0(bit menos significativo), A1, A2 y A3 son las entradas para el direccionamiento de las filas y las columnas, W es la señal de facilitación de escritura y CS es la selección del circuito.

- 3.1. Diseñe los circuitos selectores de filas y de columnas que permitan pasar de A0, A1, A2 y A3 a las filas y columnas correspondientes.
- 3.2. Diseñe un circuito que permita recorrer todas las direcciones posibles de forma secuencial.
- 3.3. A partir de este módulo de memoria de 16 palabras de 1 bit obtenga otra memoria de 16 palabras de 4 bits. Diseñe y dibuje el circuito correspondiente.



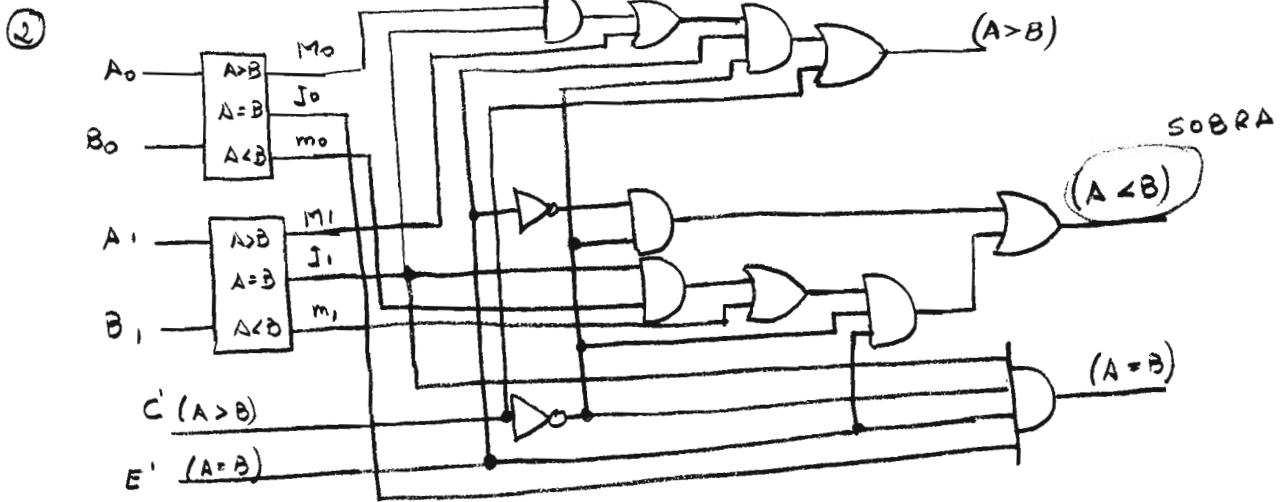
Nota: Recuerde que en todos los casos debe justificar las respuestas. Es decir, debe realizar el diseño correspondiente o en su defecto debe explicar el razonamiento seguido hasta llegar a la respuesta dada.

1) ①

| A_0 | B_0 | M $A > B$ | I $A = B$ | m $A < B$ |
|-------|-------|----------------|----------------|----------------|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |

$$M = A_0 \bar{B}_0 \quad m = \bar{A}_0 B_0$$

$$I = \bar{A}_0 \bar{B}_0 + A_0 B_0 = \overline{A_0 \oplus B_0}$$



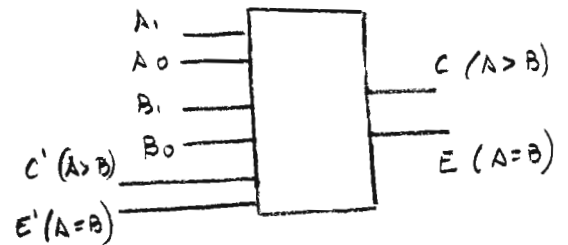
| C' | E' | M, I, m, M_0, I_0, m_0 | $A > B$ | $A = B$ | $A < B$ |
|------|------|--------------------------|---------|---------|---------|
| 1 | 0 | x x x x x x x | 1 | 0 | 0 |
| 0 | 0 | x x x x x x x | 0 | 0 | 1 |
| 0 | 1 | 1 0 0 x x x | 1 | 0 | 0 |
| 0 | 1 | 0 0 1 x x x | 0 | 0 | 1 |
| 0 | 1 | 0 1 0 1 0 0 0 | 1 | 0 | 0 |
| 0 | 1 | 0 1 0 0 1 0 0 | 0 | 1 | 0 |
| 0 | 1 | 0 1 0 0 0 1 | 0 | 0 | 1 |

$$(A > B) = C' + \bar{C}' E' (M_1 + I_1 M_0)$$

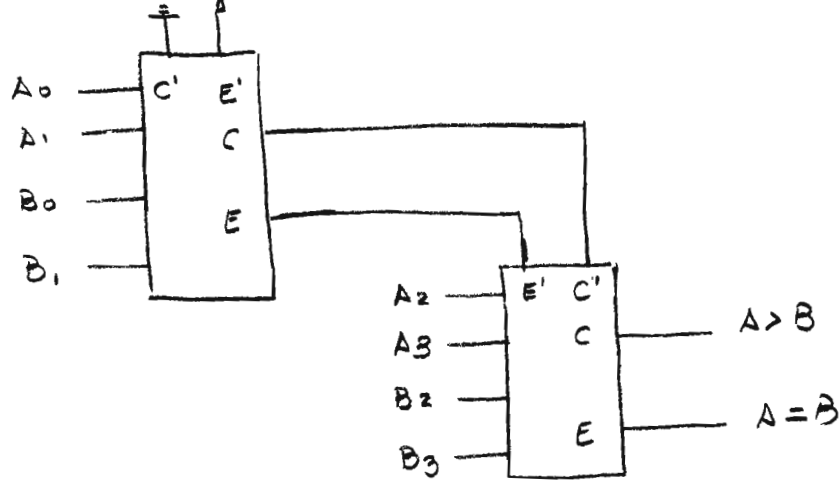
$$(A < B) = \bar{C}' \bar{E}' + \bar{C}' E' (m_1 + I_1 m_0)$$

$$(A = B) = E' \bar{C}' \cdot I_1 \cdot I_0$$

Sobra pq si E' a la fuerza \bar{C}'



* Mejor desarrollo en ETC 2



2)

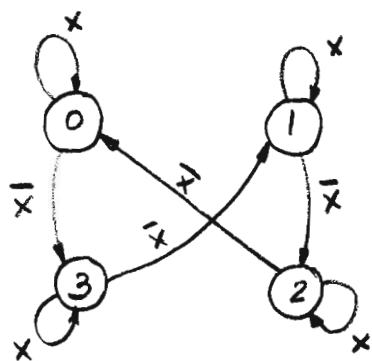
$$J_1 = \bar{K}_1 = \overline{x \oplus Q_1}$$

$$K_1 = \overline{x \oplus Q_1} = x \oplus Q_1$$

Estados = 4 (2 básculas) \Rightarrow

| Q_1 | Q_2 |
|-------|-------|
| 0 | 0 |
| 0 | 1 |
| 1 | 0 |
| 1 | 1 |

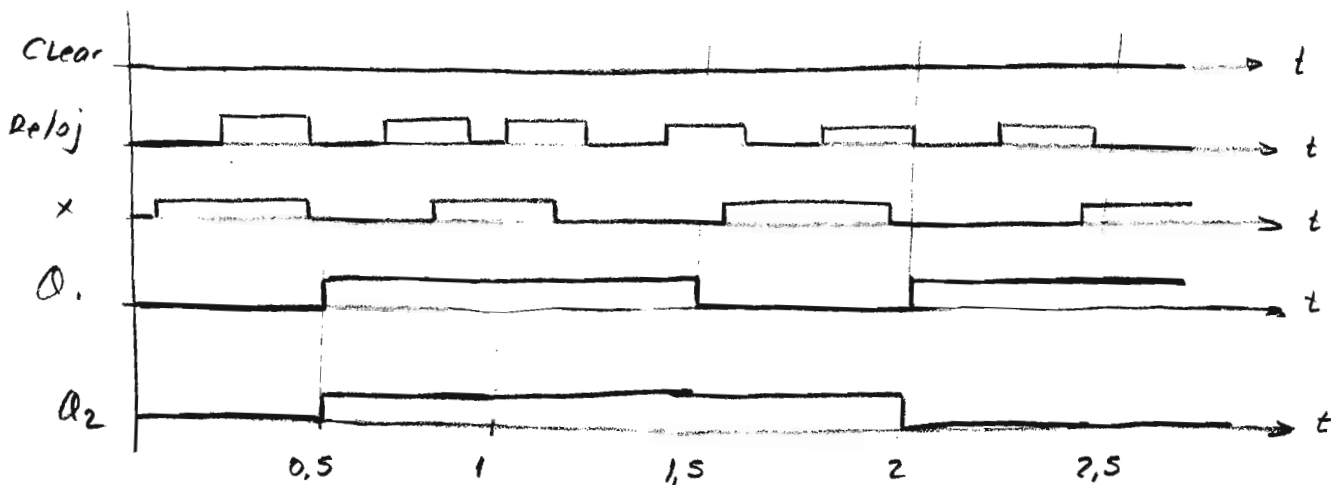
Q_2 basculará solo cuando Q_1 pase de 0 a 1

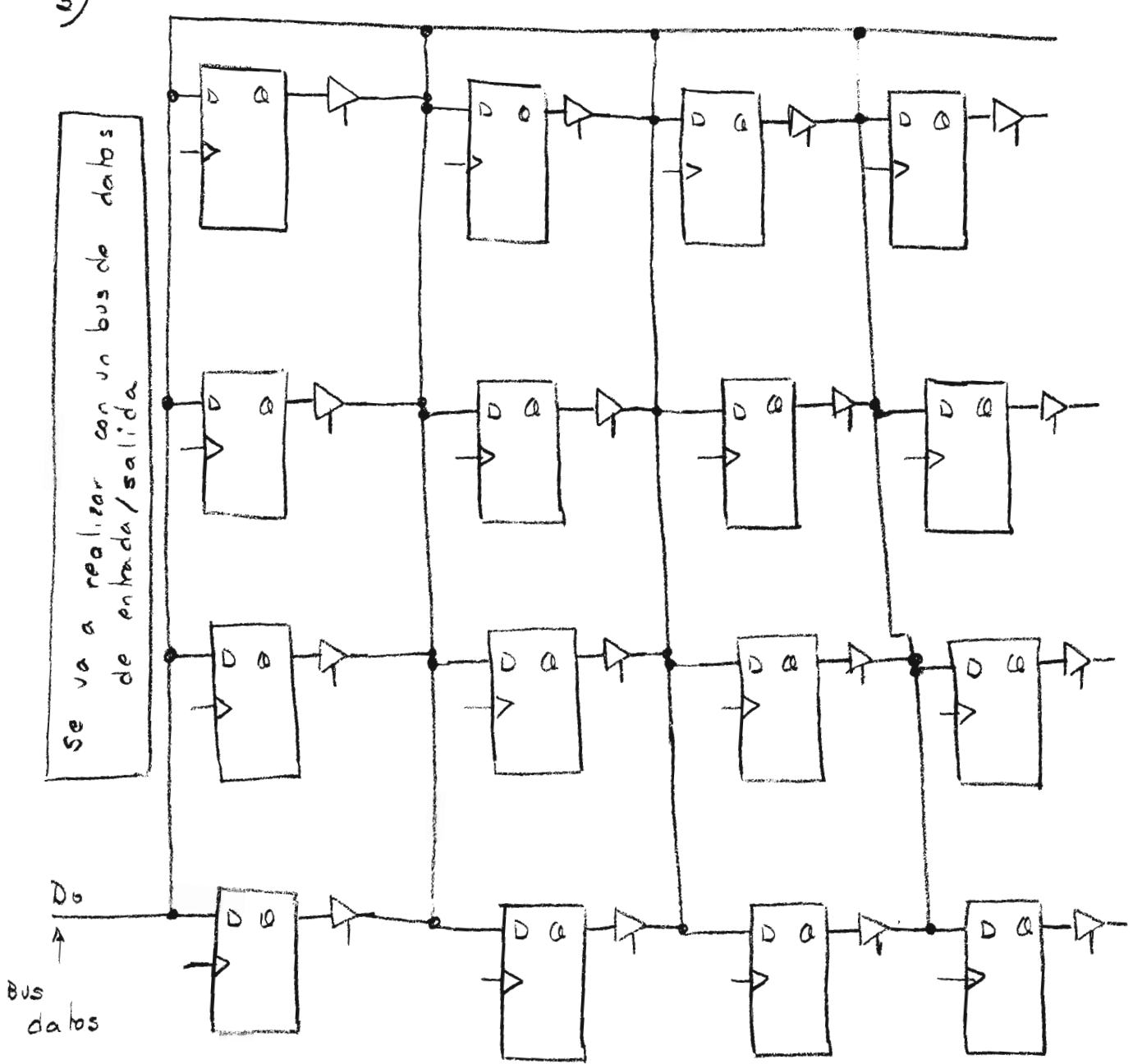


$Q_1 \rightarrow$ Para $x=0$ bascula
 " $x=1$ se queda como estaba

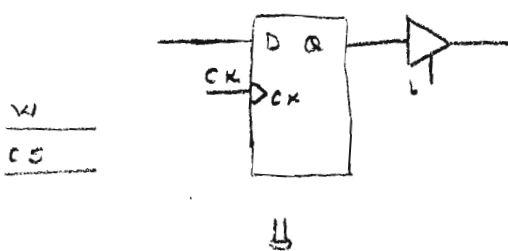
$Q_2 \rightarrow$ Cambia con flanco ascendente de Q_1

| x | Q_1 | Q_2 | J_1 | K_1 | Prox. estado Q_1, Q_2 |
|-----|-------|-------|-------|-------|-------------------------|
| 0 | 0 | 0 | 1 | 0 | 1, 1 |
| 1 | 0 | 0 | 0 | 1 | 0, 0 |
| 0 | 0 | 1 | 1 | 0 | 1, 0 |
| 1 | 0 | 1 | 0 | 1 | 0, 1 |
| 0 | 1 | 0 | 0 | 1 | 0, 0 |
| 1 | 1 | 0 | 1 | 0 | 1, 0 |
| 0 | 1 | 1 | 0 | 1 | 0, 1 |
| 1 | 1 | 1 | 1 | 0 | 1, 1 |





Un bit



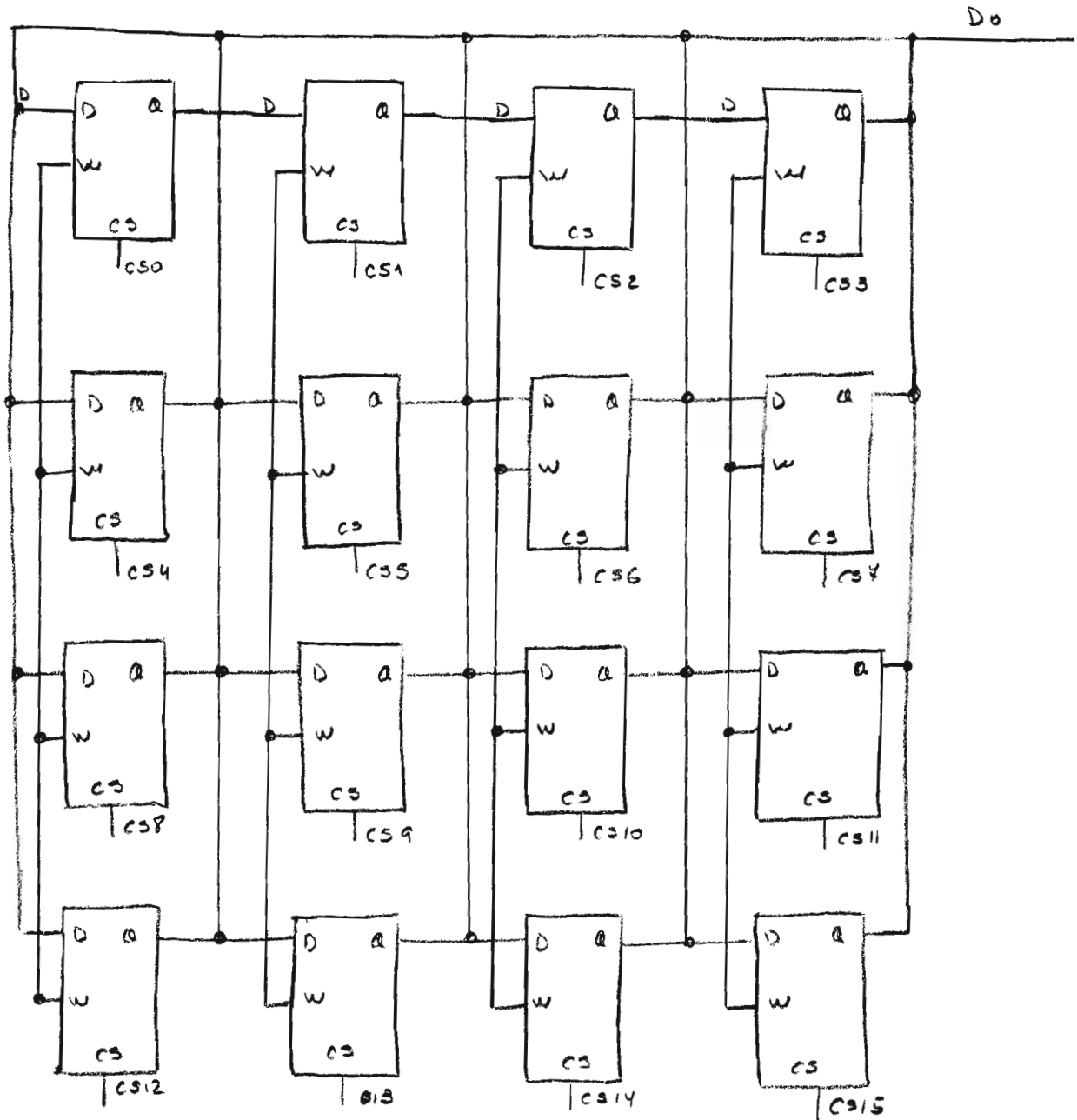
- se tiene que producir que si habilitamos la celda con cs y $w=1$ se escriba en la báscula pero no se habilite el triestado de salida $\Rightarrow L=0$ $ck=1$
- si $cs=1$ y $w=0$ entonces no queremos escribir pero queremos leer $\Rightarrow L=1$
- si $cs=0$ ni escribimos $ck=0$ ni leemos

$L=0$

| cs | w | L | ck |
|------|-----|-----|------|
| 0 | x | 0 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |

$L = cs \cdot \overline{w}$
 $\Rightarrow ck = cs \cdot w$

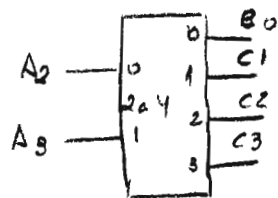
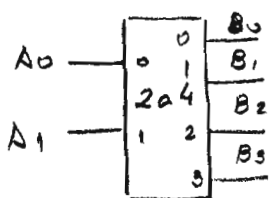
Por lo tanto dispongo de una matriz de 16 unidades como la diseñada



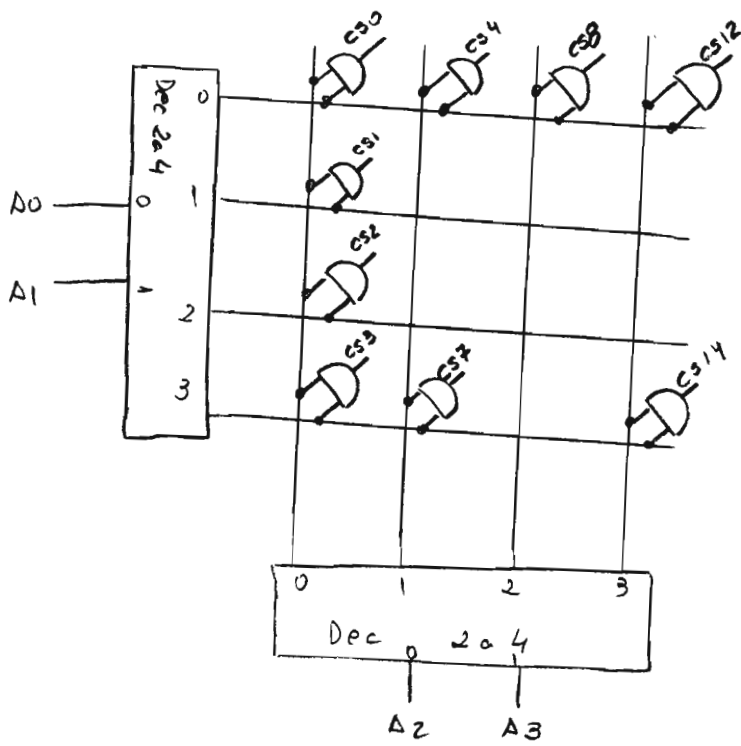
Para organizarlo por líneas y columnas se divide el bus de direcciones en dos campos \Rightarrow

- Líneas $\{ A_0, A_1$
- Columnas $\{ A_2, A_3$

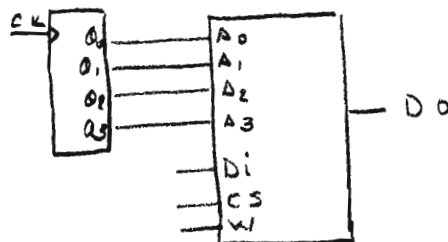
Cada bloque precisa un decodificador de 2 a 4



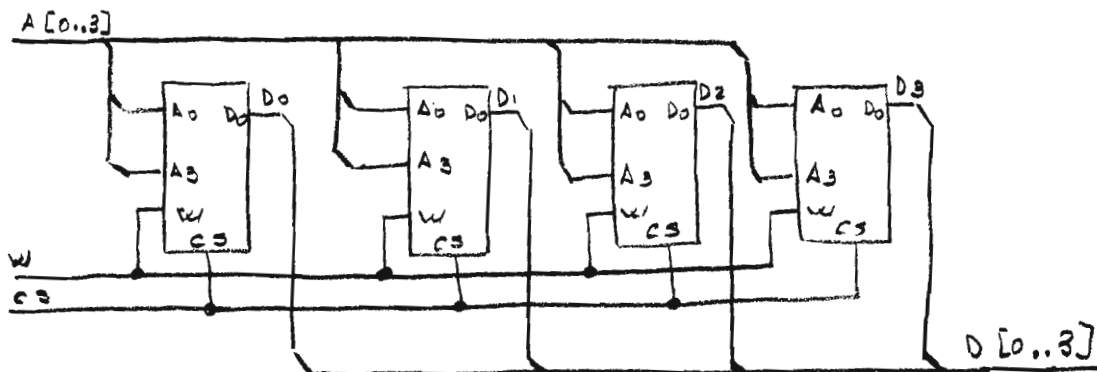
El siguiente paso es configurar una matriz de líneas y columnas y en cada cruce poner una puerta AND que ataque a cada uno de los CS0 a CS15



- ② se colocaría un contador en base 16 a la entrada del bus de direcciones



- ③ Memoria de 16 x 4





Sept. - 2007
Original

EXAMEN: Tipo -
Desarrollo

Nacional y U.E.

MATERIAL: Ninguno

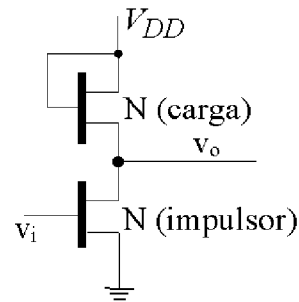
2 Cuatrimestre

Hoja: 1 de 1

1. La figura adjunta muestra un Inversor básico en tecnología NMOS.

1.1. Explique su funcionamiento razonando, principalmente, sobre las curvas características de los transistores impulsor y de carga.

1.2. ¿Qué tendría que añadirle a este inversor para convertirlo en un inversor NMOS de tres estados?. Demuestre, verificando el estado de cada uno de los transistores, que realmente el nuevo circuito que ha propuesto funciona como un inversor de tres estados.



2. Diseñe un circuito combinacional para palabras de 2 bits (A1A0, B1B0), tal que: (1) si la palabra A es mayor que la palabra B, el circuito reste la palabra B de la palabra A, es decir realice la operación aritmética A-B, (2) si la palabra A es menor que la B, entonces realice la operación aritmética B-A y (3) si la palabra A coincide con la B, entonces haga la operación aritmética A+B.

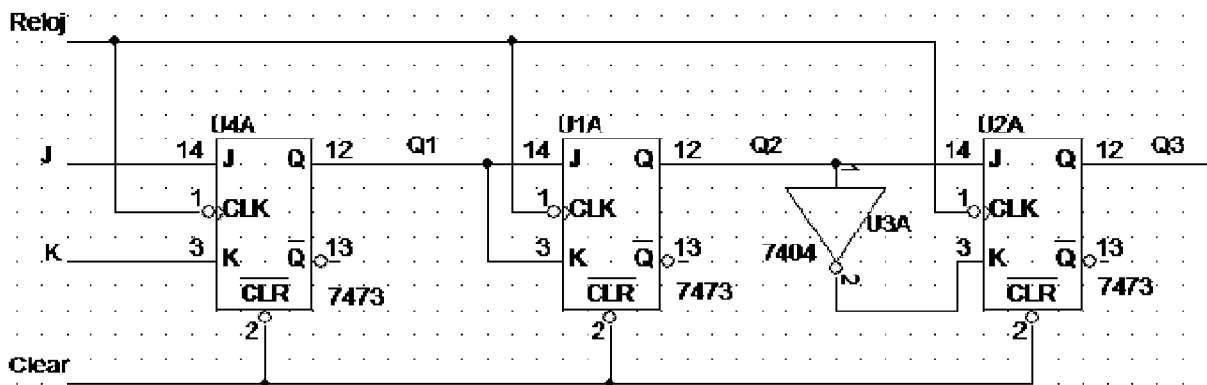
Nota: Dado que el diseño de este circuito no es único, el alumno debe explicar y justificar el procedimiento seguido para hacer dicho diseño.

3. El circuito de la figura adjunta muestra un circuito formado por la unión de tres biestables J-K cada uno en una configuración distinta.

3.1. Identifique cada una de estas configuraciones y especifique para cada una de ellas la tabla de verdad, el diagrama de transición de estados y las respectivas expresiones de Q_{n+1} en función de las entradas, del estado anterior (Q_n) y del reloj (CLK).

3.2. Suponiendo que estos biestables se disparan en los flancos de bajada del reloj, dibuje las formas de onda que se obtienen en los puntos Q1, Q2 y Q3, cuando se aplican las señales del cronograma adjunto. Justifique la respuesta.

Considere que la señal de "Clear" actúa de forma que, cuando su valor es "1" los biestables funcionan como tal y, cuando toma el valor "0" pone instantáneamente a cero a los biestables, con independencia del estado del reloj.



1) Inversor NMOS

Tema 4 - Pg 239

2) Circuito combinatorial

para operar con 2 palabras de 2b. ts

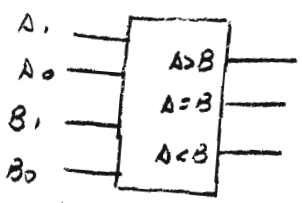
A, A₀ y B, B₀ ⇒

$$A > B \Rightarrow A - B$$

$$A < B \Rightarrow B - A$$

$$A = B \Rightarrow A + B$$

J: → Comparador de A y B



| | | | | |
|-------------|-------------|-------------|-------|-------------|
| | | \bar{A}_0 | A_0 | |
| | | \bar{B}_0 | B_0 | \bar{B}_0 |
| \bar{A}_1 | \bar{B}_1 | 0 | 0 | 1 |
| | B_1 | 0 | 0 | 0 |
| A_1 | \bar{B}_1 | 0 | 0 | 1 |
| | B_1 | 1 | 1 | 1 |

| A, A ₀ | B, B ₀ | A > B | A = B | A < B |
|-------------------|-------------------|-------|-------|-------|
| 0 0 | 0 0 | 0 | 1 | 0 |
| 0 0 | 0 1 | 0 | 0 | 1 |
| 0 0 | 1 0 | 0 | 0 | 1 |
| 0 0 | 1 1 | 0 | 0 | 1 |
| 0 1 | 0 0 | 1 | 0 | 0 |
| 0 1 | 0 1 | 0 | 1 | 0 |
| 0 1 | 1 0 | 0 | 0 | 1 |
| 0 1 | 1 1 | 0 | 0 | 1 |
| 1 0 | 0 0 | 1 | 0 | 0 |
| 1 0 | 0 1 | 1 | 0 | 0 |
| 1 0 | 1 0 | 0 | 1 | 0 |
| 1 0 | 1 1 | 0 | 0 | 1 |
| 1 1 | 0 0 | 1 | 0 | 0 |
| 1 1 | 0 1 | 1 | 0 | 0 |
| 1 1 | 1 0 | 1 | 0 | 0 |
| 1 1 | 1 1 | 0 | 1 | 0 |

$$(A > B) = A_1 \bar{B}_1 + A_0 \bar{B}_1 \bar{B}_0 + A_1 A_0 \bar{B}_0$$

| | | | |
|-------------|-------------|-------------|-------|
| | | \bar{A}_0 | A_0 |
| | | \bar{B}_0 | B_0 |
| \bar{A}_1 | \bar{B}_1 | 1 | 0 |
| | B_1 | 0 | 0 |
| A_1 | \bar{B}_1 | 1 | 0 |
| | B_1 | 0 | 0 |

$$(A = B) = \bar{A}_1 \bar{A}_0 \bar{B}_1 \bar{B}_0 + A_1 \bar{A}_0 B_1 \bar{B}_0 + \bar{A}_1 A_0 \bar{B}_1 B_0 + A_1 A_0 B_1 B_0 =$$

$$= \bar{A}_0 \bar{B}_0 (\bar{A}_1 \bar{B}_1 + A_1 B_1) + A_0 B_0 (\bar{A}_1 \bar{B}_1 + A_1 B_1) = \overline{A_1 \oplus B_1} (\overline{A_0 \oplus B_0}) =$$

$$(A = B) = \overline{A_1 \oplus B_1} \overline{A_0 \oplus B_0}$$

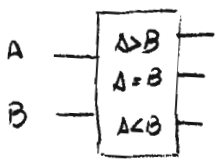
| | | | | | |
|-------------|-------------|-------------|-------|-------------|-------|
| | | \bar{B}_0 | B_0 | \bar{B}_1 | B_1 |
| \bar{A}_1 | \bar{B}_1 | 0 | 1 | 0 | 0 |
| | B_1 | 1 | 1 | 1 | 1 |
| A_1 | B_1 | 0 | 1 | 0 | 0 |
| | \bar{B}_1 | 0 | 0 | 0 | 0 |

$$(A < B) = \bar{A}_1 B_1 + \bar{A}_1 \bar{A}_0 B_0 + \bar{A}_0 B_1 B_0$$

Se dibujaría el logigrama

Opción B

Comparador 1 bit y luego combinarlos



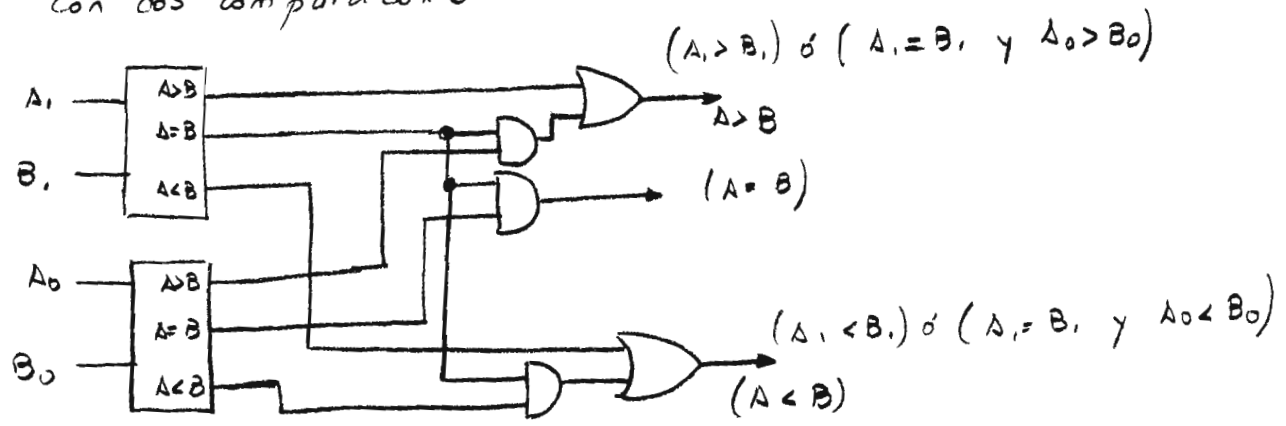
| A | B | A > B | A = B | A < B |
|---|---|-------|-------|-------|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |

$$(A > B) = A \bar{B}$$

$$(A = B) = A \oplus B$$

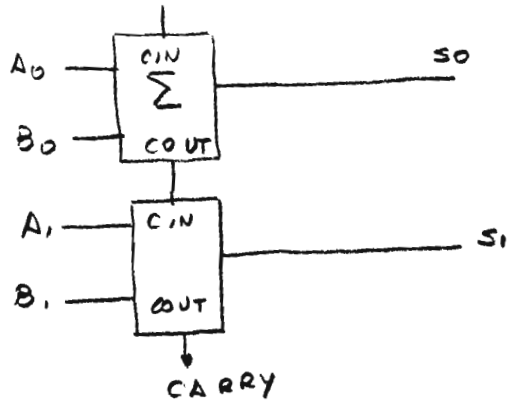
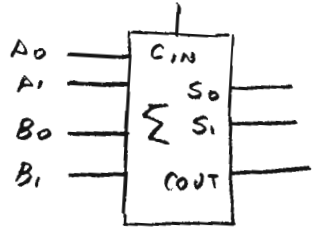
$$(A < B) = \bar{A} B$$

Con dos comparadores



SUMADOR 2 BITS

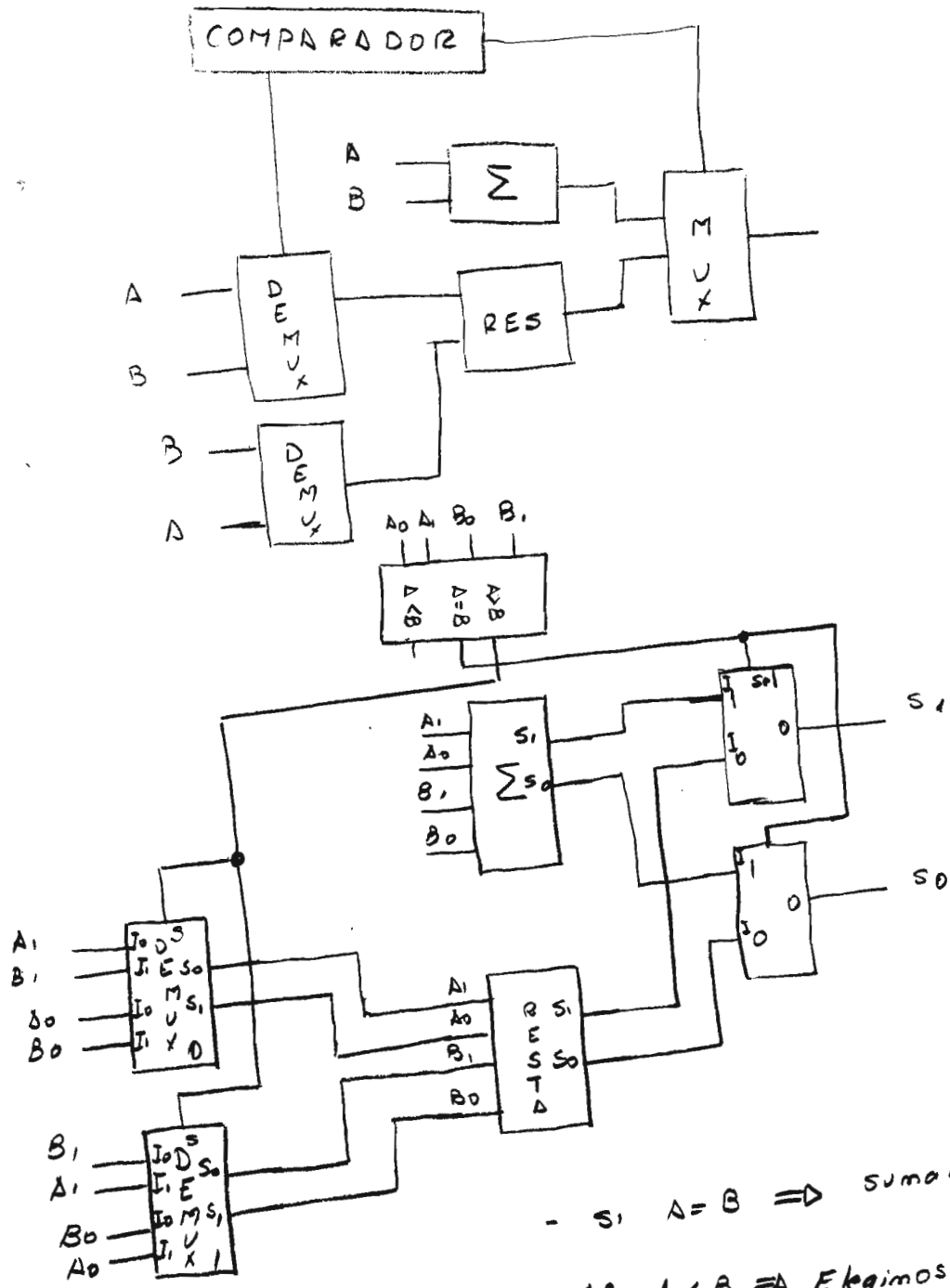
Partiendo de dos sumadores de 1 bit (Libro teoría pg 272)



Restador 2 Bits

Libro teoría pg 274

CIRCUITO COMPLETO



↑
Doble multiplexor
de 2 canales

- Si $A = B \Rightarrow$ sumamos $A + B$

- Si $A < B \Rightarrow$ Elegimos el restador
y al DEMUX le metemos
"j" en el selector y selecciona
B ; DEMUX 1 selecciona A
↓
 $B - A$

- Si $A > B$ seleccionamos el restador.

A DEMUX 0,1 le metemos "s" en "s" \Rightarrow DEMUX 0 selecciona A $\Rightarrow A - B$
DEMUX 1 " " B

3. Contador de 3 bits

- 1) Bascula (N4A) $\Rightarrow J, K \rightarrow Q_0$
 2) " (N1A) $\Rightarrow T \rightarrow Q_1$
 3) " (N2A) $\Rightarrow D \rightarrow Q_2$
- } Tablas de la verdad en los apuntes

3 basculas $\Rightarrow 2^3$ estados $\Rightarrow S_0$ a S_7

Tablas

| Q_0 | J | K | Q_0 | Q_{0+1} |
|-------|---|---|-------|-----------|
| 0 | x | 0 | 0 | 0 |
| 1 | x | 0 | 1 | 1 |
| x | 1 | 1 | 0 | 0 |
| x | 0 | 1 | 1 | 1 |

| Q_1 | T | Q_1 | Q_{1+1} |
|-------|---|-------|-----------|
| 0 | x | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |

| Q_2 | D | Q_2 | Q_{2+1} |
|-------|---|-------|-----------|
| 0 | x | 0 | 0 |
| 1 | x | 1 | 1 |

| Q_2 | J | K | Est. actual | | | Est. próximo | | |
|-------|---|---|-------------|-------|-------|--------------|-------|-------|
| | | | Q_2 | Q_1 | Q_0 | Q_2 | Q_1 | Q_0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 8 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 16 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 24 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 9 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 17 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 25 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 2 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 10 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 18 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |
| 26 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 3 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 11 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 19 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 27 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 4 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 12 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 20 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 28 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 5 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 13 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 21 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 29 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 |

TODOS

Q_2 toma valor de Q_1
 Q_1 bascula si $Q_0 = 1$
 Q_1 no cambia si $Q_0 = 0$
 Q_0 depende de J y K

Q_2 toma valor de $Q_1 \Rightarrow Q_2 = 1$
 Q_1 no cambia pq $Q_0 = 0 \Rightarrow Q_1 = 1$
 Q_0 depende de J-K

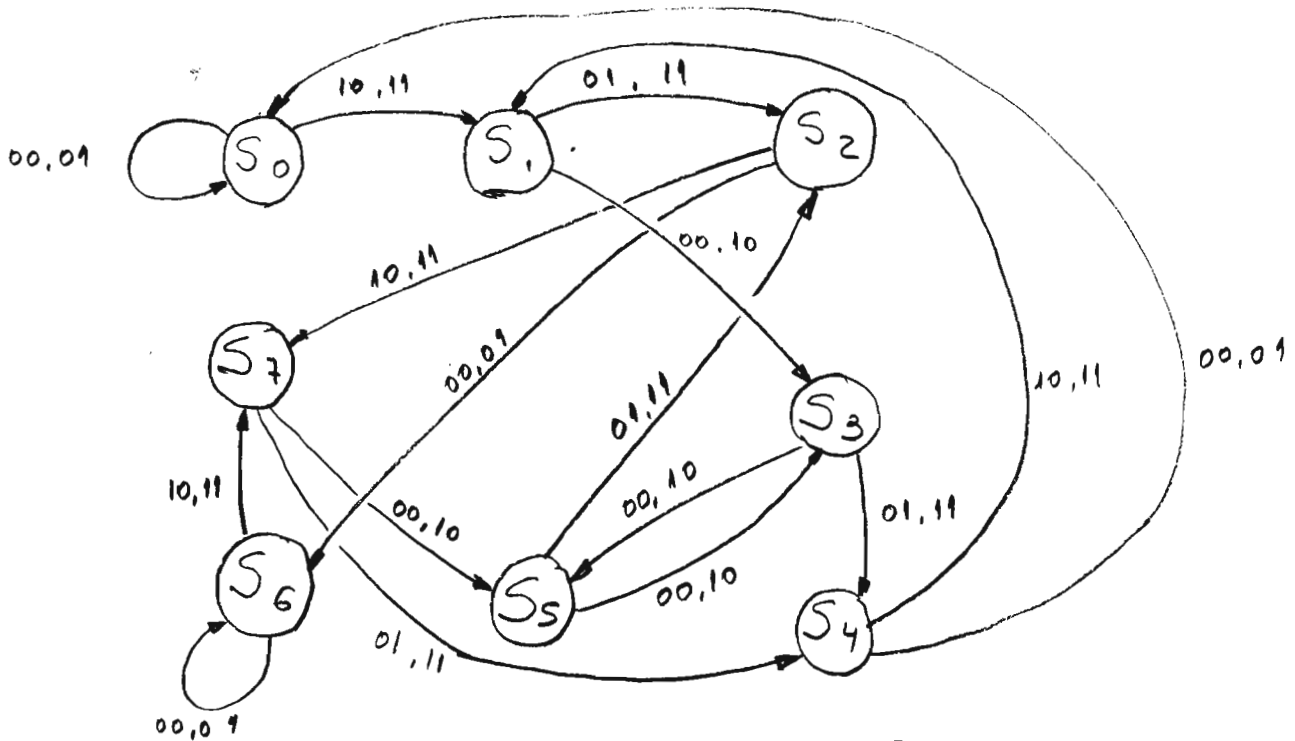
Q_1 cambia pq $Q_0 = 1$

Q_1 no cambia pq $Q_0 = 0$

Q_1 cambia pq $Q_0 = 1$

SIGUE

| m | J | K | Q_2 | Q_1 | Q_0 | Q_2 | Q_1 | Q_0 |
|----|---|---|-------|-------|-------|-------|-------|-------|
| 6 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 14 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 22 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 30 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 7 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 15 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 23 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 31 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |

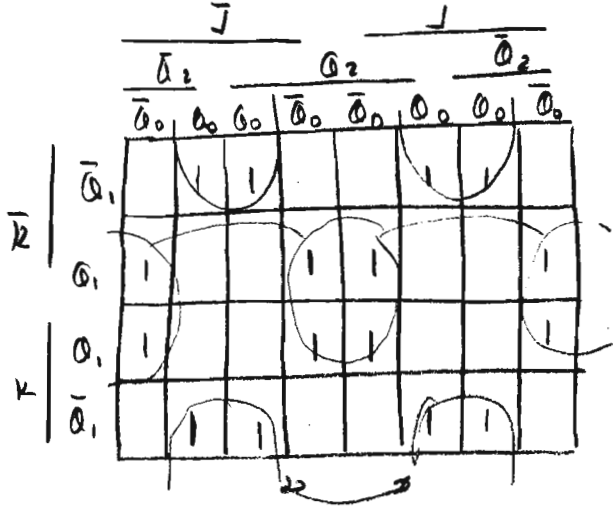


minterm

| | \bar{J} | | | | J | | | | |
|-----------|-------------|-------|-------------|-------|-------------|-------|-------------|-------|----|
| | \bar{Q}_2 | | Q_2 | | \bar{Q}_2 | | Q_2 | | |
| | \bar{Q}_0 | Q_0 | \bar{Q}_0 | Q_0 | \bar{Q}_0 | Q_0 | \bar{Q}_0 | Q_0 | |
| \bar{K} | \bar{Q}_1 | 0 | 1 | 5 | 4 | 20 | 21 | 17 | 16 |
| K | Q_1 | 2 | 3 | 7 | 6 | 22 | 23 | 19 | 18 |
| | Q_1 | 10 | 11 | 15 | 14 | 30 | 31 | 27 | 26 |
| | \bar{Q}_1 | 8 | 9 | 13 | 12 | 28 | 29 | 25 | 24 |

| | \bar{J} | | | | J | | | |
|-----------|-------------|-------|-------------|-------|-------------|-------|-------------|-------|
| | \bar{Q}_2 | | Q_2 | | \bar{Q}_2 | | Q_2 | |
| | \bar{Q}_0 | Q_0 | \bar{Q}_0 | Q_0 | \bar{Q}_0 | Q_0 | \bar{Q}_0 | Q_0 |
| \bar{K} | \bar{Q}_1 | | | | | | | |
| K | Q_1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | Q_1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | \bar{Q}_1 | | | | | | | |

$Q_2 = Q_1$
 ↑
 ERA
 OBVIO
 DESDE EL
 PRINCIPIO



Q1

$$Q_1 = Q_1 \bar{Q}_0 + \bar{Q}_1 Q_0 = Q_1 \oplus Q_0$$

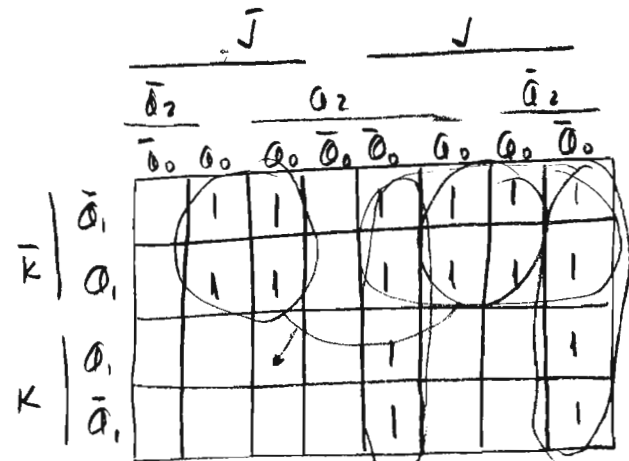
$$Q_0 = 0 \Rightarrow Q_1 = Q_1 \bar{Q}_0 = Q_1 \cdot 1 = Q_1$$

$$Q_0 = 1 \Rightarrow Q_1 = \bar{Q}_1 Q_0 = \bar{Q}_1 \cdot 1 = \bar{Q}_1$$

efectivamente

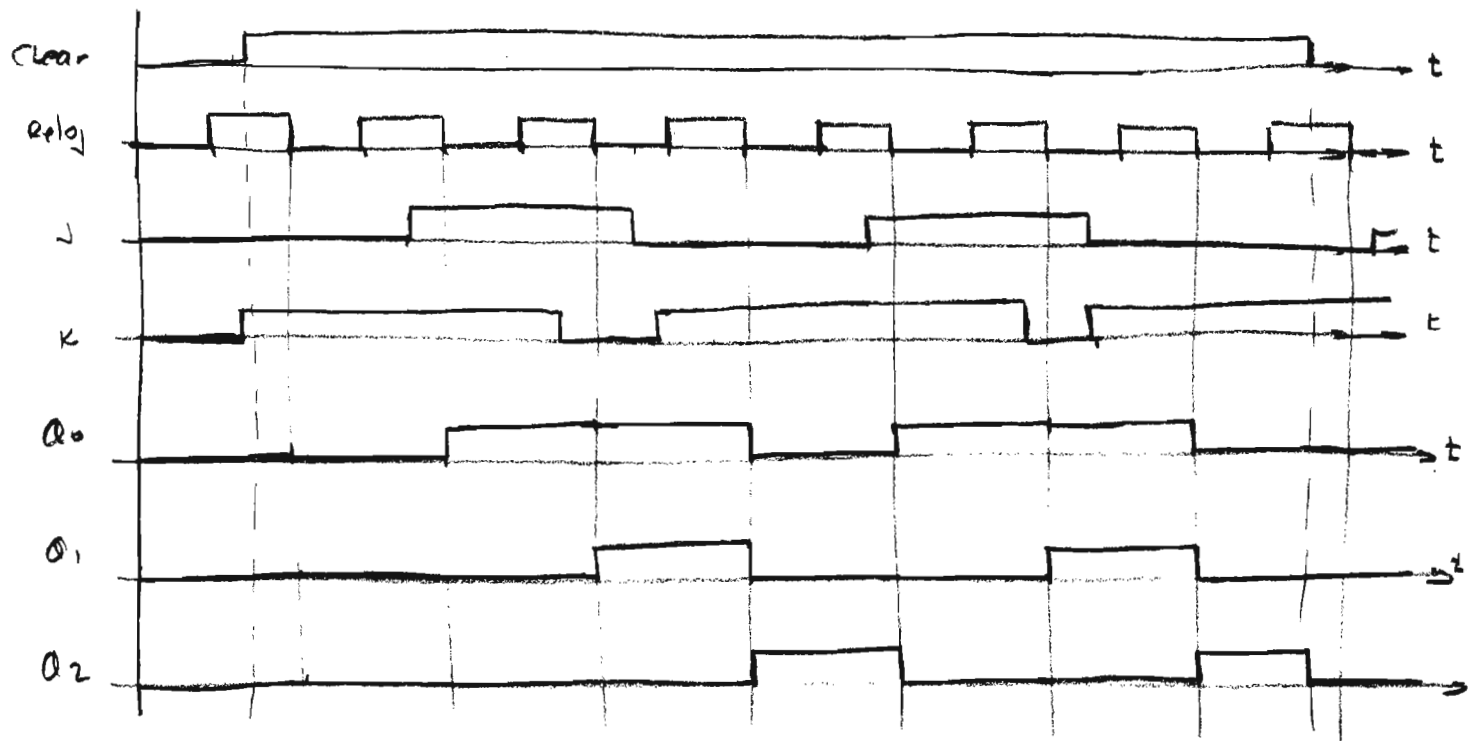
Si $Q_0 = 0 \rightarrow$ No varia

Si $Q_0 = 1 \rightarrow$ Bascula



Q0

$$Q_0 = J \bar{K} + J \bar{Q}_0 + \bar{K} Q_0$$





Sept. - 2007
Reserva

EXAMEN: Tipo -
Desarrollo

Nacional y U.E.

MATERIAL: Ninguno

2 Cuatrimestre

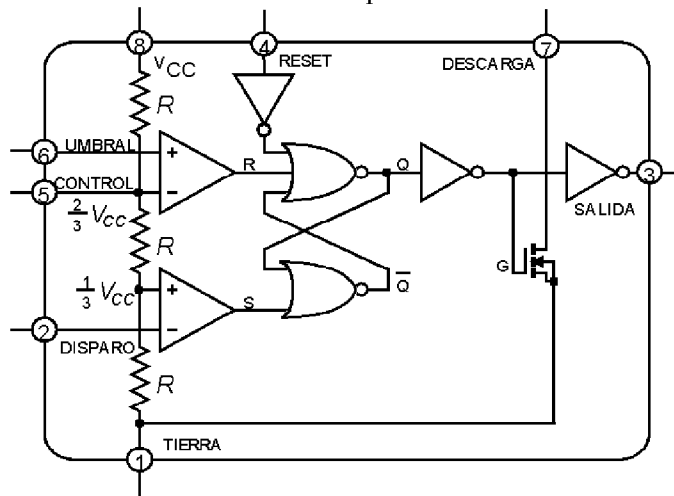
Hoja: 1 de 1

1. Circuitos selectores de datos (multiplexos):

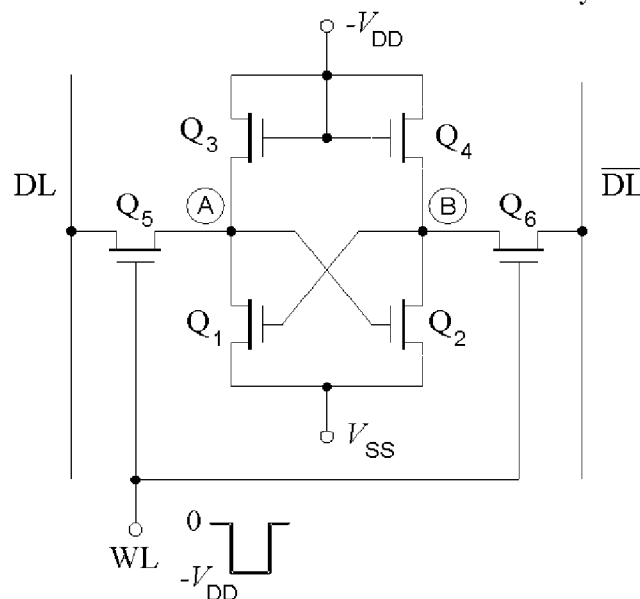
1.1. Concepto de multiplexo.

1.2. Aplíquelo al diseño a dos niveles (usando multiplexos de 4 entradas a 1 salida) de la siguiente función lógica: $f = (\bar{x}\bar{y}\bar{z} + x\bar{y}z + xy\bar{z}) (u\bar{v} + \bar{u}v)$

2. La figura adjunta muestra el esquema de un temporizador tipo 555, en el que no se han completado las conexiones externas. ¿Podría completarlas para que funcione en modo monoestable y explicar su funcionamiento, incluyendo el cálculo de la duración del pulso?



3. Explicar el funcionamiento de la celda de memoria RAM estática de la figura y dibujar el cronograma en el que se muestre la evolución de las señales (formas de ondas) en DL, WL y \overline{DL} durante los procesos de lectura y escritura. Todos los transistores son de acumulación o realce y canal P.



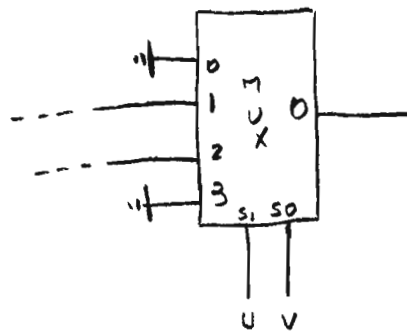
1) Multiplexor \rightarrow apuntes

$$f = (\bar{x}\bar{y}\bar{z} + x\bar{y}z + xy\bar{z}) (u\bar{v} + \bar{u}v) \rightarrow \text{MUX 2 niveles}$$

- No hace falta expandir uv $\&$ puede tomar como "uv" como 2º nivel.

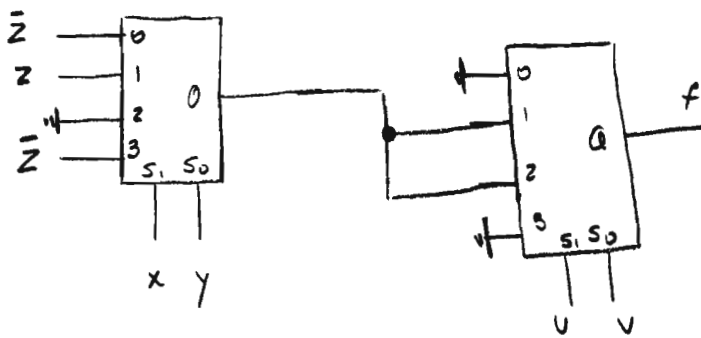
No hay términos $\bar{u}\bar{v}$ y uv

\Downarrow
Entradas \emptyset y $3 = \emptyset$



- $f_1 = \bar{x}\bar{y}\bar{z} + x\bar{y}z + xy\bar{z} \rightarrow$ Variables x, y

$$f_1 = \bar{x}\bar{y}(\bar{z}) + \bar{x}y(z) + x\bar{y}(0) + xy(\bar{z})$$



Tener en cuenta que $(u\bar{v} + \bar{u}v)$ es común a la parte x, y, z . Esto es

$$\left\{ \begin{array}{l} u\bar{v}(\bar{x}\bar{y}\bar{z} + x\bar{y}z + xy\bar{z}) \\ \bar{u}v(\bar{x}\bar{y}\bar{z} + x\bar{y}z + xy\bar{z}) \end{array} \right.$$

\Downarrow
Las entradas de " $u\bar{v}$ " y " $\bar{u}v$ " son iguales \Rightarrow unidas

2.3 Pregunta \rightarrow Teóricas \Rightarrow Libro.