

Primera Semana

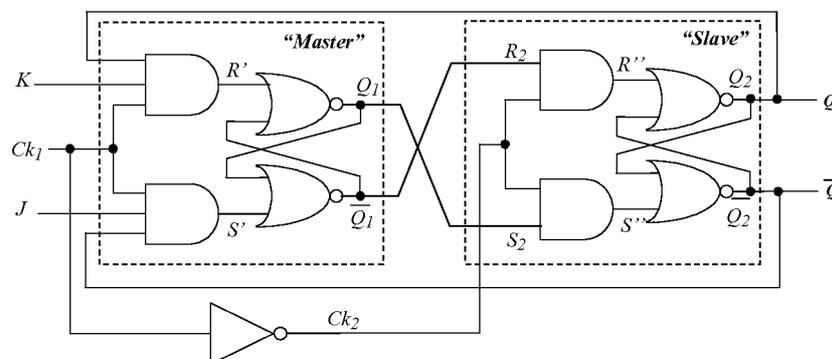
1.- Puertas de transmisión:

- 1.1. Principio de funcionamiento de la puerta de transmisión en CMOS.
- 1.2. ¿Qué circuito tendríamos que añadirle para convertirlo en un Conmutador Bilateral en CMOS?. Dibuje el circuito completo y explique su funcionamiento.

2. Biestables J-K Master Slave.

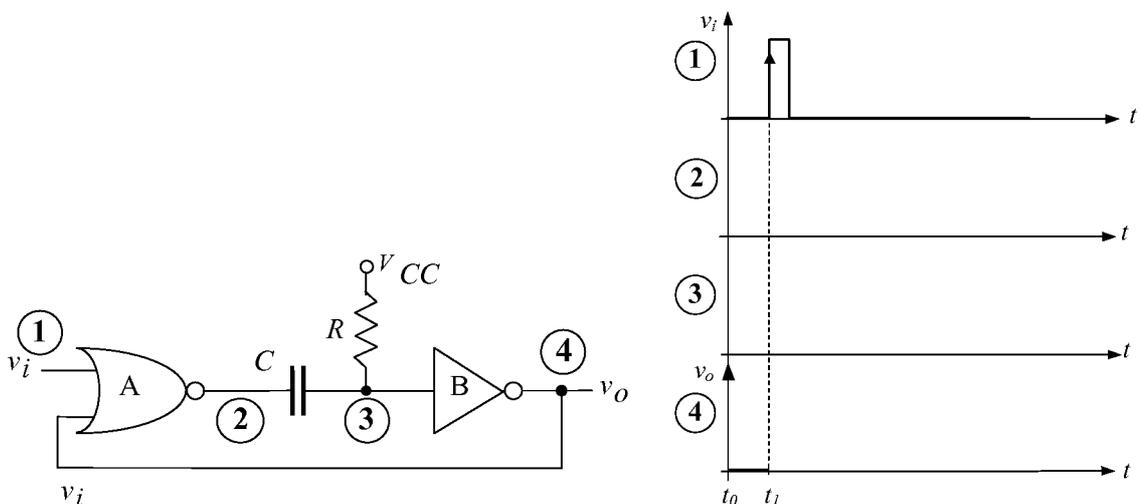
El circuito de la figura adjunta muestra una posible configuración para los biestables J-K Master Slave.

- 2.1. Explique el funcionamiento haciendo énfasis en los sucesos que ocurren en los instantes de conmutación entre ambas secciones
- 2.2. Construya un cronograma que muestre la evolución temporal de las señales de reloj (Ck_1 y Ck_2), J , K , Q_1 , \bar{Q}_1 , Q_2 , \bar{Q}_2 , durante los intervalos en los que el estado del biestable permanece estable y durante las transiciones de estado de las secciones "Master" y Slave".



3. Monoestable:

La figura adjunta muestra el circuito básico de un monoestable a partir de un inversor CMOS. Explique su funcionamiento y construya el diagrama de tiempos correspondiente a las señales en los puntos marcados con 2, 3 y 4 y partiendo del pulso de disparo aplicado en la entrada, v_i , que se muestra en el cronograma. Considérese que inicialmente la salida es nula, es decir, que $v_o = 0$ desde t_0 hasta t_1 .



Segunda Semana

1 Puerta NAND en CMOS

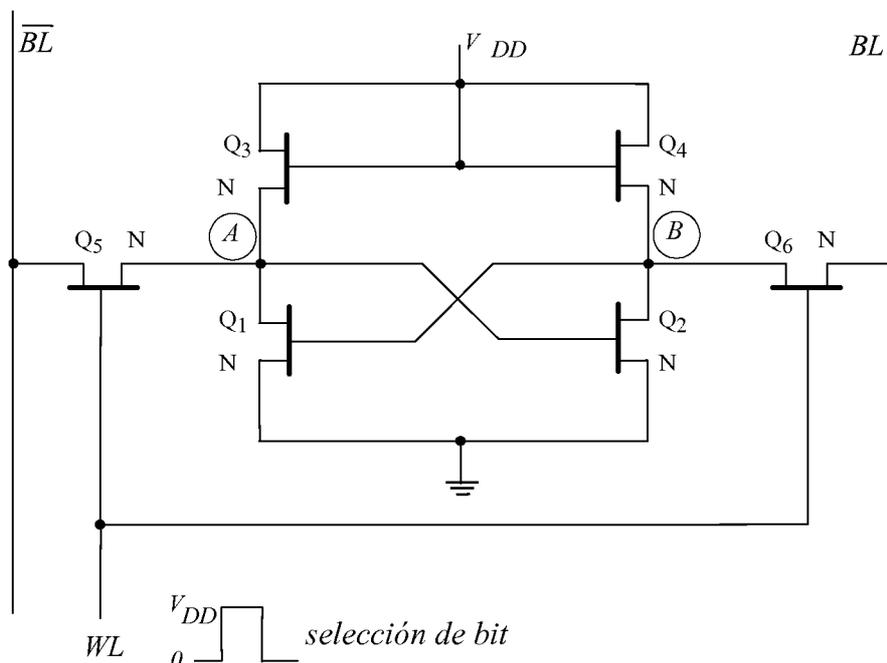
- 1.1. Dibuje el circuito de una puerta NAND en CMOS de 2 entradas y explique su funcionamiento especificando el estado de cada uno de los transistores para cada una de las posibles configuraciones de entrada.
- 1.2. Explique las reglas de transformación para pasar de NAND a NOR y aplíquelas para obtener una puerta NOR en CMOS de 2 entradas a partir de la NAND del apartado anterior.

2. Demultiplexos:

- 2.1. ¿En qué consiste la función de demultiplexado?.
- 2.2. Diseñe, con puertas lógicas, un demultiplexo de 1 a 4.
- 2.3. Considerando este demultiplexo de 1 a 4 como bloque funcional básico haga las conexiones adecuadas para que funcione como un demultiplexo de 1 a 2.
- 2.4. Obtenga un demultiplexo de 1 a 8 usando como único bloque funcional básico los demultiplexos de 1 a 4. Es decir, debe usar tantos demultiplexos de 1 a 4 como sean necesarios pero no puede usar ninguna puerta, ni ningún otro tipo de circuito adicional.

3. Celda RAM estática (SRAM) en tecnología MOS.

Explique el funcionamiento de la celda SRAM de la figura adjunta especificando el estado de cada uno de los transistores cuando se escribe un "1" y cuando se lee el "1" almacenado.



1. Circuitos selectores de datos (multiplexos):
 - a. Concepto de multiplexo.
 - b. Aplíquelo al diseño a dos niveles (usando multiplexos de 4 entradas a 1 salida) de la siguiente función lógica:

$$f = (\bar{x}\bar{y}\bar{z} + x\bar{y}z + xy\bar{z})(u\bar{v} + \bar{u}v)$$

2. Para la síntesis de circuitos secuenciales síncronos se puede hacer uso de cualquier tipo de biestable (D, T ó J-K). Supongamos que **sólo disponemos de biestables J-K**:

- a. Cuáles deben ser los valores de J y K para que se produzcan cada una de las 4 transiciones posibles entre el estado actual (Q_n) y el nuevo estado (Q_{n+1}). Responda a esta cuestión justificando la respuesta en cada uno de los 4 casos.
- b. Sintetice utilizando biestables J-K el circuito secuencial cuyo diagrama de transición de estados es el de la figura 1.

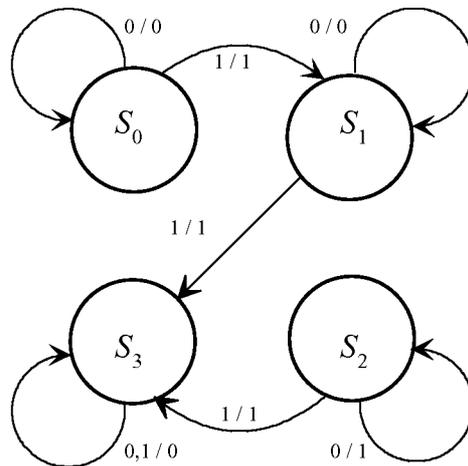


Figura 1

3. Memorias SRAM:

- a. Organización
- b. Explique el funcionamiento de las celdas SRAM de la figura 2.

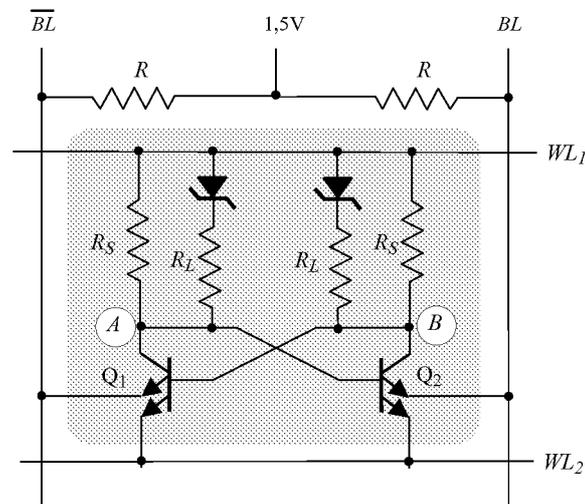


Figura 2