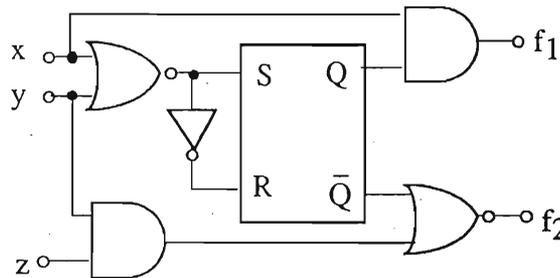




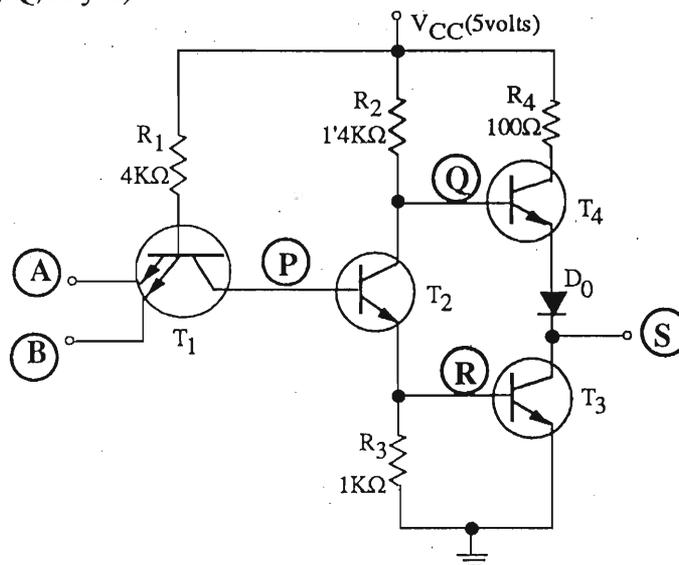
ELECTRÓNICA DIGITAL (1^{er} Curso de Informática)
Código Carrera: 40. Código Asignatura: 107
Primera Semana. Mayo 1994. Duración: 2 horas

NOTA: Para la realización de este examen no se permite el uso de **Calculadora ni de ningún otro material.**

1. Minimizar la función $f(x,y,z) = (x+y)(\bar{x}+y)\bar{z}+xyz$, y sintetizar la expresión mínima resultante usando sólo puertas NAND. ¿Cómo se sintetizaría esta función usando un multiplexo de 4 a 1?
2. Analizar el circuito de la figura obteniendo las expresiones lógicas de las funciones de salida f_1 y f_2 y el diagrama de transición de estados para cada una de las configuraciones de entrada



3. El circuito de la figura muestra el esquema de una puerta NAND de 2 entradas en TTL. Explicar su funcionamiento siguiendo el camino de las señales para las configuraciones {00, 01, 10} y {11}, calculando el valor de las tensiones en los puntos (A, B, P, Q, R y S).



4. Diseñar usando biestables J-K un contador **Asíncrono** de 3 bits. ¿Qué tendría que añadirse para convertirlo en **Síncrono**?



UNIVERSIDAD NACIONAL DE
EDUCACION A DISTANCIA

Dpto. de Informática y Automática
Facultad de Ciencias

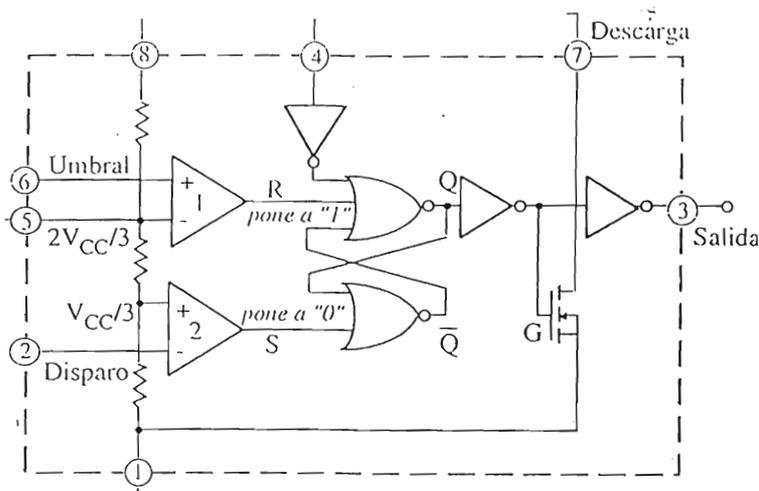
ELECTRÓNICA DIGITAL (1^{er} Curso de Informática)

Código Carrera: 40 Código Asignatura: 107

Septiembre 1994 Duración: 2 horas

NOTA: Para la realización de este examen **NO** se permite el uso de **Calculadora ni de ningún otro material**

1. Minimizar la siguiente función: $f(x, y, z) = \overline{xy}z + \overline{x}yz + x\overline{y}z$ y expresarla como producto de Maxterms. Sintetizarla usando sólo puertas NAND. ¿Cuál sería la síntesis con un circuito PAL?
2. Explicar el circuito sumador completo, es decir, sumador de dos bits con acarreo (A, B, C_i). ¿Como deben conectarse estos circuitos para obtener un sumador de palabras de tres bits con acarreo enlazado?. ¿Qué modificaciones deben introducirse para convertir este sumador en otro más rápido de acarreo adelantado?
3. La figura adjunta muestra el esquema interno de un circuito de tiempo tipo 555. Explicar su funcionamiento y realizar las conexiones externas necesarias para que funcione en modo monoestable.



4. Memorias asociativas (CAM). Aspectos básicos.



UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Informática y Automática
Facultad de Ciencias
C/Senda del Rey s/n
28040 MADRID

Ingeniería Técnica en Informática de Sistemas

Examen de Electrónica Digital

Curso: 1º (Código 401079)

Duración: 2 horas

(No se permite el uso de ningún material ni de calculadora)

Primera Semana Junio 1995

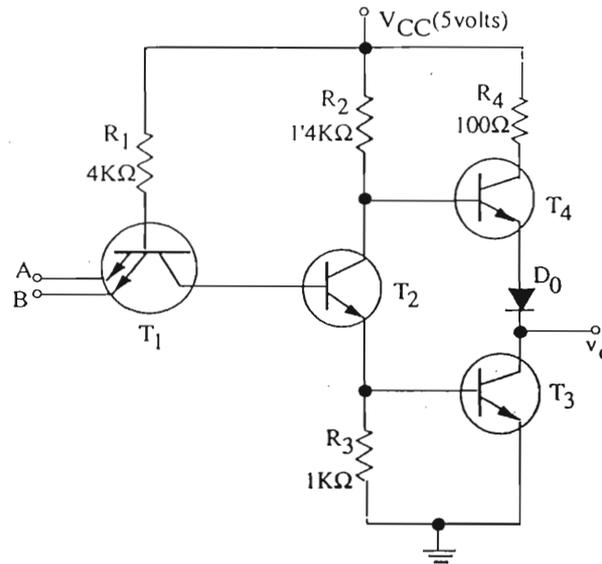
1. Representar en forma canónica de términos mínimos las funciones:

$$A = f_1(x, y, z) = x\bar{z}(y + \bar{z} + \bar{x}) + \bar{x}y\bar{z}$$

$$B = f_2(x, y, z) = x + \bar{y} + \bar{z}$$

Sintetizar A usando sólo puertas NOR y B usando sólo puertas NAND.

2. Dado el circuito básico de una puerta NAND en TTL de la figura, analizar el comportamiento estático y el proceso de transición cuando la salida pasa de baja a alta.



3. Circuitos multiplexores: Comentar su estructura interna, su función y la razón de su utilidad en el diseño combinacional. Usar multiplexores de cuatro entradas a una salida para generar las funciones:

$$f_1(x, y, z, u, v) = x\bar{y}(u + \bar{v}) + y + \bar{u}v$$

$$f_2(x, y, z, u, v) = \bar{x}yzu\bar{v} + x\bar{y}z\bar{u}v$$

4. Contadores síncronos reversibles. Diagrama de transición de estados y síntesis con lógica programable y biestables D (o biestables J-K, a elegir). Usar el ejemplo de tres bits.



UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Informática y Automática
Facultad de Ciencias
C/Senda del Rey s/n
28040 MADRID

Ingeniería Técnica en Informática de Sistemas

Examen de Electrónica Digital

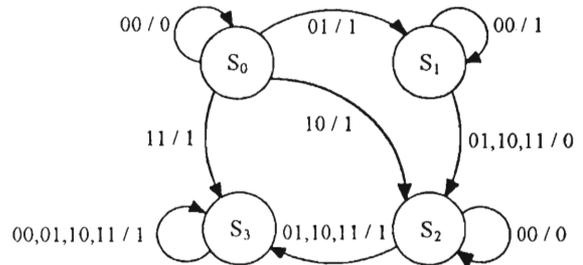
Curso: 1º (Código 401079)

Duración: 2 horas

(No se permite el uso de ningún material ni de calculadora)

Segunda Semana Junio 1995

1. Diseñar el circuito secuencial cuyo diagrama de transición de estados es el de la figura adjunta:



2. Concepto básico en los circuitos tipo SN74181 (ALU's). Aplicación al caso particular de una "mini-ALU" que sólo queremos que realice las cuatro funciones aritmético-lógicas (sin acarreo) siguientes: $F_1 = A + B$; $F_2 = A + \bar{B}$; $F_3 = (A + B) \text{ PLUS } A\bar{B}$; $F_4 = A \oplus B$. Utilizar los datos de la tabla siguiente que es un extracto de la correspondiente a una ALU tipo SN74181.

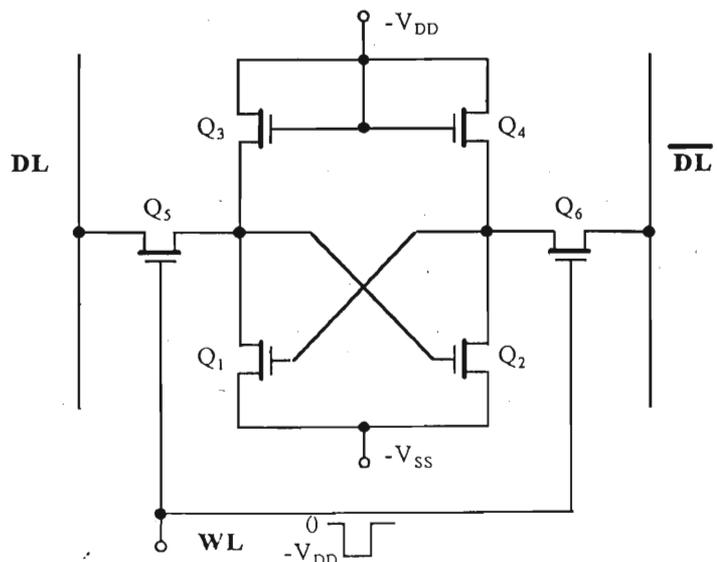
SELECCIÓN			DATO ACTIVO EN ALTA	
S ₂	S ₁	S ₀	M = H	M = L
			Funciones Lógicas	Func. Aritméticas (sin acarreo)
L	L	L	$F = \bar{A}$	$F = A$
L	L	H	$F = A + B$	$F = A + B$
L	H	L	$F = \bar{A}B$	$F = A + \bar{B}$
L	H	H	$F = 0$	$F = \text{MINUS } 1$
H	L	L	$F = \overline{AB}$	$F = A \text{ PLUS } A\bar{B}$
H	L	H	$F = \bar{B}$	$F = (A + B) \text{ PLUS } A\bar{B}$
H	H	L	$F = A \oplus B$	$F = A \text{ MINUS } B \text{ MINUS } 1$
H	H	H	$F = A\bar{B}$	$F = A\bar{B} \text{ MINUS } 1$

*R. H. ...
JC ...
7/9/99*

¿Cómo sería el circuito de control necesario para que estas cuatro operaciones se realicen de forma secuencial y cíclica?. Es decir, primero F_1 , después F_2 , etc.. (Se sugiere usar dos variables de control (x_1, x_2), un contador y un circuito combinacional para obtener M, S₂, S₁, S₀).

3. El circuito de la figura muestra el esquema de una celda de memoria RAM estática en tecnología MOS. Explica cualitativamente su funcionamiento (direccionamiento, almacenamiento de un "0" ó de un "1" y lectura).

Comenta el estado de los transistores (Q_1, \dots, Q_6) durante el proceso de lectura y dibuja el cronograma en el que se muestre la evolución temporal de las señales de control (DL, WL, \overline{DL}).

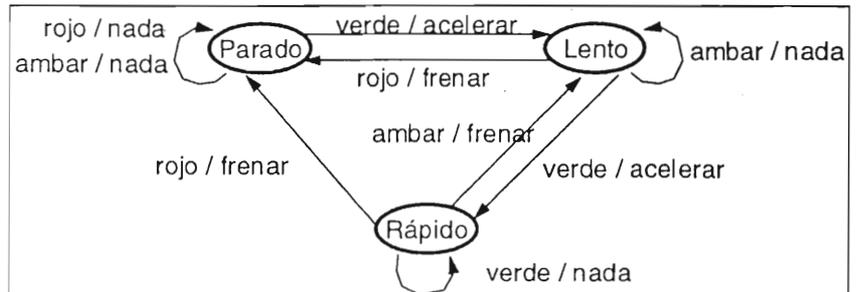




(NO se permite el uso de NINGÚN material NI de calculadora)

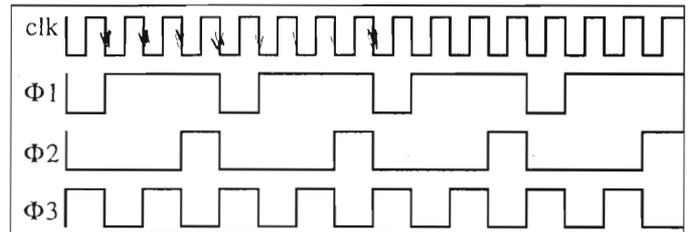
Septiembre 1995

1. Diseñar el circuito secuencial representado por el diagrama de transiciones de estado que se muestra en la figura adjunta con los estados {parado, lento, rápido}, las entradas {rojo, ambar, verde} y las salidas {nada, acelerar, frenar}.



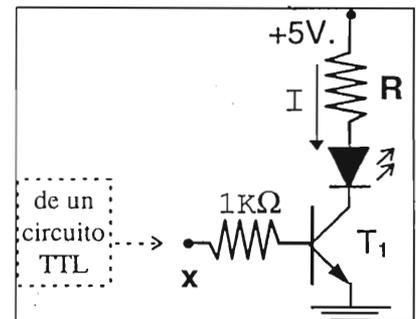
Utilizar únicamente biestables tipo J-K y puertas NAND.

2. Diseñar un circuito para un reloj polifásico que genere las formas de onda $\{\Phi_1, \Phi_2, \Phi_3\}$ de la figura en función de una señal de onda cuadrada (clk). Utilizar únicamente biestables T disparados por flanco de bajada del reloj y PROM's de dos entradas y cuatro salidas.



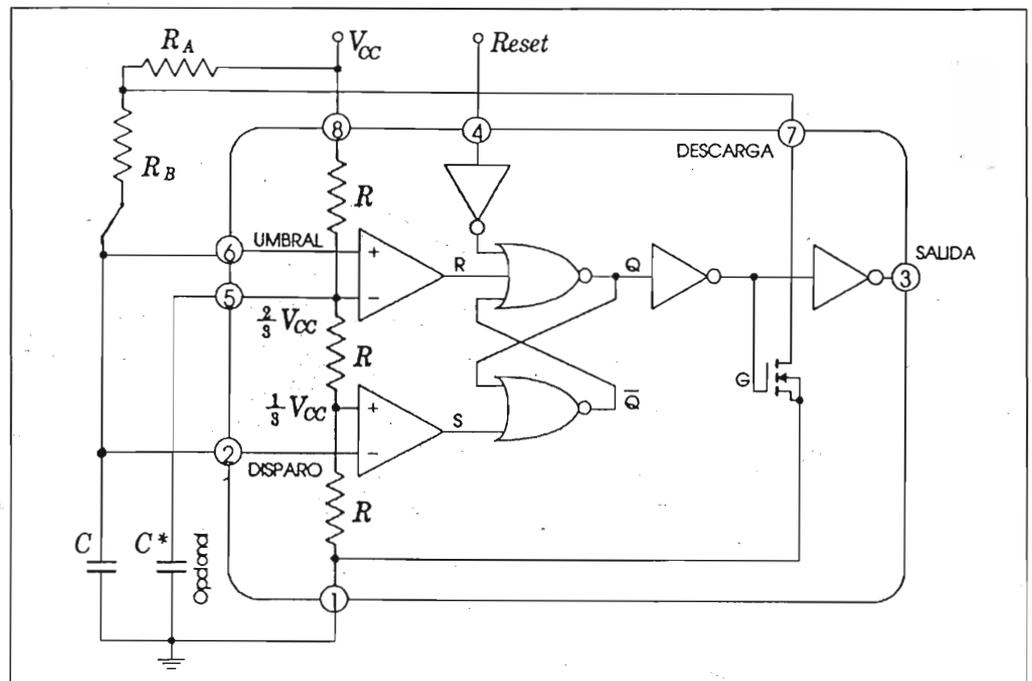
3. En el circuito adjunto calcular el valor de la resistencia R para que la corriente I que circule por el diodo LED sea de unos 12 mA cuando se ilumina. La tensión de despegue del diodo es $V_Y = 1,4 V$. y su resistencia en conducción es de $R_D(on) = 100 \Omega$.

Describir el comportamiento del circuito y el estado del LED para los distintos valores de la entrada x que proviene de un circuito TTL estándar.



4. La figura adjunta muestra un circuito de tiempo de tipo 555 con las conexiones externas adecuadas para que opere en modo astable.

Explicar su funcionamiento, dibujando las formas de onda en los terminales del condensador C .





UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA

Dpto. de Informática y Automática
Facultad de Ciencias
C/Senda del Rey s/n
28040 MADRID

Ingeniería Técnica en Informática de Sistemas

Examen de Electrónica Digital

Curso: 1º (Código 401079)

Primera Semana. 1996. Duración: 2 horas

(No se permite el uso de ningún material ni de calculadora)

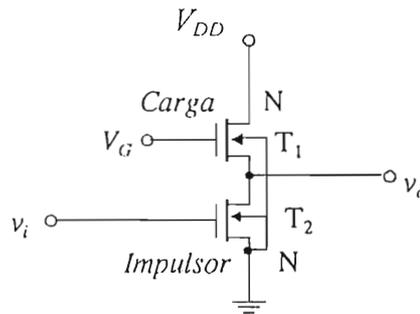
1. Minimizar las siguientes funciones lógicas de 4 variables usando diagramas de Karnaugh.

$$f_1 = ABCD + \bar{A}\bar{B}CD + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC\bar{D} + \bar{A}\bar{B}C\bar{D}$$

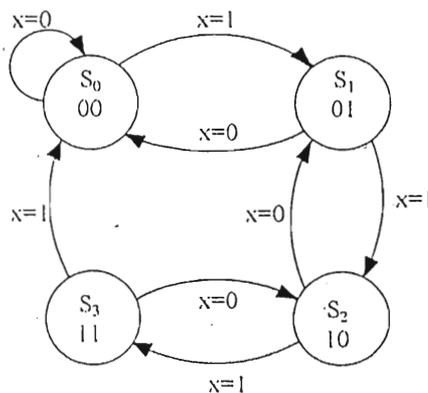
$$f_2 = ABCD + \bar{A}BC + \bar{A}\bar{B}CD + ABC\bar{D} + \bar{A}B\bar{C} + \bar{A}\bar{B}C\bar{D}$$

¿A qué operación aritmética corresponden f_1 y f_2 , a la vista del resultado de la simplificación?
Sintetizar ambas funciones usando sólo puertas NOR

2. La figura adjunta muestra el esquema de un inversor MOS. Explicar su funcionamiento y obtener la característica de transferencia, ilustrando su procedimiento de cálculo a partir de las correspondientes al transistor impulsor (T_1) y al de carga (T_2). ¿Cómo se combinarían dos impulsores y una carga para obtener una puerta NOR en MOS?. ¿Y para obtener una NAND?.



3. Procedimiento general de síntesis de circuitos secuenciales con PLD's y biestables D.
Aplicarlo al autómata descrito por el siguiente diagrama de transición de estados:



4. Contadores síncronos.



UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA

Dpto. de Informática y Automática
Facultad de Ciencias

Ingeniería Técnica en Informática de Sistemas

Examen de Electrónica Digital

Curso: 1º (Código 401079)

Segunda Semana. 1996 Duración: 2 horas

(No se permite el uso de ningún material ni de calculadora)

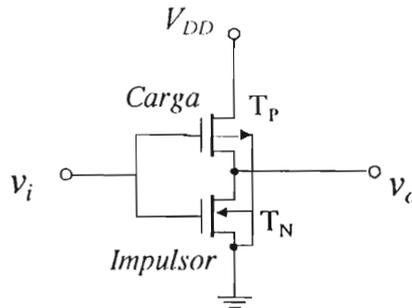
1. Minimizar las siguientes funciones lógicas de 4 variables usando diagramas de Karnaugh.

$$f_1 = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C} + \bar{A}B\bar{C}\bar{D} + ABC + \bar{A}B\bar{C}\bar{D}$$

$$f_2 = \bar{A}BCD + \bar{A}\bar{B}CD + ABC\bar{D} + ABC + \bar{A}BC\bar{D} + \bar{A}\bar{B}C\bar{D} + ABCD$$

¿A qué función aritmética corresponde a la vista del resultado de la simplificación?
Sintetizar ambas funciones usando sólo puertas NAND.

2. La figura adjunta muestra el esquema de un inversor CMOS. Explicar su funcionamiento y obtener la característica de transferencia por composición de las características de salida de T_P y T_N .



3. Conceptos básicos en lógica combinatorial programable. Distinción entre PROM, PAL y PLA. Proponer un nuevo diseño para las funciones f_1 y f_2 de la primera pregunta usando la opción de lógica programable más adecuada (PROM, PAL o PLA). Justificar esta decisión.
4. Estructura general de los registros de desplazamiento.

Proponer el diseño de un sencillo registros de desplazamiento, unidireccional y de 2 bits con posibilidad de entrada serie y paralelo. Incluir las entradas de reloj (Ck) y "clear".



UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial
Facultad de Ciencias
C/Senda del Rey s/n
28040 MADRID

Ingeniería Técnica en Informática de Sistemas
Examen de **Electrónica Digital**
Curso: 1º (Código 401079)

Duración: **2 horas**

NO se permite NINGÚN material auxiliar NI calculadora

Junio 1997. (1ª Semana)

1. Sea la siguiente función combinacional:

$$f(A,B,C,D) = A'B'C'D' + A'B'CD' + A'BC'D' + A'BCD' + AB'C'D' + AB'CD' + ABC'D' + ABCD'$$

Simplificar esta función e implementarla:

- a) Con puertas NOR.
- b) Con PLD's, elegir la más adecuada.

Nota X' corresponde a "X negado".

2. Responder a los siguientes apartados:

- 2.1 Comentar la familia CMOS.
- 2.2 Diseñar una puerta NAND de tres entradas (A,B,C) en lógica CMOS.
- 2.3 Analizar el circuito para las siguientes configuraciones de entrada especificando el estado de cada uno de los transistores de la puerta

A	B	C
1	1	1
1	0	1

3. Contadores Binarios Asíncronos.

- 3.1 Explicar sus características.
- 3.2 Diseñar un contador asíncrono de 3 bits (8 estados) y dibujar su cronograma para la entrada :
1 0 0 1 1 0 0

	t=6	t=5	t=4	t=3	t=2	t=1	t=0
.....	0	0	1	1	0	0	1

Atencion: NO entregue esta hoja de enunciados. Conteste en las hojas dobles de *pruebas presenciales* (selladas por el tribunal) con sus datos (nombre, apellidos y DNI) y numérelas en orden. Incluya comentarios con los pasos y cálculos intermedios para resolver los problemas.



Junio 1997. (2ª Semana)

1. Sea la siguiente función combinacional:

$$f(A,B,C,D) = A'B'CD' + A'B'CD + A'BCD' + A'BCD + AB'CD' + ABC'D' + ABC'D + ABCD$$

Simplificar esta función e implementarla:

- Con puertas NAND.
- Con Multiplexores de cuatro entradas de datos y dos de selección.

Nota X' corresponde a "X negado".

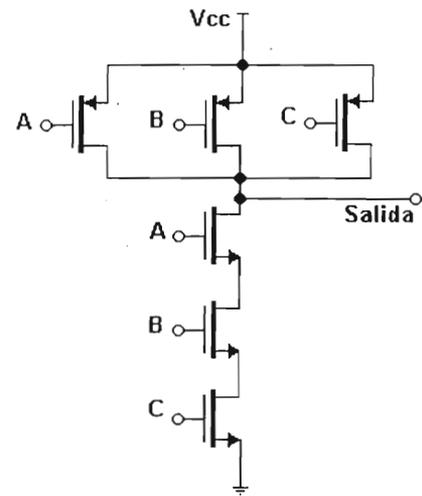
2. En el circuito de la figura se observa una puerta NAND de tres entradas.

2.1 A partir de las reglas de transformación, obtener la solución complementaria (puerta NOR).

2.2 Comparar las familias lógicas CMOS, TTL y ECL.

2.3 Explicar qué familia elegiría si primase cada uno de los siguientes conceptos por separado:

- Tiempo de propagación (rapidez).
- Muy bajo consumo.
- Alta inmunidad al ruido.

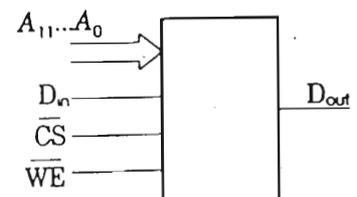


3. Responder a los siguientes apartados:

3.1 Estructura organizativa de las memorias RAM estáticas

3.2 Supongamos que disponemos del circuito de la figura adjunta que es una memoria RAM estática organizada como 4096 "palabras" de un solo bit:

- Diseñar el circuito selector de filas que pase de (A_0, \dots, A_5) a las filas correspondientes. Tenemos así también el circuito selector de columnas.
- ¿Que contador binario deberíamos usar para conseguir recorrer todas las direcciones posibles de forma secuencial? ¿Cómo deberíamos conectarlo?





Mayo 1998

1. Cuestión Teórica

Circuitos Contadores: El objetivo de esta pregunta es dar al alumno la posibilidad de que muestre sus conocimientos globales sobre esta función secuencial, ilustrando sus razonamientos sobre el caso sencillo de contadores con sólo cuatro estados (dos bits). Para ello responda a las siguientes preguntas, justificando en todos los casos las respuestas propuestas.

- 1.1. Tipos de contadores y descripción de su función mediante diagramas de transición de estados.
- 1.2. Síntesis de un contador asíncrono reversible de 4 estados con biestables J-K
- 1.3. ¿Qué modificaciones serían necesarias para convertirlo en síncrono con acarreo paralelo?

2. Problema de Minimización y Síntesis

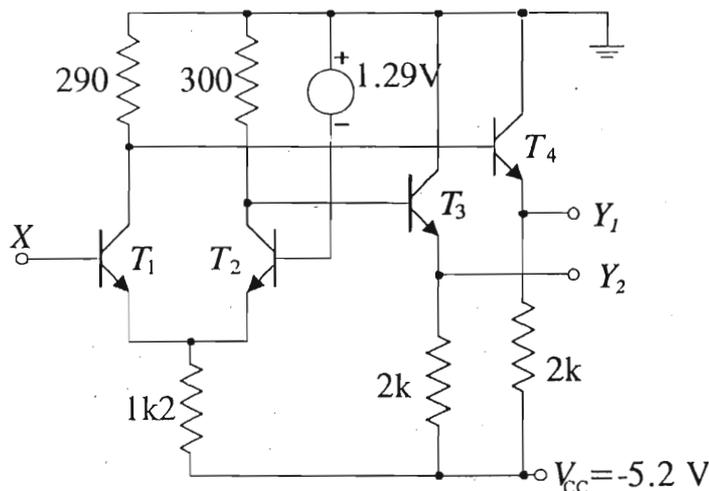
2.1 Minimizar por aplicación reiterativa de los teoremas de DeMorgan y del teorema de adyacencia la siguiente función:

$$A = f_2(X, Y, Z) = (X + Y + \bar{Z}) + (X + \bar{Y} + \bar{Z}) + \bar{X}\bar{Y}Z + \bar{X}Y\bar{Z} + XYZ$$

- 2.2 Proponer un circuito que realice esta función usando sólo puertas NOR.
- 2.3 Proponer otro circuito que realice esta función usando Multiplexos con 2 entradas de control.

3. Problema de análisis de Puertas Lógicas

- 3.1. Analizar el comportamiento del circuito de la figura. ¿Qué función lógica enlaza las salidas Y_1 e Y_2 con la entrada X ? $Y_1 = f_1(X)$, $Y_2 = f_2(X)$
- 3.2. ¿A qué familia lógica pertenece esta puerta? ¿Por qué? ¿Cuáles son las características eléctricas de niveles, ruido, velocidad, consumo y facilidad de acoplo?





Junio 1998

1. Cuestión Teórica

Memorias RAM: El objetivo de esta pregunta es que el alumno muestre su grado de comprensión global sobre la estructura organizativa de las memorias RAM, su forma de direccionamiento y los distintos tipos de celdas básicas. Para ilustrar la respuesta, le sugerimos que use el "caso mínimo" de memorias con sólo *dos palabras* de sólo *dos bits* cada una.

1.1. Organización de las RAM estáticas

1.2. Un ejemplo de celda RAM estática y otro de celda de RAM dinámica.

2. Problema de minimización y síntesis

2.1. Minimizar la función lógica: $f_1 = \prod M(0, 3, 4, 5, 6, 7, 11, 13, 14, 15)$ expresada como producto de maxterms.

2.2. Sintetizar esta función usando multiplexos.

2.3. Proponer una síntesis alternativa usando una PROM.

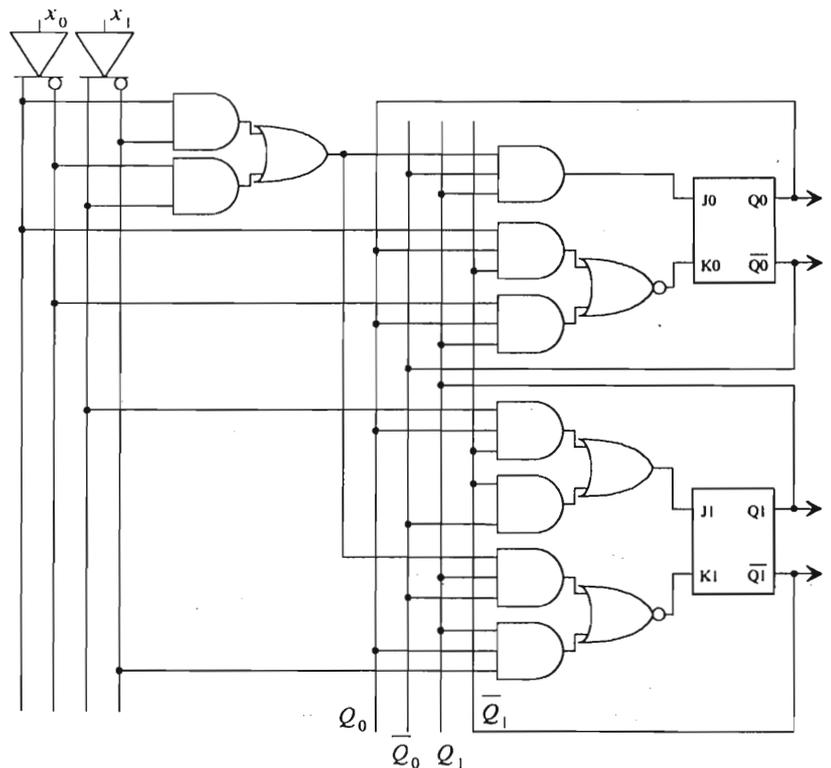
3. Problema de análisis

La figura adjunta muestra el circuito correspondiente a un autómata universal de cuatro estados formado por dos biestables J-K en los que las funciones de disparo (J0, K0) y (J1, K1) dependen de dos entradas externas (x_0, x_1) y de la realimentación de las salidas (Q_0, \bar{Q}_0) y (Q_1, \bar{Q}_1). Analizar este circuito obteniendo:

3.1. Las expresiones lógicas de J0, K0, J1 y K1.

3.2. El diagrama de transición de estados.

3.3. La matriz funcional que representa todas las transiciones posibles entre los estados (00, 01, 10 y 11) en función de las cuatro configuraciones de entrada ($x_0 = 0, x_1 = 0; \dots; x_0 = 1, x_1 = 1$)





Septiembre 1998 (original)

1. Problema de Minimización y Síntesis

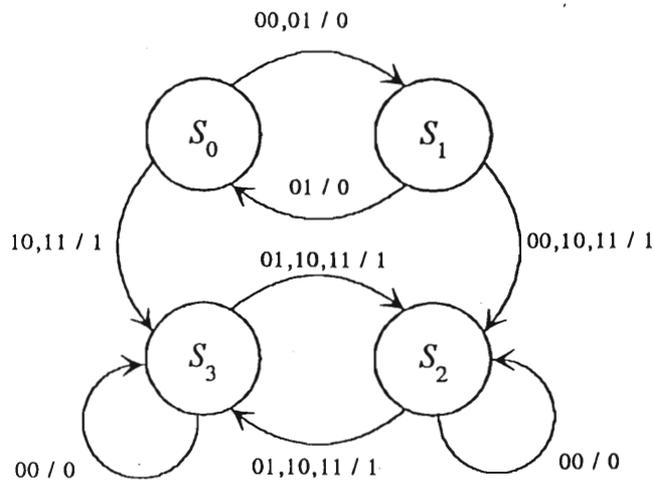
1.1 Minimizar por aplicación reiterativa de los teoremas de DeMorgan y del teorema de adyacencia la siguiente función:

$$f = \sum m(0,1,3,4,5,7,9,11,12,15)$$

1.2 Proponer un circuito que realice esta función usando sólo puertas NAND.

2. Problema de síntesis (secuencial)

2.1. Sintetizar usando biestables D y las puertas lógicas necesarias el autómata finito cuyo diagrama de transición de estados se muestra en la figura.



2.2. En el laboratorio sólo se dispone de biestables J-K. ¿Constituye esto algún problema? ¿Por qué? (justificar la respuesta).

3. Cuestión Teórica

Introducción a la Lógica Programable en el Diseño Combinacional:

3.1. Arquitecturas PLD's, PROM's, PLA's y PAL's.

3.2. Comentar las ventajas e inconvenientes de cada una de estas alternativas.

Nota: El objetivo de esta pregunta es que el alumno muestre su grado de comprensión global sobre la lógica programable. Que entienda las distintas alternativas y que comente el tipo de problemas de diseño en los que son más adecuadas cada una de esas alternativas en función de criterios tales como eficiencia, reprogramabilidad, coste, etc...



Mayo 1999 (Primera Semana)

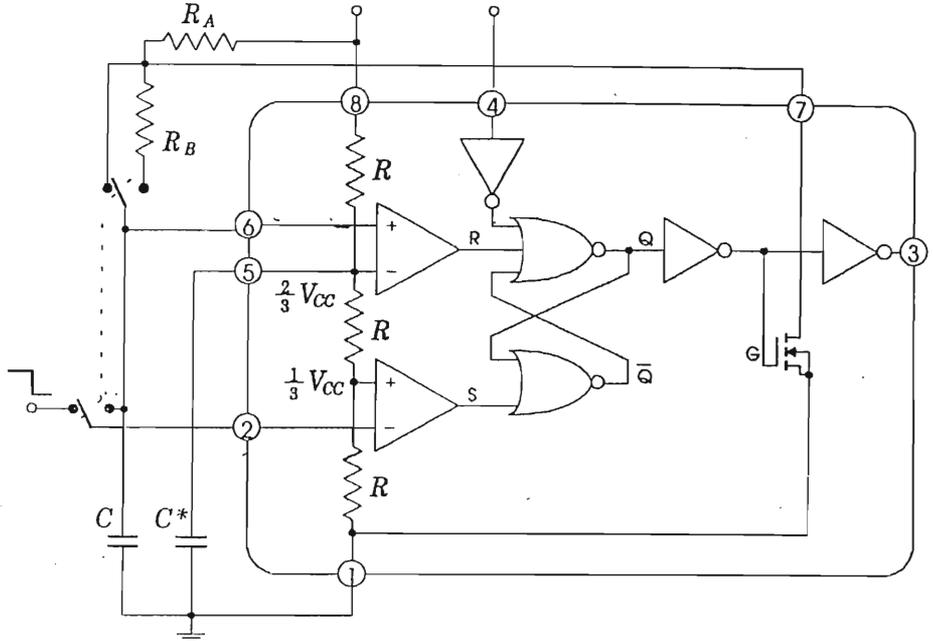
No se permite NINGÚN material auxiliar, NI calculadora

1. Circuitos selectores de datos (Multiplexos). Explicar su función y su uso en el diseño de funciones lógicas. Ilustrar la explicación con un ejemplo.

2. El esquema de la figura corresponde a un cierto circuito que, dependiendo de la posición de los conmutadores, puede realizar dos funciones distintas

2.1. Explicar su funcionamiento, aclararnos de qué tipo de circuito estamos hablando y cuáles son esas dos funciones.

2.2. Especificar el significado funcional de cada uno de sus 8 terminales y calcular las expresiones de los tiempos que caracterizan ambos modos de funcionamiento.

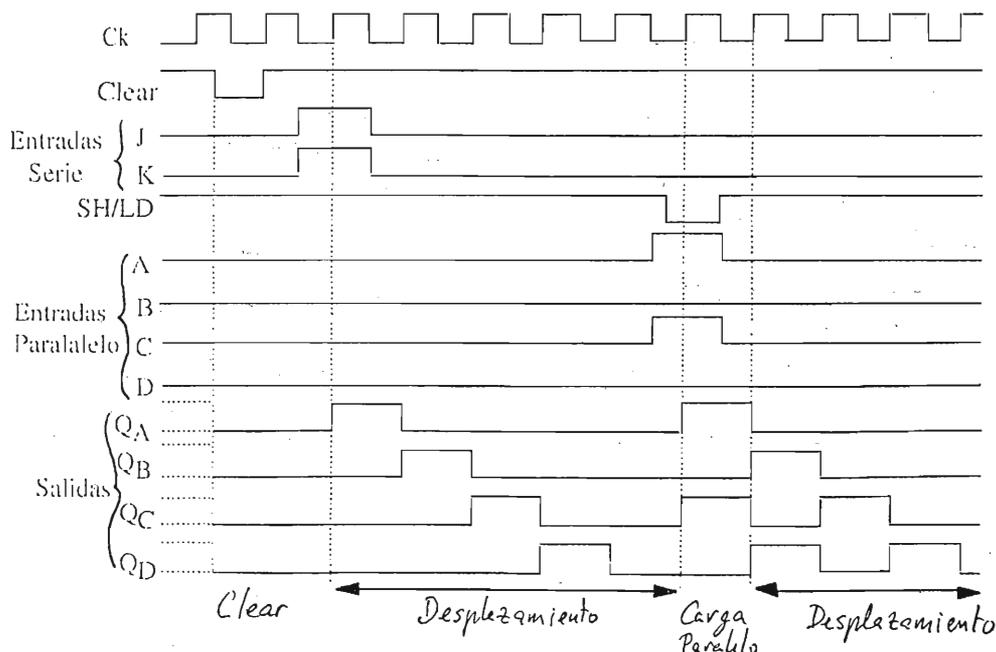


3. La figura adjunta muestra el cronograma de un registro de desplazamiento (tipo 74195) y la tabla de control de función.

3.1. Diseñar y dibujar el circuito correspondiente partiendo de cuatro biestables R-S que disponen también de entradas de "clear" y "reset". Recordar que el circuito debe incluir el control de carga serie y carga paralelo.

3.2. Explicar la evolución temporal de las señales en una secuencia de borrado, desplazamiento serie, carga y nuevo desplazamiento

		ENTRADAS								SALIDAS				
				SERIE				PARALELO						
Clear	SH/LD	Ck	J	\bar{K}	A	B	C	D	QA	QB	QC	QD	\bar{Q}_D	
L	x	x	x	x	x	x	x	x	L	L	L	L	H	
H	L	\uparrow	x	x	a	b	c	d	a	b	c	d	d	
H	H	L	x	x	x	x	x	x	QA0	QB0	QC0	QD0	\bar{Q}_{D0}	
H	H	\uparrow	L	H	x	x	x	x	QA0	QA0	QBn	QCn	\bar{Q}_{Cn}	
H	H	\uparrow	L	L	x	x	x	x	L	QA0	QBn	QCn	\bar{Q}_{Cn}	
H	H	\uparrow	H	H	x	x	x	x	H	QA0	QBn	QCn	\bar{Q}_{Cn}	
H	H	\uparrow	H	L	x	x	x	x	\bar{Q}_{A0}	QA0	QBn	QCn	\bar{Q}_{Cn}	





UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

Ingeniería Técnica en Informática de Sistemas

Examen de Electrónica Digital

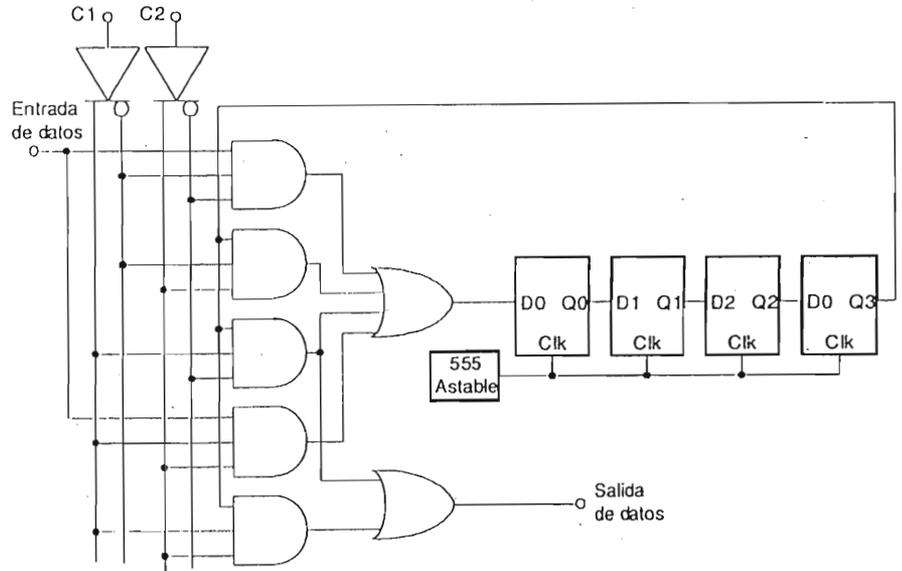
Curso: 1º (Código: 401079)

Duración: 2 horas

Junio 1999 (Segunda Semana)

No se permite NINGÚN material auxiliar, NI calculadora

- 1) La función aritmética de Sumar: 1.1. Semisumador, sumador completo y sumador serie.
1.2. ¿Cómo se convertiría un semisumador en un semirestador?
2. Memorias secuenciales: 2.1. Distintos tipos de organización de los procesos de escritura y lectura.
2.2. Analizar el comportamiento del circuito de la figura para las cuatro configuraciones posibles de control (C_1, C_2). ¿A qué modo de funcionamiento (escritura, lectura, recirculación, etc...) corresponden cada una de las puertas AND?
2.3. Dibujar el cronograma correspondiente a dos modos: escritura y recirculación, recordando que es el 555 el encargado de producir los pulsos de reloj.



3. La tabla de la figura adjunta muestra las configuraciones binarias de un contador síncrono de cuatro bits y el valor de las señales de control necesarias para producir esas transiciones.
3.1. Explicar el significado de la tabla y obtener las ecuaciones de las distintas J y K en función de las Q que definen el estado actual.
3.2. Dibujar el circuito correspondiente a este contador síncrono de cuatro bits con acarreo paralelo y su conversión en reversible.

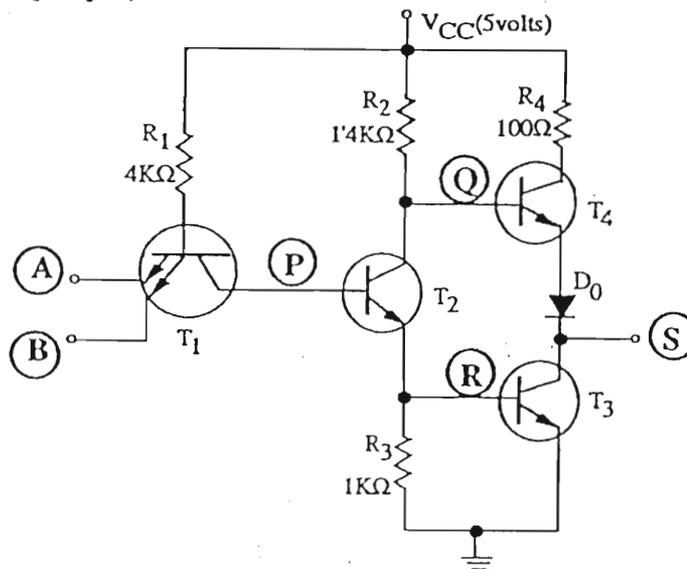
Estado Actual				Estado siguiente				Valor de las Señales de Control							
Q_D^n	Q_C^n	Q_B^n	Q_A^n	Q_D^{n-1}	Q_C^{n-1}	Q_B^{n-1}	Q_A^{n-1}	J_D	K_D	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	0	0	0	0	1	0	*	0	*	0	*	1	*
0	0	0	1	0	0	1	0	0	*	0	*	1	*	*	1
0	0	1	0	0	0	1	1	0	*	0	*	*	0	1	*
0	0	1	1	0	1	0	0	0	*	1	*	*	1	*	1
0	1	0	0	0	1	0	1	0	*	*	0	0	*	1	*
0	1	0	1	0	1	1	0	0	*	*	0	1	*	*	1
0	1	1	0	0	1	1	1	0	1	*	*	0	0	1	*
0	1	1	1	1	0	0	0	1	*	*	1	*	1	*	1
1	0	0	0	1	0	0	1	*	0	0	*	0	*	1	*
1	0	0	1	1	0	1	0	*	0	0	*	1	*	*	1
1	0	1	0	1	0	1	1	*	0	0	*	*	0	1	*
1	0	1	1	1	1	0	0	*	0	1	*	*	1	*	1
1	1	0	0	1	1	0	1	*	0	*	0	0	*	1	*
1	1	0	1	1	1	1	0	*	0	*	0	1	*	*	1
1	1	1	0	1	1	1	1	*	0	*	0	*	0	1	*
1	1	1	1	0	0	0	0	*	0	*	1	*	1	*	1



Septiembre 1999.

No se permite NINGÚN material auxiliar, NI calculadora

1. El circuito de la figura muestra el esquema de una puerta NAND de 2 entradas en TTL. Explicar su funcionamiento siguiendo el camino de las señales para las configuraciones {00, 01, 10} y {11}, calculando el valor de las tensiones en los puntos (A, B, P, Q, R y S).



2. Contadores Asíncronos.

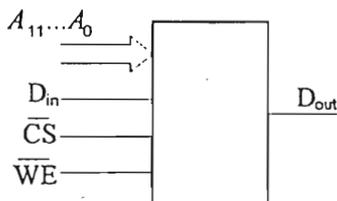
2.1. Aspectos teóricos.

2.2. Diseñar un contador asíncrono usando el “reset” para obtener un divisor por 10. Dibujar el circuito correspondiente y el cronograma con la evolución de las salidas Q en los distintos biestables J-K relacionadas con las bajadas de los pulsos del reloj.

3. Memorias RAM.

3.1. Estructura organizativa de las memorias RAM estáticas.

3.2. Diseñar un circuito selector de filas y columnas para direccionar la memoria RAM de 4096 (64x64) “palabras” de 1 bit que se ilustra en el esquema adjunto, incluyendo la conexión con el contador binario necesario para recorrer todas las direcciones de forma secuencial.





UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

Ingeniería Técnica en Informática de Sistemas

Examen de Electrónica Digital

Curso: 1º (Código: 401079)

Duración: 2 horas

PRIMERA SEMANA

Original, Mayo 2000

NO se permite el uso de CALCULADORA, NI de material auxiliar

1. Dada la función $f = \Sigma(1,2,3,4,7)$

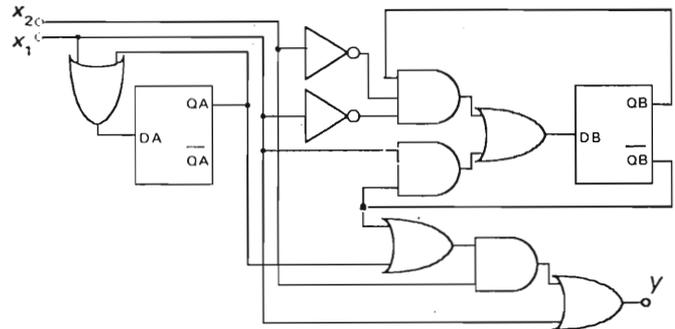
1.1. Minimizarla

1.2. Sintetizarla con puertas AND, OR y NO

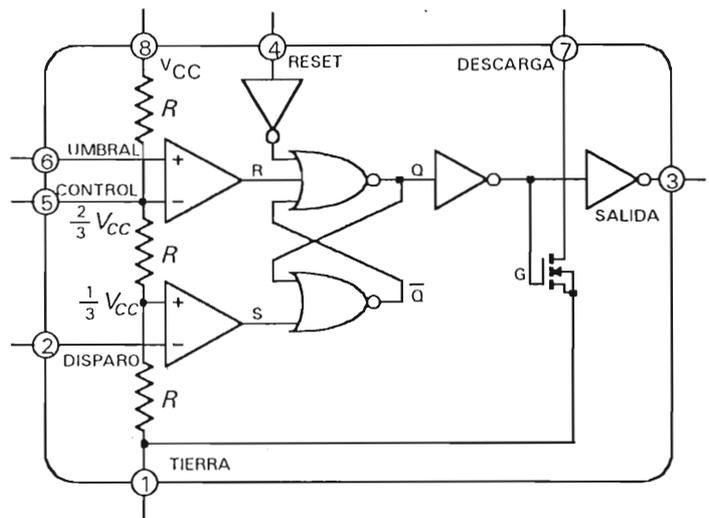
1.3. Cambiarla de representación usando sólo puertas NAND (expresión lógica y circuito correspondiente)

1.4. Sintetizarla con Multiplexos

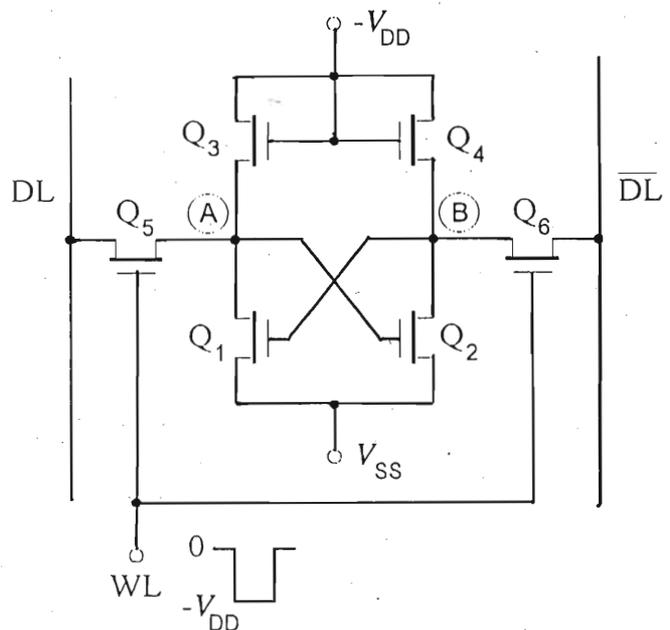
2. Analizar el circuito de la figura y obtener el autómata finito equivalente en forma de diagrama de transición de estados.



3. La figura adjunta muestra el esquema de un temporizador tipo 555, en el que no se han completado las conexiones externas. ¿Podría completarla para que funcione en modo monoestable y explicar su funcionamiento, incluyendo el cálculo de la duración del pulso?.



4. Explicar el funcionamiento de la celda de memoria RAM estática de la figura y dibujar el cronograma en el que se muestre la evolución de las señales (formas de ondas) en DL, WL y \overline{DL} durante los procesos de lectura y escritura. Todos los transistores son de acumulación o realce y canal P.





UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

SEGUNDA SEMANA

Original, Junio 2000

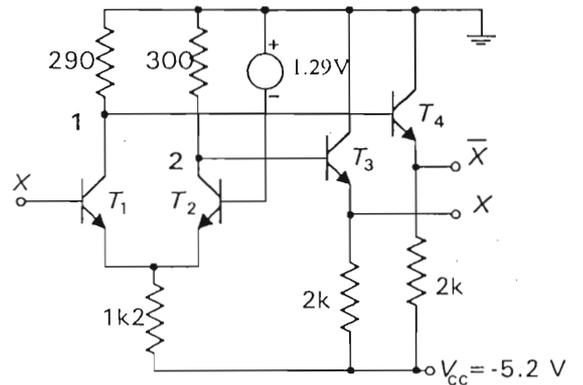
NO se permite el uso de **CALCULADORA**, NI de material auxiliar

1) Dada la función $f = \Sigma(0,2,3,5,6)$

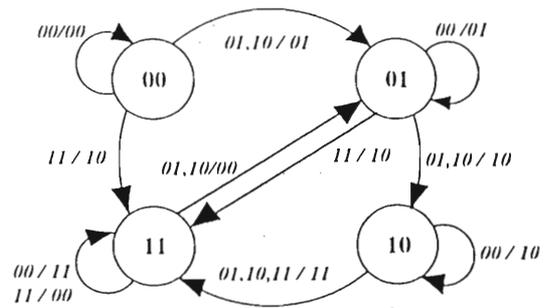
- 1.1. Minimizarla
- 1.2. Sintetizarla con puertas AND, OR y NO
- 1.3. Cambiarla de representación usando sólo puertas NOR (expresión lógica y circuito correspondiente)
- 1.4. Sintetizarla con Multiplexos

2. El circuito de la figura adjunta corresponde a un inversor en ECL

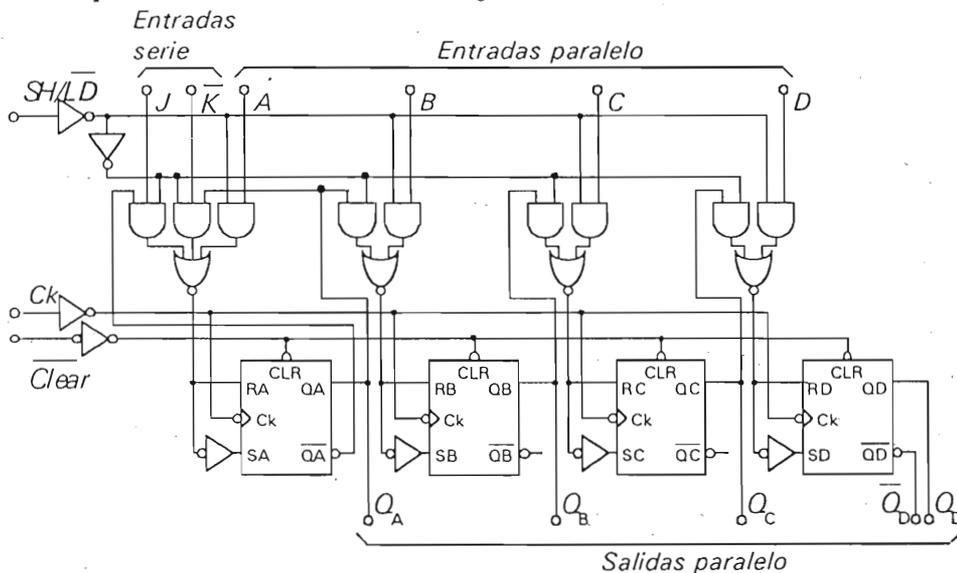
- 2.1. Explicar su funcionamiento para valores de X en torno a $-1,29$ voltios. ¿Cuál es la función de T_4 ?
- 2.2. ¿Cómo se podría convertir en una puerta NOR de dos entradas?. Dibújalo y explica su funcionamiento.



3. Usar el procedimiento general de autómatas finitos con PLD's y biestables D para diseñar un circuito que represente el siguiente diagrama de transiciones de estados:



4. El circuito de la figura adjunta es un registro de desplazamiento bidireccional. Explicar su funcionamiento y obtener las expresiones lógicas de RA, RB, RC y RD para situaciones de carga serie, carga paralelo y desplazamiento serie. Construir la tabla de verdad y el cronograma correspondiente a la operación de carga de un "1" y desplazamiento serie, teniendo en cuenta que los biestables se disparan a las subidas del reloj.





UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

Ingeniería Técnica en Informática de Sistemas

Examen de Electrónica Digital

Curso: 1º (Código: 401079)

Duración: 2 horas

SEPTIEMBRE, 2000

Original

NO se permite el uso de CALCULADORA, NI de material auxiliar

1. Dada la función $f = \Sigma(0,2,3,5,7)$:

1.1. Minimizarla

1.2. Sintetizarla con puertas AND, OR y NO

1.3. Cambiarla de representación usando sólo puertas NOR (expresión lógica y circuito correspondiente)

2. Diseño con circuitos MUX y DEMUX:

2.1. Aspectos teóricos

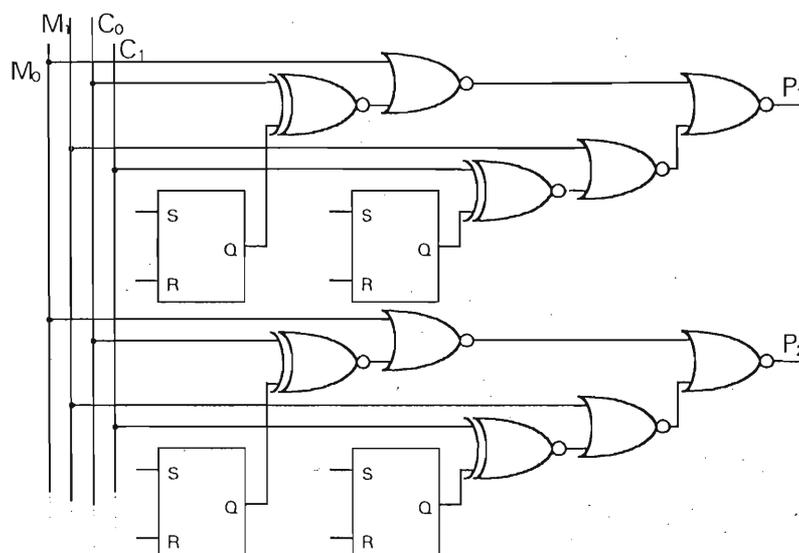
2.2. Aplicarlo a los circuitos cambiadores de código que pasan de BCD (exceso a 3) a Gray. Para facilitar la tarea se adjunta la tabla de correspondencia entre los distintos códigos

Dígito Decimal	BCD (8421)	BCD Exceso - 3	Gray
0	0000	0011	0000
1	0001	0100	0001
2	0010	0101	0011
3	0011	0110	0010
4	0100	0111	0110
5	0101	1000	0111
6	0110	1001	0101
7	0111	1010	0100
8	1000	1011	1100
9	1001	1100	1101

3. Memorias CAM:

3.1. Aspectos teóricos.

3.2. Explicar el funcionamiento del circuito de la figura.



Nota: Cada una de las preguntas se calificará sobre 10 puntos, siendo la nota final la media aritmética, siempre que el examen esté equilibrado y no introduzca errores conceptuales importantes. Es decir, deberá responder de forma razonable todas las preguntas, no pudiéndose aprobar con una pregunta en blanco o mal contestada, independientemente de que el resto del examen esté bien y la nota media supere el 5.



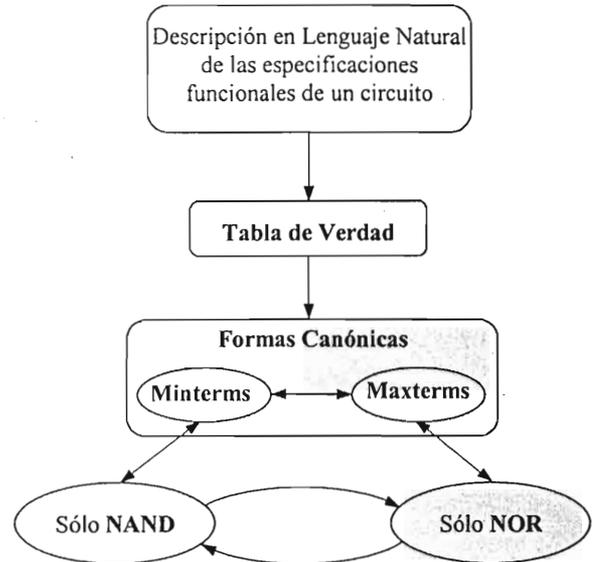
PRIMERA SEMANA

Mayo 2001

NO se permite el uso de CALCULADORA, NI de material auxiliar

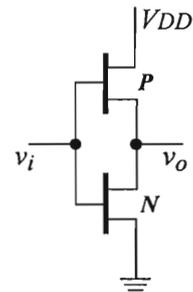
1. El diagrama de la figura adjunta resume las distintas formas de representación de un circuito combinacional. Aplíquela a la siguiente descripción en lenguaje natural: "Obtener un circuito con dos entradas (x_1, x_2) y dos salidas (y_1, y_2) tal que y_1 está en alta cuando lo están x_1 ó x_2 , pero no cuando están ambas en alta a la vez. En cambio, la salida y_2 sólo está en alta cuando lo están ambas entradas, x_1 y x_2 ".

- 1.1. Obtener la tabla de verdad.
- 1.2. Representar $y_1 = f_1(x_1, x_2)$ e $y_2 = f_2(x_1, x_2)$ en forma de minterms y maxterms.
- 1.3. Obtener su representación usando sólo puertas NAND y sólo puertas NOR.



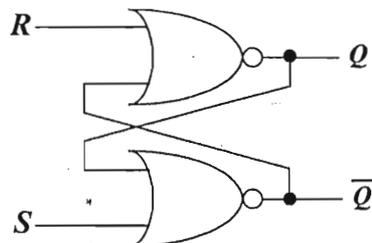
2. La figura adjunta muestra el circuito **Inversor Básico en CMOS**.

- 2.1. Explicar su funcionamiento a través de sus curvas características.
- 2.2. Circuitos y funcionamiento de las puertas NAND y NOR de dos entradas en CMOS.



3. **Biestables R-S**. La figura adjunta muestra el circuito correspondiente a un biestable R-S sintetizado con puertas NOR.

- 3.1. Explicar su funcionamiento obteniendo la tabla de verdad y la expresión lógica de Q_{n+1} en función de Q_n, R y S . Comente por qué hay una configuración que no está permitida.
- 3.2. ¿Cómo modificaría este circuito básico para que se disparara sincronizado a niveles?.
- 3.3. ¿Qué otra modificación sería necesaria para que este biestable incorporara entradas asíncronas de *preset* y *clear*?.

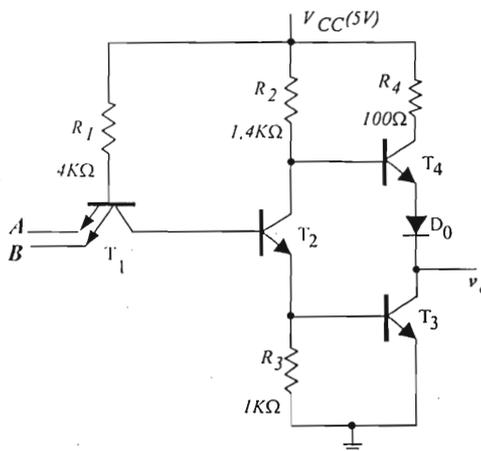


1. Minimización por mapas de Karnaugh:

- 1.1. Explique la Minimización por mapas de Karnaugh para funciones de tres variables.
- 1.2. Aplíquelo a la minimización de la función: $f = \bar{A}\bar{B}C + A\bar{B}C + AB\bar{C} + ABC$ siendo A el bit más significativo.
- 1.3. ¿Cuándo es conveniente minimizar usando la función complementaria de la propuesta?. Proponga un ejemplo que ilustre su razonamiento para funciones de 3 variables.

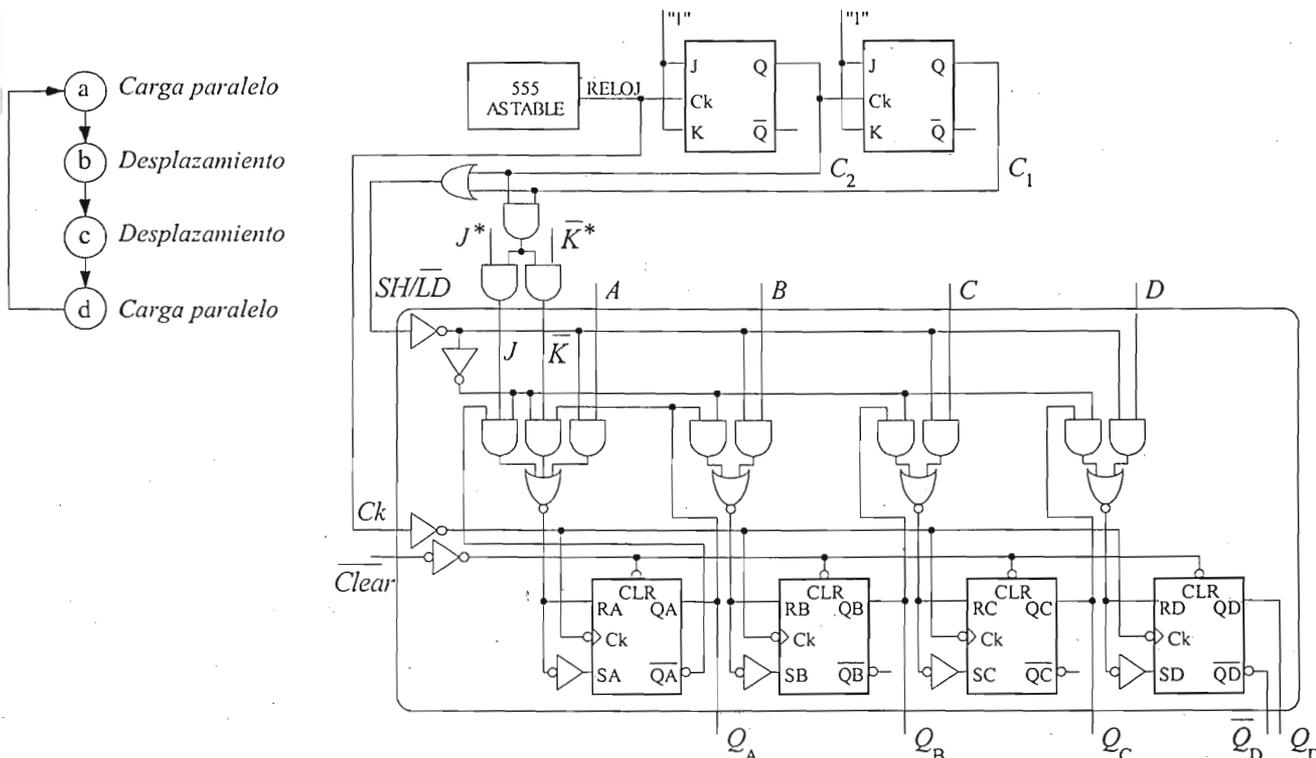
2. El circuito de la figura adjunta corresponde a una puerta NAND en TTL.

- 2.1. Analizar su comportamiento estático.
- 2.2. ¿Cómo tendría que modificarse para que la salida fuera de tres estados ("0", "1" y "alta impedancia")?.



3. Registros de desplazamiento:

- 3.1. Explicar la estructura general de los registros de desplazamiento.
- 3.2. Analizar el circuito de la figura y comprobar que se trata de un registro de desplazamiento que sigue la secuencia de modos de funcionamiento del diagrama adjunto:



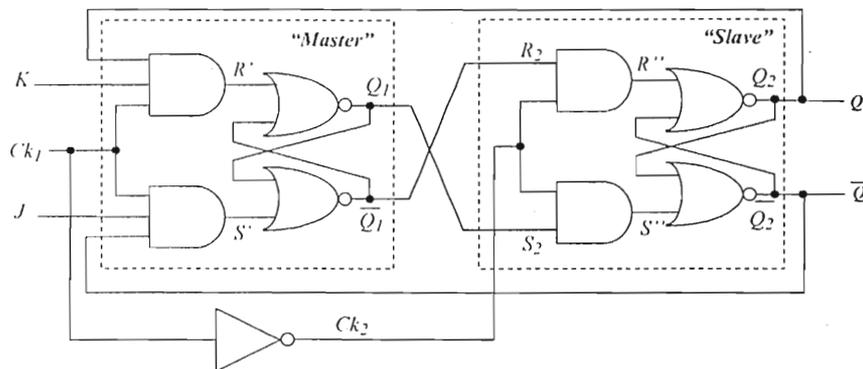


NO se permite el uso de CALCULADORA, NI de material auxiliar

1. El circuito de la figura adjunta muestra una posible configuración para los biestables J-K Master Slave.

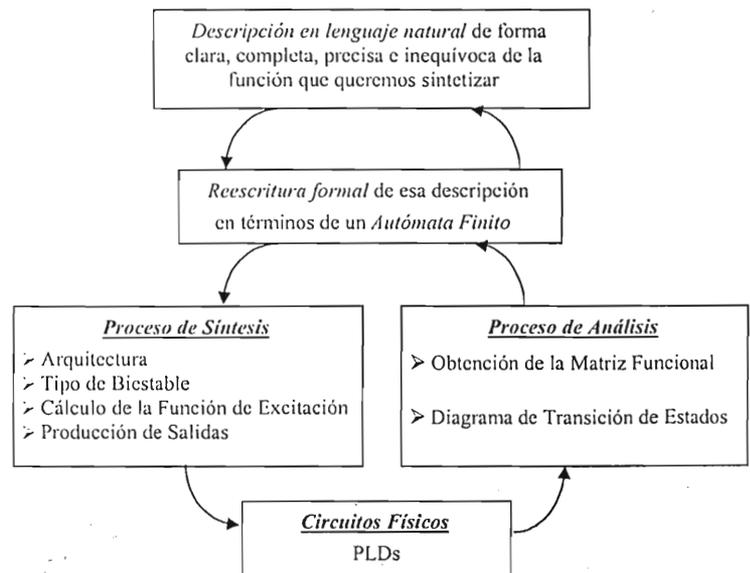
1.1. Explique el funcionamiento haciendo énfasis en los sucesos que ocurren en los instantes de conmutación entre ambas secciones

1.2. Construya un cronograma que muestre la evolución temporal de las señales de reloj (Ck_1 y Ck_2), J , K , Q_1 , \bar{Q}_1 , Q_2 , \bar{Q}_2 , durante los intervalos en los que el estado del biestable permanece estable y durante las transiciones de estado de las secciones "Master" y Slave".



2. El esquema adjunto resume de forma cualitativa el procedimiento general de síntesis y análisis de circuitos secuenciales. Identificad los distintos pasos a la vez que resuelve el problema de síntesis adjunto:

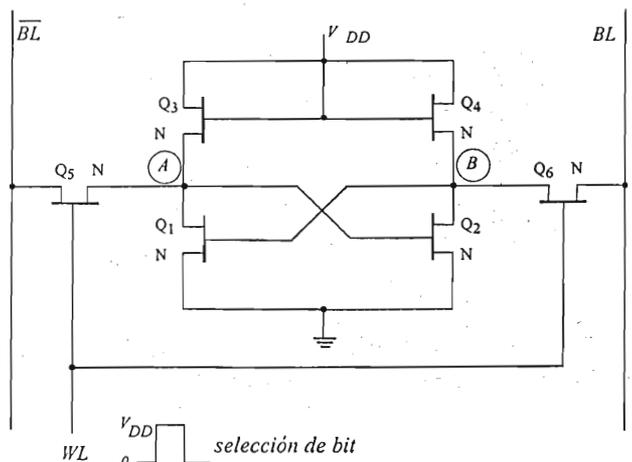
Diseñad usando biestables J-K un circuito que cuente el número de coches que hay en un garaje (entre 1 y 7). Se supone que hay un control de entrada y salida representado por las variables x_1 y x_2 , de forma que cuando entra un coche $x_1 = 1$ y $x_2 = 0$ genera un pulso. Análogamente, cuando sale un coche, $x_1 = 0$ y $x_2 = 1$ da otro pulso.



3. Celdas RAM estáticas.

3.1. Describa las funciones que debe cumplir una celda de memoria RAM estática a partir de la organización de las memorias RAM.

3.2. Describa la forma en la que esas funciones necesarias en toda celda RAM se encuentran implementadas en el circuito NMOS de la figura.





Septiembre 2001 (RESERVA)

NO se permite el uso de CALCULADORA, NI de material auxiliar

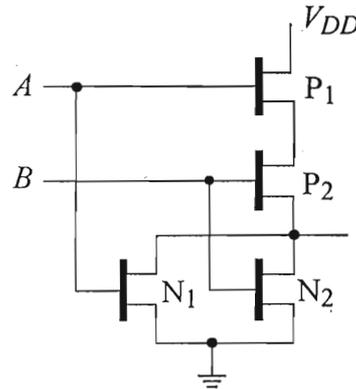
1. En el circuito de la figura se observa una puerta NOR de dos entradas.

1.1 A partir de las reglas de transformación, obtener la solución complementaria (puerta NAND).

1.2 Comparar las familias lógicas CMOS, TTL y ECL.

1.3 Explicar qué familia elegiría si primase cada uno de los siguientes conceptos por separado:

- Tiempo de propagación (rapidez).
- Muy bajo consumo.
- Alta inmunidad al ruido.



2. Contadores Binarios Asíncronos.

2.1 Explicar sus características.

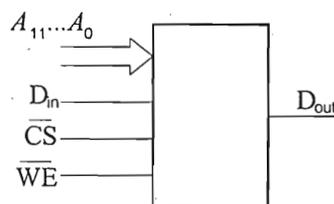
2.2 Diseñar un contador asíncrono de 3 bits (8 estados) y dibujar su cronograma para la entrada :
1 0 1 1 0 1 0

	t=6	t=5	t=4	t=3	t=2	t=1	t=0
.....	0	1	0	1	1	0	1

3. **Memorias RAM.**

3.1 Estructura organizativa de las memorias RAM estáticas.

3.2 Diseñar un circuito selector de filas y columnas para direccionar la memoria RAM de 4096 (64x64) "palabras" de 1 bit que se ilustra en el esquema adjunto, incluyendo la conexión con el contador binario necesario para recorrer todas las direcciones de forma secuencial.





UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

Ingeniería Técnica en Informática de Sistemas

Examen de **Electrónica Digital**

Curso: 1º (Código: 401079)

PRIMERA SEMANA: Mayo 2002

Duración: **2 horas** NO se permite el uso de **CALCULADORA**, NI de material auxiliar

1. Circuitos selectores de datos (multiplexos):

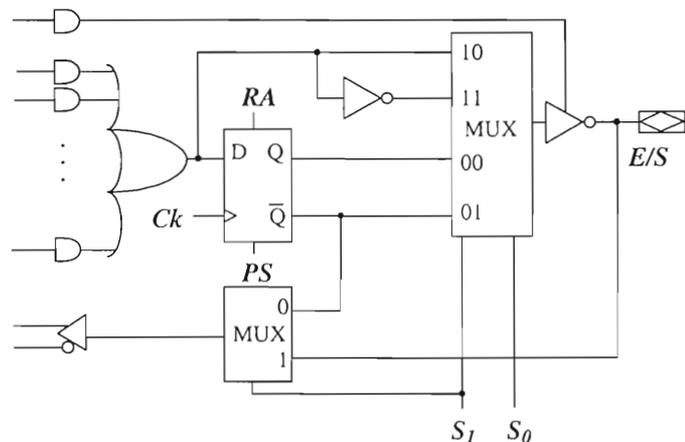
1.1. Concepto de multiplexo.

1.2. Aplicarlo al diseño a dos niveles (usando multiplexos de 4 entradas a 1 salida) de la siguiente función lógica: $f_2(x, y, z, u, v) = x \bar{y} z \bar{u} \bar{v} + \bar{x} y \bar{z} u \bar{v} + x \bar{z} (u + v)$

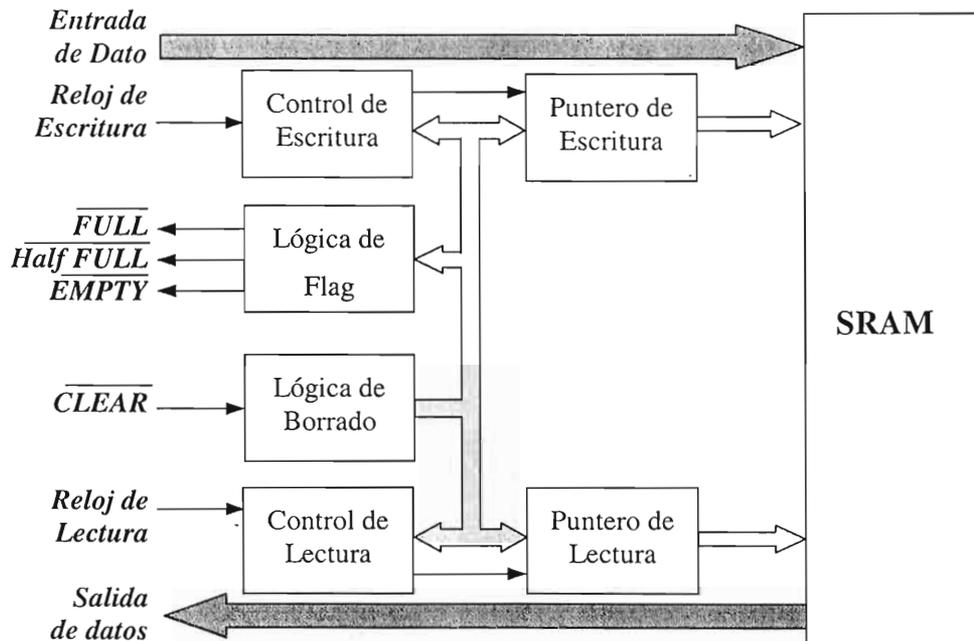
2. Circuitos PAL:

2.1. Arquitectura.

2.2. Configuraciones de salida. Por si le sirve de ayuda le incluimos el esquema de una macrocelda de salida. Explique su funcionamiento y la configuración específica en la que esta macrocelda se proyecta para cada una de las 4 configuraciones de señales de control S_0 y S_1 , justificando las respuestas.



3. Memorias FIFO sobre celdas RAM en CMOS (puede usar el diagrama de la figura adjunta para explicar el funcionamiento de este tipo de memoria).





UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

Ingeniería Técnica en Informática de Sistemas

Examen de Electrónica Digital

Curso: 1º (Código: 401079)

SEGUNDA SEMANA: Junio 2002

Duración: 2 horas NO se permite el uso de CALCULADORA, NI de material auxiliar

- El circuito de la *figura 1* corresponde a una puerta NAND en TTL de 3 estados. Explique su funcionamiento distinguiendo entre:
 - La puerta NAND básica de 2 entradas.
 - Los elementos de circuitos que se le han añadido para convertirla en una puerta de 3 estados.
- Lógica Combinacional Programable:
 - Concepto general.
 - Arquitecturas básicas.
 - Diferencias entre los distintos tipos de PROM (EPROM, EEPROM y FLASH).

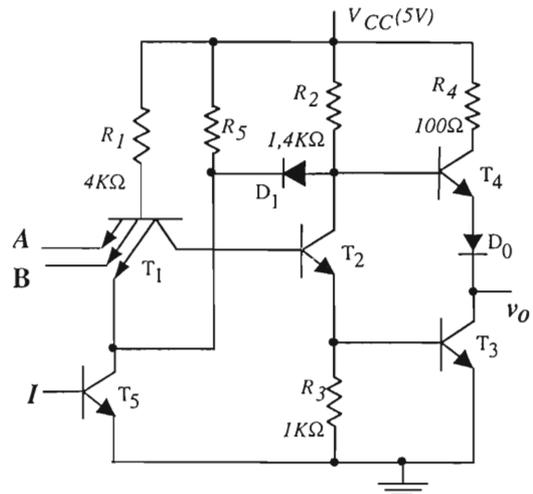


figura 1

- Para la síntesis de circuitos secuenciales síncronos se puede hacer uso de cualquier tipo de biestable (D, T ó J-K). Supongamos que sólo disponemos de biestables J-K:
 - Cuáles deben ser los valores de J y K para que se produzcan cada una de las 4 transiciones posibles entre el estado actual (Q_n) y el nuevo estado (Q_{n+1}). Ilústrello en forma de tabla y **justifique** cada una de las respuestas.

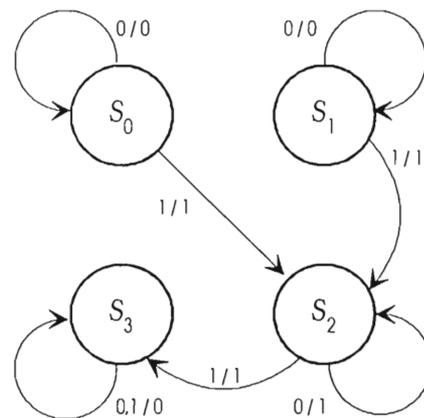


figura 2

- Sintetice utilizando biestables J-K el circuito secuencial cuyo diagrama de transición de estados es el de la *figura 2*.



UNIVERSIDAD NACIONAL DE EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

Ingeniería Técnica en Informática de Sistemas

Examen de **Electrónica Digital**

Curso: 1º (Código: 401079)

ORIGINAL: Septiembre 2002

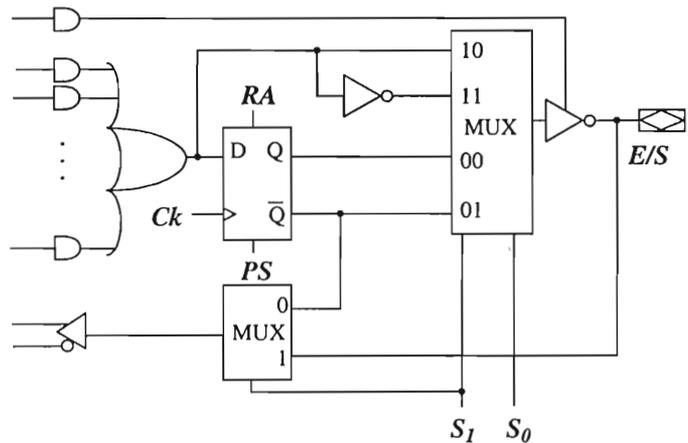
Duración: **2 horas**

NO se permite el uso de CALCULADORA, NI de material auxiliar

1. Circuitos PAL:

1.1. Arquitectura.

1.2. Configuraciones de salida. Por si le sirve de ayuda le incluimos el esquema de una macrocelda de salida. Explique su funcionamiento y la configuración específica en la que esta macrocelda se proyecta para cada una de las 4 configuraciones de señales de control S_0 y S_1 , justificando las respuestas.



2. Paso de biestables R-S básicos a biestables T y D.

2.1. Dibuje el circuito de un biestable R-S básico construido con puertas AND y NOR (sincronizado a niveles) y explique su comportamiento obteniendo de forma razonada su tabla de verdad y el diagrama de transición de estados.

2.2. Partiendo del R-S sincronizado a niveles del apartado anterior, obtenga un biestable T y, al igual que en el apartado anterior, explique su comportamiento obteniendo de forma razonada su tabla de verdad y el diagrama de transición de estados.

2.3. Partiendo del R-S sincronizado a niveles del apartado 2.1 construya ahora un biestable D. ¿Qué habría que hacer para convertir esta configuración D básica en una master-slave?

3. Contadores síncronos.



UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

Ingeniería Técnica en Informática de Sistemas

Examen de Electrónica Digital

Curso: 1º (Código: 401079)

RESERVA: Septiembre 2002

Duración: **2 horas** **NO se permite el uso de CALCULADORA, NI de material auxiliar**

1. Circuitos selectores de datos (multiplexos):

1.1. Concepto de multiplexo.

1.2. Aplíquelo al diseño a dos niveles (usando multiplexos de 4 entradas a 1 salida) de la siguiente función lógica: $f = (\bar{x}\bar{y}\bar{z} + x\bar{y}z + xy\bar{z})(u\bar{v} + \bar{u}v)$

2. Para la síntesis de circuitos secuenciales síncronos se puede hacer uso de cualquier tipo de biestable (D, T ó J-K). Supongamos que sólo disponemos de biestables J-K:

Jun. 2002

2.1. Cuáles deben ser los valores de J y K para que se produzcan cada una de las 4 transiciones posibles entre el estado actual (Q_n) y el nuevo estado (Q_{n+1}). Responda a esta cuestión justificando la respuesta en cada uno de los 4 casos.

2.2. Sintetice utilizando biestables J-K el circuito secuencial cuyo diagrama de transición de estados es el de la figura 1.

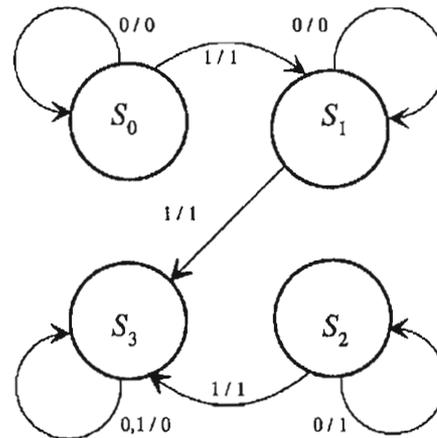


Figura 1

3. Memorias SRAM:

3.1. Organización

3.2. Explique el funcionamiento de las celdas SRAM de la figura 2.

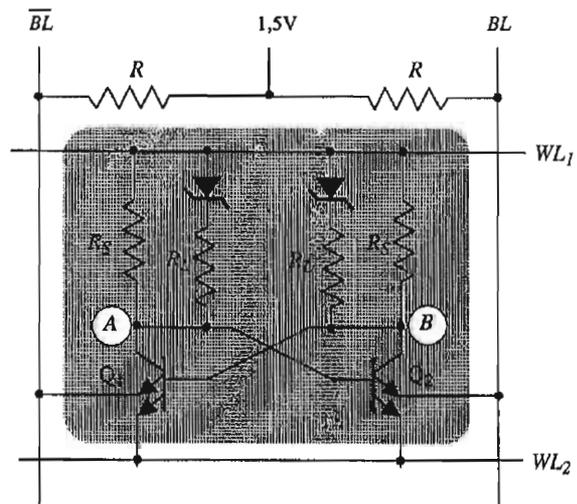


Figura 2



UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

Ingeniería Técnica en Informática de Sistemas

Examen de **Electrónica Digital**

Curso: 1º Plan Antigo (Código: 401079)

Plan Nuevo (Código: 531075)

RESERVA: Junio 2003

Duración: 2 horas

NO se permite el uso de CALCULADORA, NI de material auxiliar

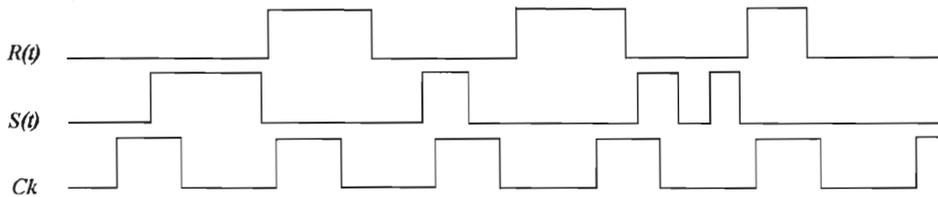
NOTA: Rellene la hoja de lectura óptica del reverso con sus datos personales y entréguela junto a sus respuestas.

1. Inversor básico en CMOS:

- 1.1. Explique su funcionamiento usando un modelo tipo conmutador para describir el comportamiento de los transistores T_P y T_N .
- 1.2. Obtención de la característica de transferencia.
- 1.3. Modificación del inversor CMOS básico para convertirlo en una puerta de tres estados.

2. Biestables R-S:

- 2.1. Síntesis con NOR de la configuración básica y descripción detallada de su funcionamiento.
- 2.2. Convertir el R-S básico en R-S sincronizado a niveles. Explicar la función de los componentes añadidos.
- 2.3. Convertir el R-S sincronizado a niveles en R-S disparado por flancos.
- 2.4. Dibujar el cronograma que muestre las respuestas de los tres tipos de biestables R-S, mencionados anteriormente, ante la misma secuencia de señales $R(t)$ y $S(t)$ que se muestra en la figura adjunta.



3. Contadores síncronos:

- 3.1. Resumen de los problemas propios de los contadores asíncronos.
- 3.2. Explique, para el caso de tres bits, cómo resuelve estos problemas un contador síncrono.
- 3.3. Síntesis con J-K de un contador síncrono reversible de 3 bits.



UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

Ingeniería Técnica en Informática de Sistemas

Examen de **Electrónica Digital**

Curso: 1º Plan Antigo (Código: **401079**)

1º Plan Nuevo (Código: **531075**)

ORIGINAL (Septiembre 2003)

Duración: **2 horas** NO se permite el uso de **CALCULADORA**, NI de material auxiliar

NOTA: Rellene la hoja de lectura óptica del reverso con sus datos personales y entréguela junto a sus respuestas.

1. **Inversor NMOS:** Explique su funcionamiento mediante el estudio del comportamiento del transistor de carga y del transistor impulsor usando para ello las expresiones de V_{DS} e I_D en función de V_{GS} y V_T , así como las curvas características correspondientes.
2. La parte de entrada de todos los circuitos PAL es esencialmente la misma y también se repite la componente central de su estructura interna. Hay sin embargo distintos tipos de circuitos de salida que han ido aumentando su complejidad para aumentar las funcionalidades de los PAL. Explique de forma separada estas dos componentes de los circuitos PAL:
 - 2.1. Arquitectura de entrada y estructura interna.
 - 2.2. Distintas configuraciones de salida de un circuito PAL.
3. **Biestables D:**
 - 3.1. Explique el funcionamiento del circuito, la tabla de verdad y el diagrama de transición de estados.
 - 3.2. Configuración "master slave"



UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

Ingeniería Técnica en Informática de Sistemas

Examen de **Electrónica Digital**

Curso: 1° Plan Antiguo (Código: 401079)

Plan Nuevo (Código: 531075)

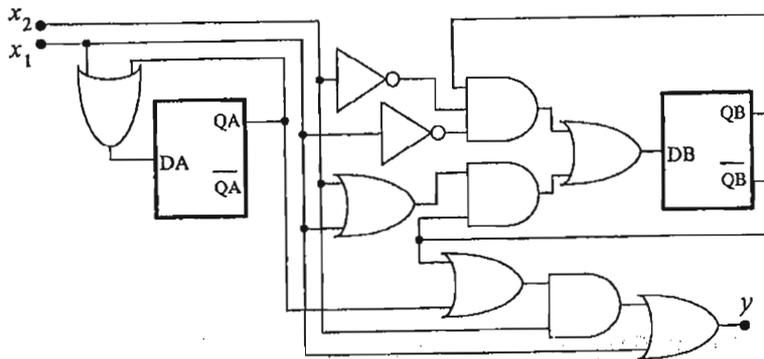
RESERVA: SEPTIEMBRE 2003

Duración: 2 horas

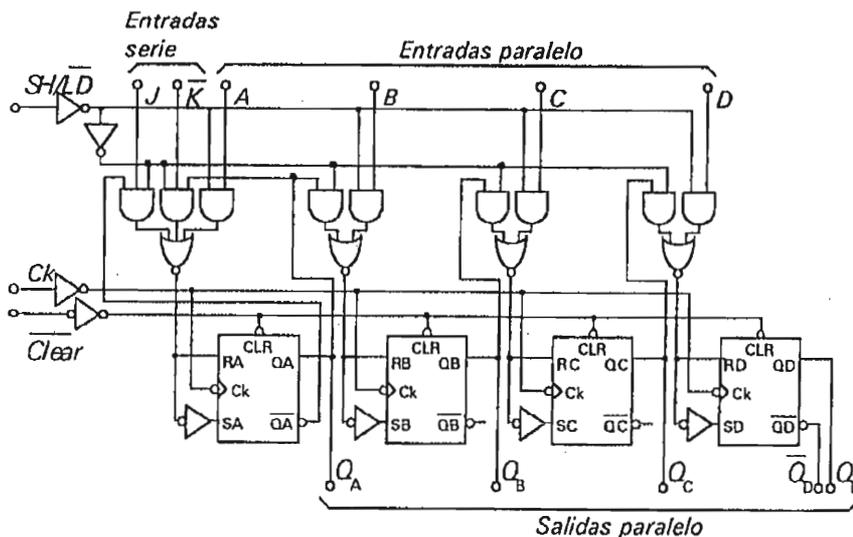
NO se permite el uso de CALCULADORA, NI de material auxiliar

NOTA: Rellene la hoja de lectura óptica del reverso con sus datos personales y entréguela junto a sus respuestas.

1. Dada la función $f = \Sigma(1,2,3,4,7)$
 - 1.1. Minimizarla
 - 1.2. Sintetizarla con puertas AND, OR y NOT
 - 1.3. Cambiarla de representación usando sólo puertas NAND (expresión lógica y circuito correspondiente)
 - 1.4. Sintetizarla con multiplexos
2. Analice el circuito secuencial de la figura, presentando el resultado del análisis mediante las expresiones lógicas correspondientes, la matriz funcional y el diagrama de transición de estados.

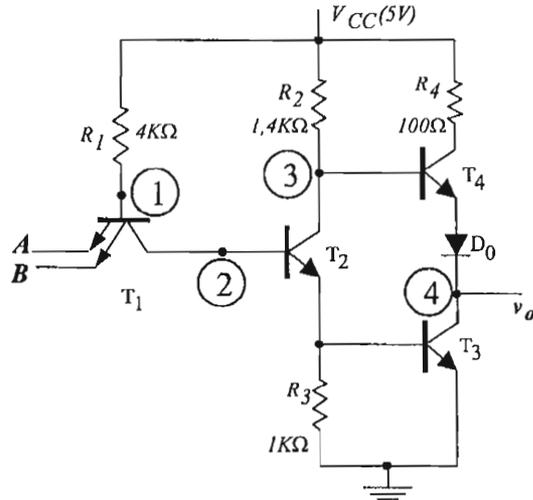


3. El circuito de la figura adjunta es un registro de desplazamiento bidireccional. Explicar su funcionamiento y obtener las expresiones lógicas de RA, RB, RC y RD para situaciones de carga serie, carga paralelo y desplazamiento serie. Construir la tabla de verdad y el cronograma correspondiente a la operación de carga de un "1" y desplazamiento serie, teniendo en cuenta que los biestables se disparan en las subidas del reloj.

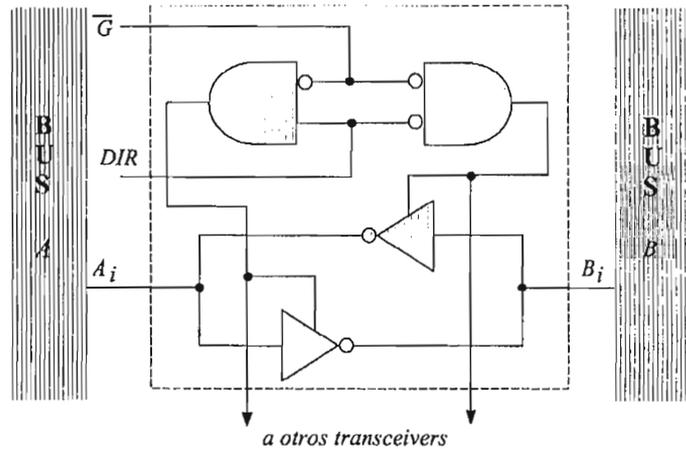




1. La figura adjunta muestra el circuito correspondiente a una Puerta NAND en TTL:
 - 1.1. Calcule las tensiones en los puntos significativos (1,2,3 y 4) cuando las dos entradas están en alta, AB ($A=B=1$).
 - 1.2. Calcule las tensiones en los puntos significativos cuando al menos una de las entradas está en baja ($\bar{A}B, A\bar{B}, \bar{A}\bar{B}$)
 - 1.3. ¿Que hay que añadirle al circuito anterior para convertirlo en una puerta TTL de tres estados para conexión a bus?



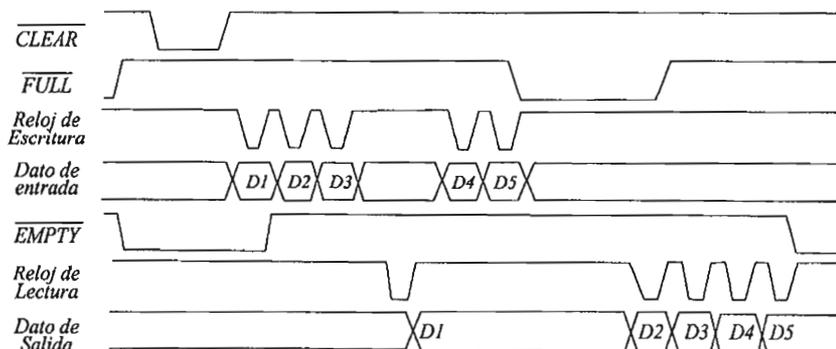
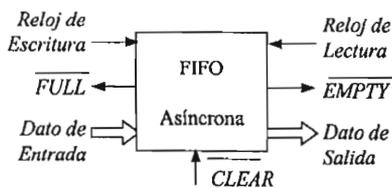
4. El circuito de la figura corresponde a un transmisor-receptor de canal. Explique su funcionamiento y construya la tabla de verdad correspondiente



3. Memorias FIFO sobre celdas RAM en CMOS:

3.1. Tipos de FIFO.

3.2. Explique el funcionamiento de la FIFO asíncrona de 4 bits de la figura usando el cronograma adjunto.





UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

Ingeniería Técnica en Informática de Sistemas

Examen de **Electrónica Digital**

Curso: 1º Plan Antiguo (Código: 401079)

1º Plan Nuevo (Código: 531075)

SEGUNDA SEMANA: Junio 2004

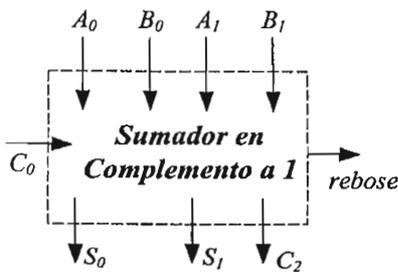
Duración: **2 horas**

NO se permite el uso de CALCULADORA, NI de material auxiliar

1. Sumadores en complemento a 1: Gestión del problema del rebose

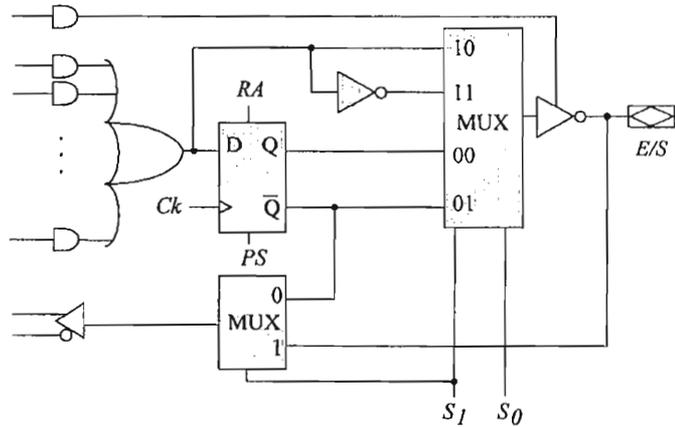
1.1. Enumerar las distintas funciones que debe realizar el circuito y describirlas en extenso para palabras de 2 bits (A_1, A_0), (B_1, B_0):

1.2. Obtenga el circuito ajustándose, a ser posible, a la nomenclatura que se adjunta:

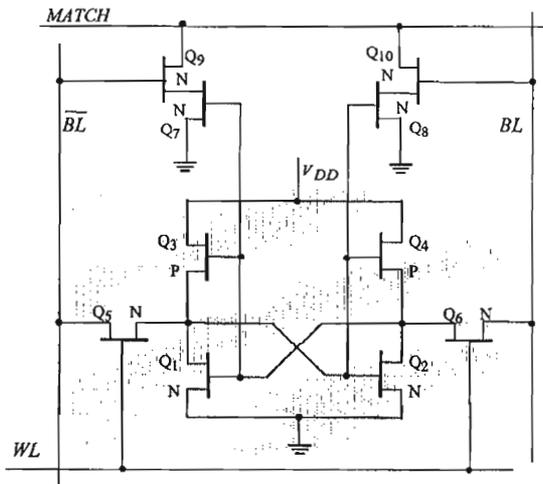


nº decimal	B_1 (MSB)	B_0 (LSB)	nº decimal	A_1 (MSB)	A_0 (LSB)	C_2	S_1	C_1	S_0	Resultado nº decimal
...
...
...
...

2. El circuito de la figura corresponde a la macrocelda de salida típica de circuitos PAL que incluye un biestable D y dos multiplexos para permitir la programación de la ruta de datos y obtener cuatro configuraciones de salida dependiendo de los valores que toman las variables de control de los multiplexos (S_0 y S_1). ¿Cuales son estas configuraciones de salida? Explicar su funcionamiento y la forma en la que se consiguen estas cuatro configuraciones de salida



3. El circuito de la figura muestra el esquema de una celda CAM en tecnología CMOS. Explique su funcionamiento, especificando en qué estado está cada uno de los transistores en los siguientes casos:
- Se escribe un "1"
 - Se lee el "1" almacenado anteriormente
 - Se compara el "1" almacenado con "0" y con "1". Recuerde que la línea de comparación "MATCH" se precarga a alta ("1").





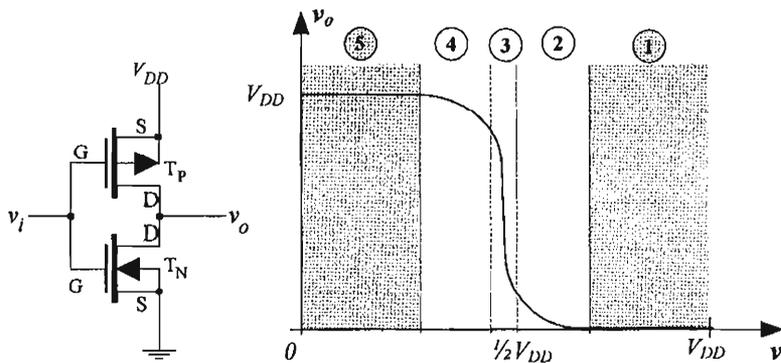
NOTA: Rellene la hoja de lectura óptica con sus datos personales y entréguela junto a sus respuestas

1. La figura adjunta muestra el circuito del inversor CMOS y su característica de transferencia junto con una tabla vacía que le permite resumir los distintos estados funcionales por los que pasan T_N y T_P a medida que la tensión de entrada, v_i , pasa desde 0 hasta V_{DD} .

1.1. Especifique los valores que toma v_i en la frontera entre las zonas 1 y 2 y en la otra frontera entre las zonas 4 y 5.

1.2. Rellene todos los campos que quedan vacíos en la tabla adjunta referente a los valores de tensiones y corrientes y al estado de los transistores (cortado, conducción en zona ohmica, conducción en región triodo, saturación).

Zona	Transistor T_N	Transistor T_P
1	$v_i = \dots \Rightarrow T_N = \dots$ $v_o = \dots$ $I_D = \dots$	$T_P = \dots$ $V_{DS} _P = \dots$
2	$v_i = \dots \Rightarrow T_N = \dots$ $v_o = \dots$ $I_D = \dots$	$T_P = \dots$ $V_{DS} _P = \dots$
3	$v_i = \dots \Rightarrow T_N = \dots$ $v_o = \dots$ $I_D = \dots$	$T_P = \dots$ $V_{DS} _P = \dots$
4	$v_i = \dots \Rightarrow T_N = \dots$ $v_o = \dots$ $I_D = \dots$	$T_P = \dots$ $V_{DS} _P = \dots$
5	$v_i = \dots \Rightarrow T_N = \dots$ $v_o = \dots$ $I_D = \dots$	$T_P = \dots$ $V_{DS} _P = \dots$



2. Circuitos Multiplexores:

2.1. Explique su principio de funcionamiento.

2.2. Diseñe el circuito de un multiplexor de 4 a 1.

2.3. Sintetice la siguiente función de lógica combinacional $f = \overline{c}d + abcde + \overline{ab}(c + d + e)$ usando el menor número posible de MUX de 4 a 1.

3. Diseñar con **biestables D**, usando el procedimiento general de síntesis de autómatas finitos, un contador reversible de 4 estados. (Nota: Si le es posible, use la siguiente nomenclatura: (1) Señal de entrada x . Para $x=1$ cuenta hacia arriba y para $x=0$ cuenta hacia abajo. (2) Biestables Q_0 y Q_1 , siendo Q_0 el bit menos significativo).



UNIVERSIDAD NACIONAL DE
EDUCACIÓN A DISTANCIA
Dpto. de Inteligencia Artificial

Ingeniería Técnica en Informática de Sistemas

Examen de **Electrónica Digital**

Curso: 1º

Plan Antigo (Código: 401079)

Plan Nuevo (Código: 531075)

RESERVA: Septiembre 2004

Duración: 2 horas

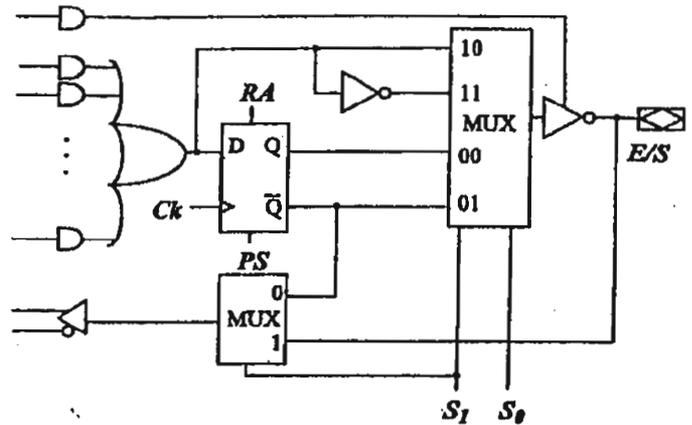
NO se permite el uso de CALCULADORA, NI de material auxiliar

NOTA: Rellene la hoja de lectura óptica del reverso con sus datos personales y entréguela junto a sus respuestas.

1. Circuitos PAL:

1.1. Arquitectura.

1.2. Configuraciones de salida. Por si le sirve de ayuda le incluimos el esquema de una macrocelda de salida. Explique su funcionamiento y la configuración específica en la que esta macrocelda se proyecta para cada una de las 4 configuraciones de señales de control S_0 y S_1 , justificando las respuestas.

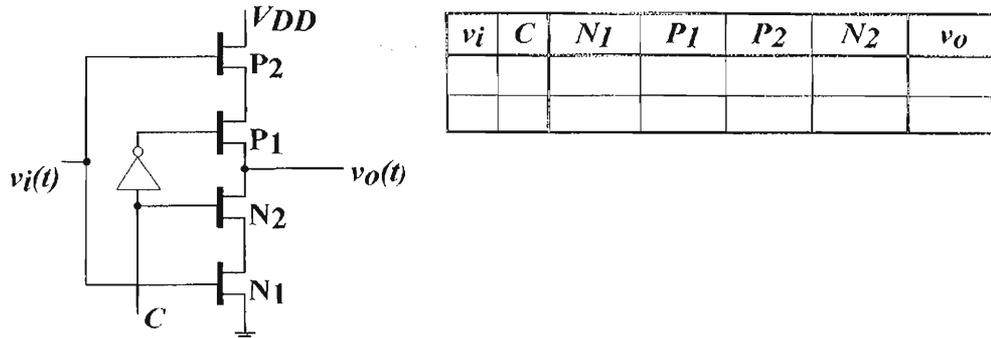


2. Paso de biestables R-S básicos a biestables T y D.

- 2.1. Dibuje el circuito de un biestable R-S básico construido con puertas AND y NOR (sincronizado a niveles) y explique su comportamiento obteniendo de forma razonada su tabla de verdad y el diagrama de transición de estados.
- 2.2. Partiendo del R-S sincronizado a niveles del apartado anterior obtenga un biestable T y al igual que en el apartado anterior, explique su comportamiento obteniendo de forma razonada su tabla de verdad y el diagrama de transición de estados.
- 2.3. Partiendo del R-S sincronizado a niveles del apartado 2.1 construya ahora un biestable D. ¿Qué habría que hacer para convertir esta configuración D básica en una master-slave?

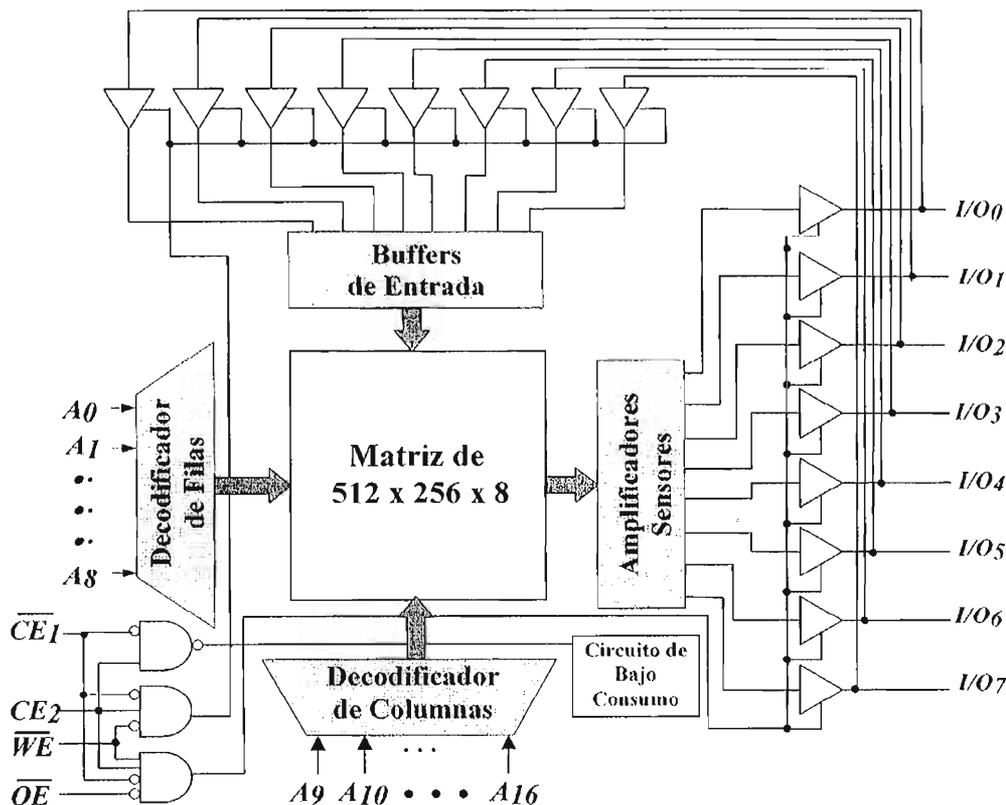
3. Contadores síncronos

1. El circuito de la figura adjunta corresponde a un inversor de tres estados en tecnología CMOS: Explique su funcionamiento especificando el estado de cada una de los transistores y rellenando una tabla como la adjunta en las hojas de examen (no conteste en el enunciado).



2. **Contadores:**

- 2.1. Especifique las diferencias entre los contadores asíncronos y síncronos.
 - 2.2. Diseñe con biestables J-K un contador síncrono de 3 bits.
 - 2.3. ¿Qué deberá modificar en el circuito anterior para convertirlo en un contador asíncrono?
3. El circuito de la figura adjunta corresponde al diagrama de bloques de una memoria SRAM: Explique su funcionamiento tanto para la escritura como para lectura especificando la función que realiza cada circuito y cada señal. Construya la tabla de verdad para \overline{CE}_1 , CE_2 , \overline{WE} , \overline{OE} , I/O_0 - I/O_7 y modo de funcionamiento (lectura, escritura, bajo consumo y seleccionada pero con salidas inhibidas).



Nota: Rellene la hoja de lectura óptica sólo con sus datos personales (Nombre, Apellidos, DNI, código asignatura, semana) y entréguela junto con las hojas de respuestas del examen.

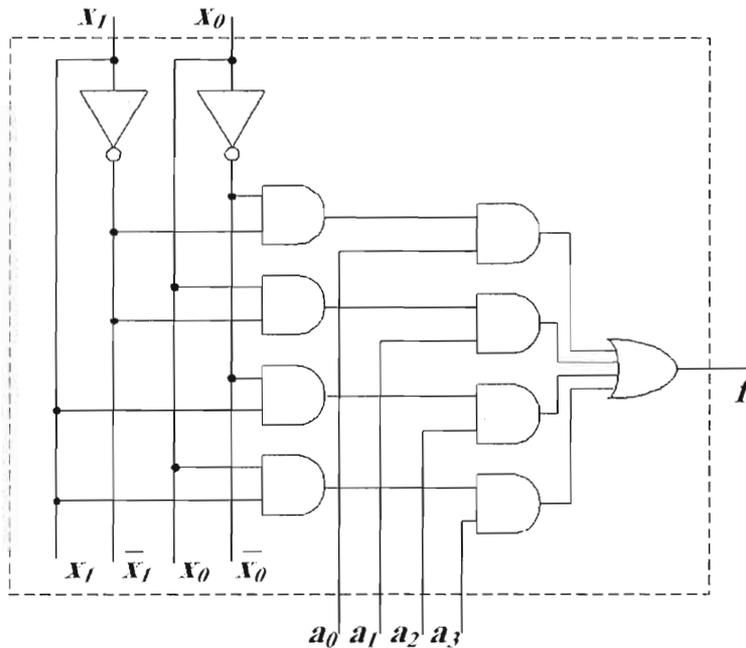
1. Función lógica universal de dos variables

1.1. Analice el circuito de la figura adjunta y construya la tabla de las 16 funciones que puede realizar al ir cambiando los valores de los coeficientes a_3 (MSB), a_2 , a_1 , a_0 (LSB).

Suponiendo que **sólo** dispone de circuitos integrados TTL de este tipo y de tomas de tensión de 0 y 5 v, y que dispone de cuantos circuitos de este tipo considere necesarios para sintetizar distintas funciones de lógica combinatorial con sólo decidir en cada caso los valores adecuados de las variables de control [a_0 (LSB), a_1 , a_2 , a_3 (MSB)], diseñe los circuitos siguientes:

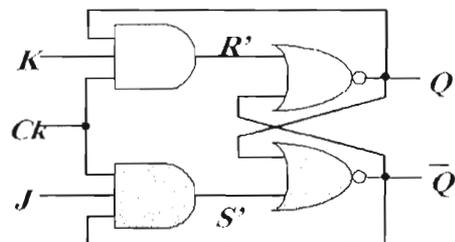
1.2. Un sumador completo para palabras de un bit (A_0, B_0), incluyendo el acarreo de entrada (C_0) y llamando a la suma S_1 y a la salida de acarreo C_1 .

1.3. Una PROM de 2 variables de entrada (x_0, x_1) y dos funciones programables de salida (f_0, f_1) programadas para: $f_1(x_0, x_1) = \Sigma m(1,3)$, $f_0(x_0, x_1) = \Sigma m(0,2)$.



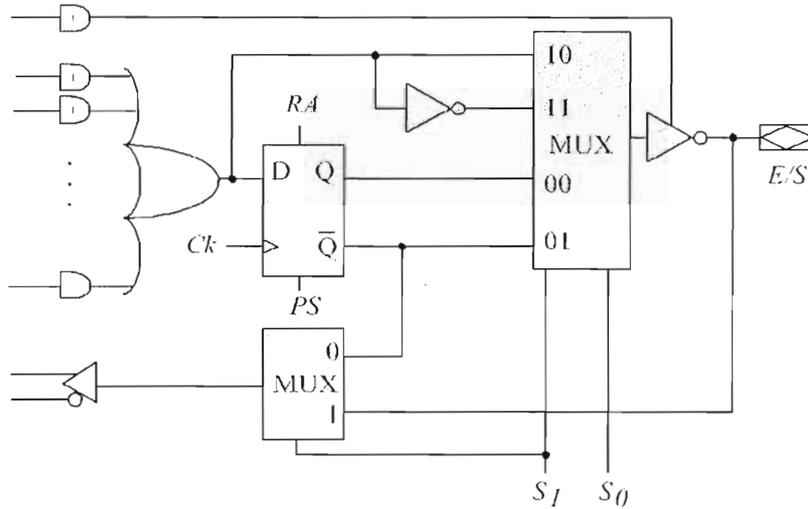
2. Biestables J-K: El circuito de la figura corresponde a un biestable J-K sincronizado a niveles.

- 2.1. Explique su funcionamiento a la vez que obtiene la tabla de verdad completa y la expresión analítica de Q_{n+1}
- 2.2. A partir de esta tabla dibuje su diagrama de transición de estados.
- 2.3. ¿Qué deberá añadirle para convertirlo en un J-K disparado por flancos positivos?. ¿Por qué?.



3. Diseñe un contador asíncrono reversible de 3 bits usando biestables J-K.

- El circuito de la figura corresponde a la macrocelda de salida típica de circuitos PAL que incluye un biestable D y dos multiplexos para permitir la programación de la ruta de datos y obtener cuatro configuraciones de salida dependiendo de los valores que toman las variables de control de los multiplexos (S_0 y S_1). ¿Cuales son estas configuraciones de salida? Explicar su funcionamiento y la forma en la que se consiguen estas cuatro configuraciones de salida

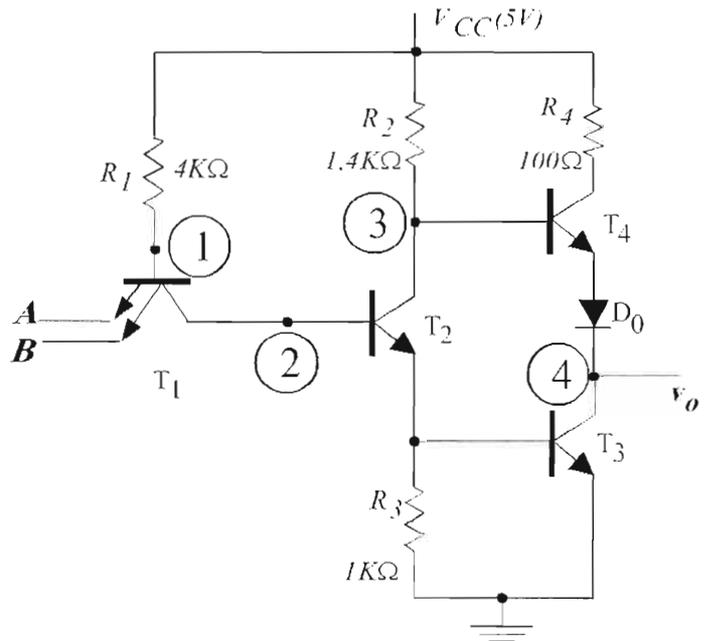


- La figura adjunta muestra el circuito correspondiente a una Puerta NAND en TTL:

1.1. Calcule las tensiones en los puntos significativos (1,2,3 y 4) cuando las dos entradas están en alta, AB ($A=B=1$).

1.2. Calcule las tensiones en los puntos significativos cuando al menos una de las entradas está en baja ($\bar{A}B, A\bar{B}, \bar{A}\bar{B}$)

1.3. ¿Que hay que añadirle al circuito anterior para convertirlo en una puerta TTL de tres estados para conexión a bus?



- Diseñar con **biestables D**, usando el procedimiento general de síntesis de autómatas finitos, un contador reversible de 4 estados. (Nota: Si le es posible, use la siguiente nomenclatura: (1) Señal de entrada x . Para $x=1$ cuenta hacia arriba y para $x=0$ cuenta hacia abajo. (2) Biestables Q_0 y Q_1 , siendo Q_0 el bit menos significativo).