

Nota: Esta parte del examen es de carácter eliminatorio y la nota mínima necesaria para corregir la pregunta teórico/práctica de desarrollo es de 4 sobre 10. Cada respuesta correcta se puntúa con 2 puntos sobre 10, las incorrectas restan 1 punto y las respuestas en blanco no puntúan. El peso del test en la nota final de la Prueba Presencial es del 30%.

1. De los 4 pares de expresiones dados a continuación ¿Cuál es el que corresponde a las expresiones duales del Teorema de Adyacencia?

a) $A + \bar{A} = 1, \quad A \bar{A} = 0$

b) $AB + \bar{A}\bar{B} = A, \quad (A + B)(\bar{A} + \bar{B}) = A$

c) $AB + A = B, \quad (A + B)A = B$

d) $AB + A = A, \quad (A + B)A = A$

2. De los 4 grupos de palabras binarias de 6 bits, ¿cuál es el que corresponde a la representación del número decimal 31, en Binario puro, C-2 y BCD?

a) Binario: 100000, C-2: 011110, BCD (8421): 010011

b) Binario: 011111, C-2: 011111, BCD (8421): 110001

c) Binario: 011111, C-2: 100001, BCD (8421): 011111

d) Binario: 011111, C-2: 100001, BCD (8421): 110001

3. ¿Cuales son las expresiones generales de la suma y del acarreo de un semi-sumador realizado sólo con puertas NAND?

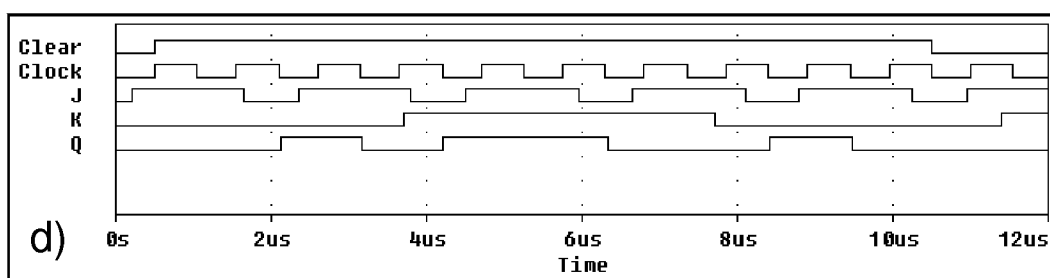
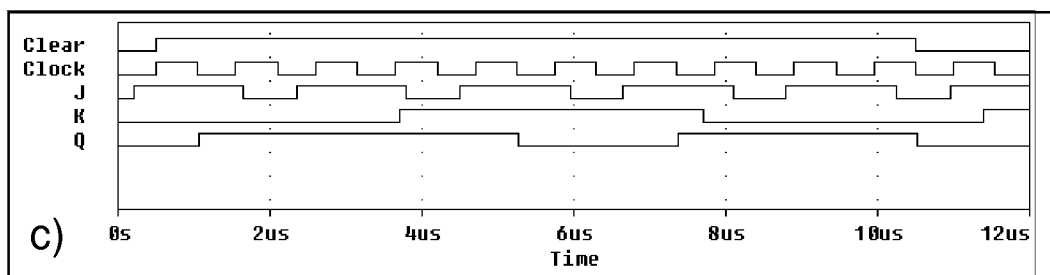
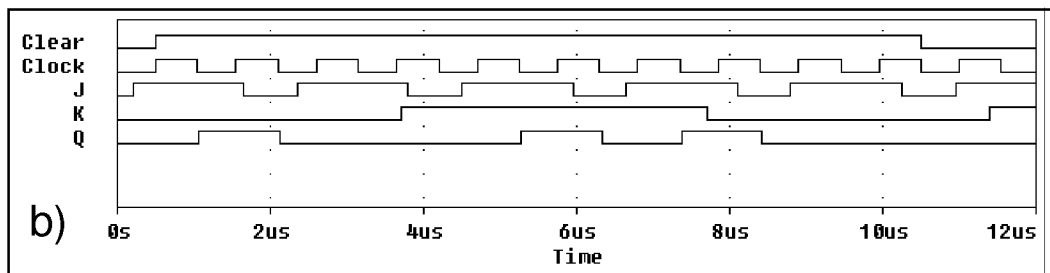
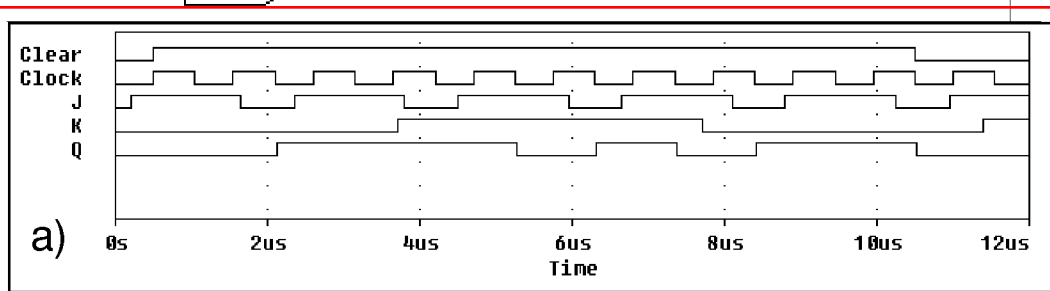
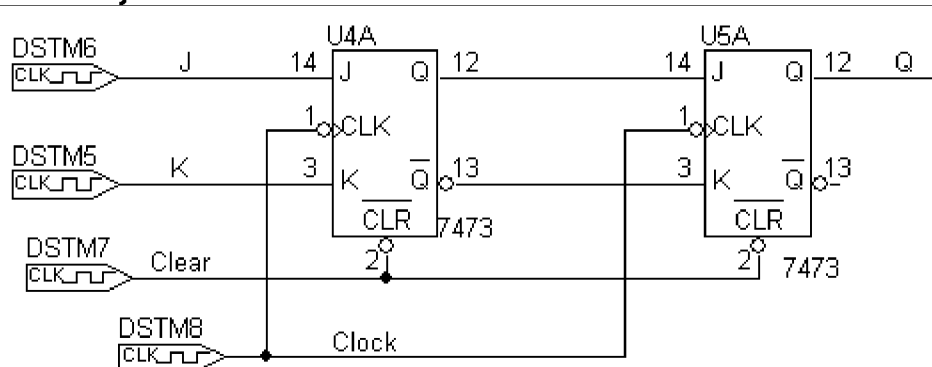
a) $S_i = \overline{\overline{A_i} \overline{B_i}} \quad \overline{\overline{A_i} \overline{B_i}}, \quad C_{i+1} = \overline{\overline{A_i} \overline{B_i}}$

b) $S_i = \overline{\overline{A_i} \overline{B_i}} \quad \overline{\overline{A_i} \overline{B_i}}, \quad C_{i+1} = \overline{\overline{A_i} \overline{B_i}}$

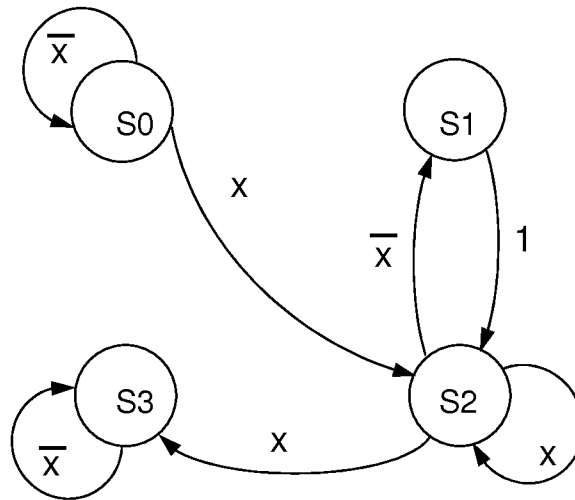
c) $S_i = \overline{\overline{A_i} \overline{B_i}} \quad \overline{\overline{A_i} \overline{B_i}}, \quad C_{i+1} = \overline{\overline{A_i} \overline{B_i}}$

d) $S_i = \overline{\overline{A_i} \overline{B_i}} \quad \overline{\overline{A_i} \overline{B_i}}, \quad C_{i+1} = \overline{\overline{A_i} \overline{B_i}}$

4. De los 4 cronogramas dados ¿cuál es el que representa el funcionamiento del circuito implementado con biestables J-K disparados a las bajadas (flancos negativos o de bajada) de los pulsos del reloj?



5. La figura adjunta muestra el Diagrama de Transición de Estados de un autómata finito. ¿Cuál es su Matriz Funcional?



a)

	$S0(t+\Delta t)$	$S1(t+\Delta t)$	$S2(t+\Delta t)$	$S3(t+\Delta t)$
$S0(t)$	\overline{x}	0	x	0
$S1(t)$	0	0	1	0
$S2(t)$	0	\overline{x}	x	0
$S3(t)$	0	0	x	\overline{x}

b)

	$S0(t+\Delta t)$	$S1(t+\Delta t)$	$S2(t+\Delta t)$	$S3(t+\Delta t)$
$S0(t)$	\overline{x}	0	x	0
$S1(t)$	0	0	\overline{x}	x
$S2(t)$	0	0	x	\overline{x}
$S3(t)$	0	\overline{x}	x	0

c)

	$S0(t+\Delta t)$	$S1(t+\Delta t)$	$S2(t+\Delta t)$	$S3(t+\Delta t)$
$S0(t)$	\overline{x}	0	x	0
$S1(t)$	0	0	1	0
$S2(t)$	0	0	x	\overline{x}
$S3(t)$	0	\overline{x}	x	0

d)

	$S0(t+\Delta t)$	$S1(t+\Delta t)$	$S2(t+\Delta t)$	$S3(t+\Delta t)$
$S0(t)$	\overline{x}	0	x	0
$S1(t)$	0	\overline{x}	0	x
$S2(t)$	x	0	\overline{x}	0
$S3(t)$	0	x	0	\overline{x}

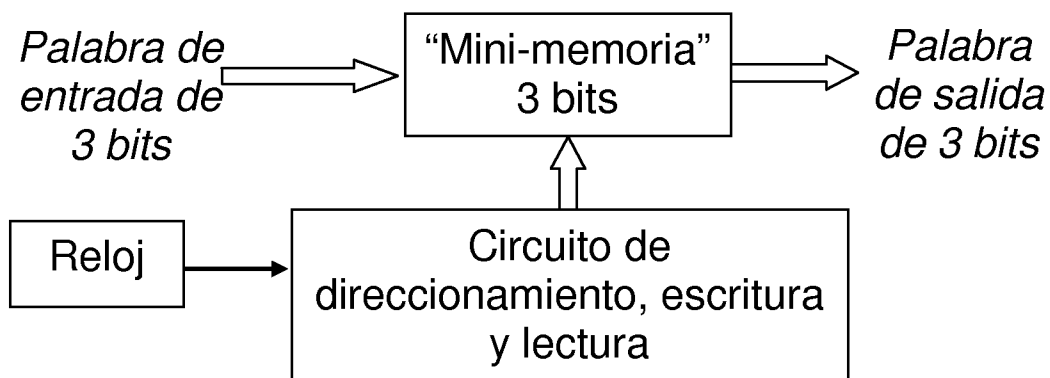
PREGUNTA TEÓRICO/PRÁCTICA de DESARROLLO

Nota 1: El peso de este apartado en la nota final de la Prueba Presencial es del 70%.

Nota 2: Siempre que se pida realizar un diseño es **imprescindible** obtener las expresiones lógicas de las señales de salida en función de las de entrada y de las de control, si las hubiere, y no se valorará el hecho de poner el circuito directamente. El diseño debe hacerse usando las tablas de verdad y/o los métodos de diseño de circuitos secuenciales o razonando de forma lógica las expresiones obtenidas.

Diseño de una “mini-memoria” de 3 bits a partir de biestables J-K y de los circuitos necesarios para su direccionamiento, escritura y lectura de las palabras de 3 bits. La escritura en la mini-memoria se realiza en paralelo, es decir, se escribe en las tres celdas a la vez, mientras que la lectura se hace secuencialmente, de forma que cada 4 pulsos de reloj se cierra el ciclo completo de escritura y lectura.

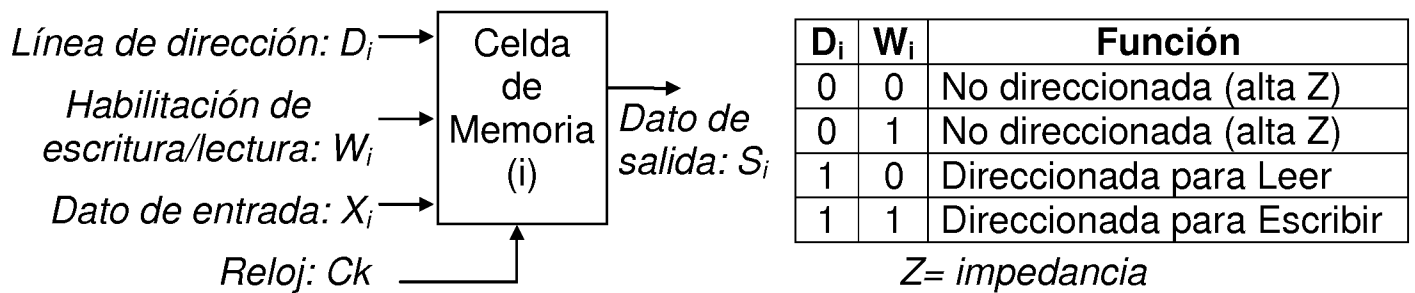
El diagrama de bloques del circuito a diseñar es el que se muestra en la siguiente figura:



PASOS a SEGUIR y CUESTIONES a RESPONDER:

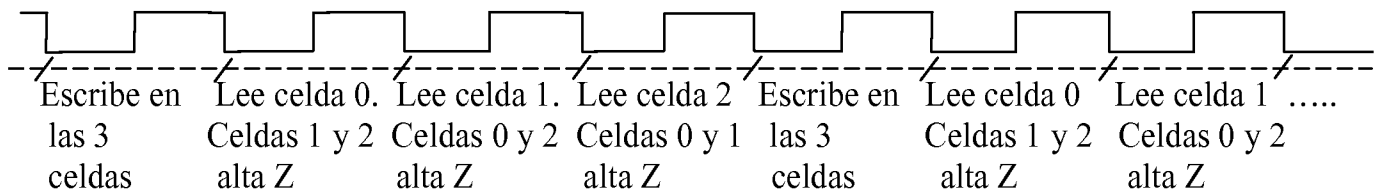
1- Diseño de la celda de memoria.

- 1.1. Diseñe una celda de memoria usando un biestable J-K y las puertas y “buffers drivers” que sean necesarias para su direccionamiento, lectura y escritura, teniendo en cuenta la tabla funcional de la figura adjunta.
- 1.2. Dibuje el circuito de la celda resultante.
- 1.3. Dibuje el circuito de la mini-memoria de tres bits uniendo tres celdas como la diseñada.



2. Circuito de direccionamiento de la memoria.

Este circuito está formado por un **contador** y un **circuito adicional** para que la escritura de la memoria sea en paralelo y la lectura sea de forma secuencial. Es decir, con un pulso de reloj se escribe la palabra digital en las tres celdas a la vez (un bit de la palabra en cada una de las celdas). Con cada uno de los tres pulsos siguientes se lee una de las tres celdas de forma secuencial. Primero se lee el contenido de la celda 0 mientras que la salida de cada una de las otras celdas, 1 y 2, presentan alta impedancia. Con el siguiente pulso de reloj se lee la celda 1 mientras las otras celdas presentan alta impedancia y con el cuarto pulso se lee la celda 2 y las otras dos presentan alta impedancia. Esta secuencia se repite cada 4 pulsos de reloj de forma indefinida, según se muestra en la siguiente figura:



2.1. Elija el tipo de contador, síncrono o asíncrono, que considere más adecuado, justifique su respuesta y realice el diseño de dicho contador.

2.2. Diseñe y dibuje el circuito adicional para que realice las operaciones de escritura y lectura descritas anteriormente.

3. Circuito Completo

3.1. Dibuje el circuito completo resultante del diseño a nivel de sus componentes elementales (biestables, puertas, etc).
