

- De los 4 pares de expresiones dados a continuación ¿Cuál es el que corresponde a las expresiones duales del teorema de adyacencia?

b) $AB + A\bar{B} = A, \quad (A + B)(A + \bar{B}) = A$

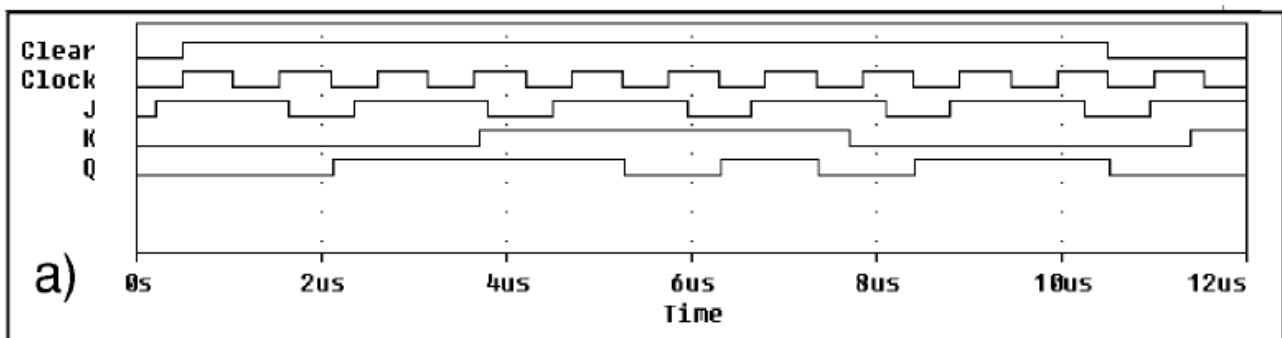
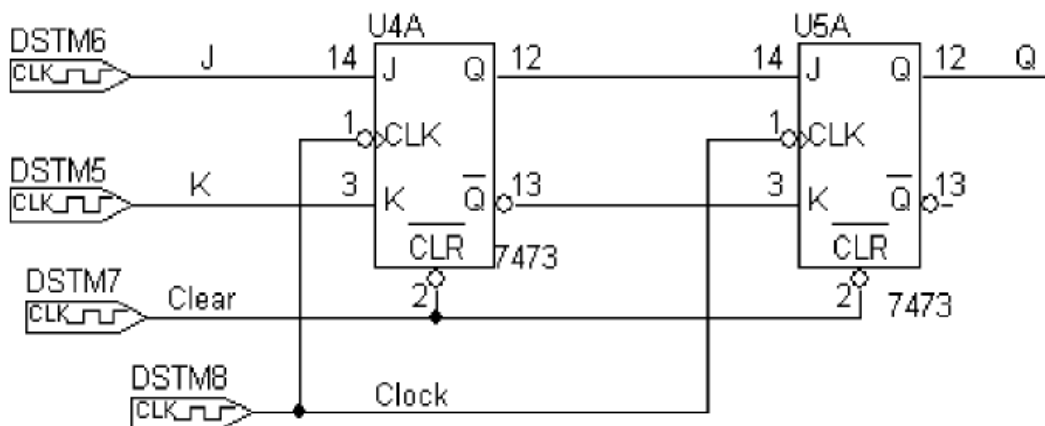
- De los 4 grupos de palabras binarias de 6 bits ¿cual es el que corresponde a la represnetación del número decimal 31, en binario puro, C-2 y BCD?

b) Binario: 011111, C-2: 011111, BCD (8421): 110001

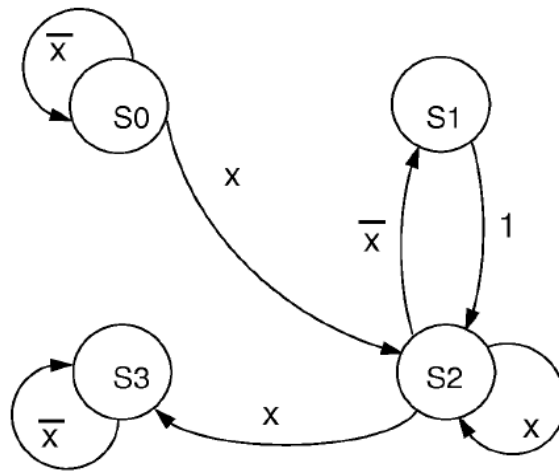
- ¿Cuáles son las expresiones genrales de la suma y del acarreo de un semi-sumador realizado sólo con puertas NAND?

c) $S_i = \overline{\overline{A_i} B_i} \overline{\overline{A_i} \overline{B_i}}, \quad C_{i+1} = \overline{\overline{A_i} B_i}$

- De los 4 cronogramas dados ¿Cual es el que representa e lguncionamiento del circuito implementado con biestables J-K disparados a las bajadas (flancos negativos o de bajada) de los pulsos de reloj?



5. La figura adjunta muestra el diagrama de transición de estados de un autómata finito. ¿Cuál es su matriz funcional?



	$S0(t+\Delta t)$	$S1(t+\Delta t)$	$S2(t+\Delta t)$	$S3(t+\Delta t)$
$S0(t)$	\overline{x}	0	x	0
$S1(t)$	0	0	1	0
$S2(t)$	0	\overline{x}	x	0
$S3(t)$	0	0	x	\overline{x}

a)

la flecha que sale de S2 y entra en S3 está cambiada de sentido, ya que de cada estado deben salir tantas flechas como configuraciones de entrada tiene el autómata, por lo tanto, necesariamente esto tiene que ser un error. Sin embargo, el número de flechas que entran en cada estado puede ser cualquier valor comprendido entre 0 y el número total de configuraciones de entrada

Diseño de una “mini-memoria” de 3 bits a partir de biestables J-K y de los circuitos necesarios para su direccionamiento, escritura y lectura de las palabras de 3 bits. La escritura en la mini-memoria se realiza en paralelo, es decir, se escribe en las tres celdas a la vez, mientras que la lectura se hace secuencialmente, de forma que cada 4 pulsos de reloj se cierra el ciclo completo de escritura y lectura.

1. Diseño de la celda de memoria:

Basandonos en la tabla adjunta, utilizamos una entrada que de momento llamaremos “control” para definir los valores que deben tener J-K :

Control	A	J	K	Q_{n+1}
0	0	0	1	0
0	1	1	0	1
1	0	0	0	Q_n
1	1	0	0	Q_n

Utilizando V-K se deduce el valor que debe tener la entrada de control:

$\begin{array}{c} A \\ \text{Control} \end{array}$	0	1
0	$\begin{array}{c} 0 \\ 0 \end{array}$	$\begin{array}{c} 1 \\ 1 \end{array}$
1	$\begin{array}{c} 2 \end{array}$	$\begin{array}{c} 3 \end{array}$

$$J = \overline{\text{Control}}A$$

$\begin{array}{c} A \\ \text{Control} \end{array}$	0	1
0	$\begin{array}{c} 1 \\ 0 \end{array}$	$\begin{array}{c} 1 \end{array}$
1	$\begin{array}{c} 2 \end{array}$	$\begin{array}{c} 3 \end{array}$

$$K = \overline{\text{Control}}A$$

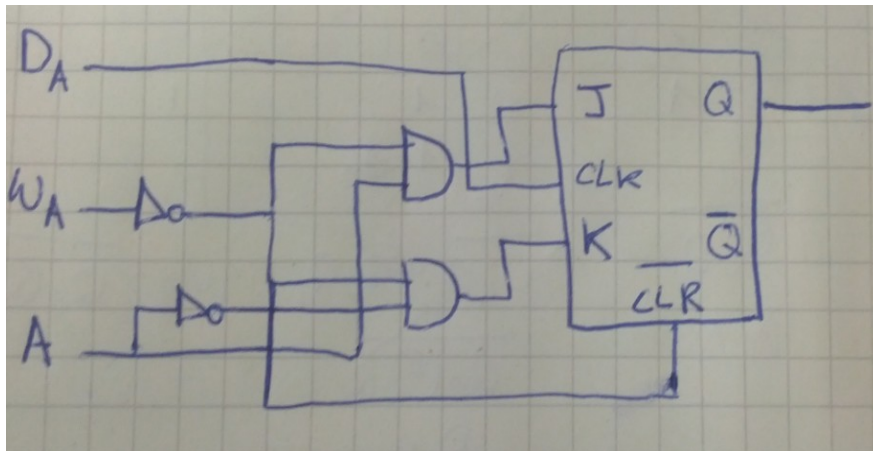
Además como se observa en esta tabla el valor de CLK coincide con D_i y el valor de control con W_i :

D_i	W_i	Control	Clk
0	0	Z	0
0	1	Z	0
1	0	1	1
1	1	0	1

Ya que solamente se escribirá en la tabla cuando D_i y W_i sean 11, como hemos establecido

que para escribir la entrada de control debe ser 0, utilizamos W_i como valor de control. Además cuando se escriba el Clear debe activarse, con lo que coincide con el valor de la variable de control:

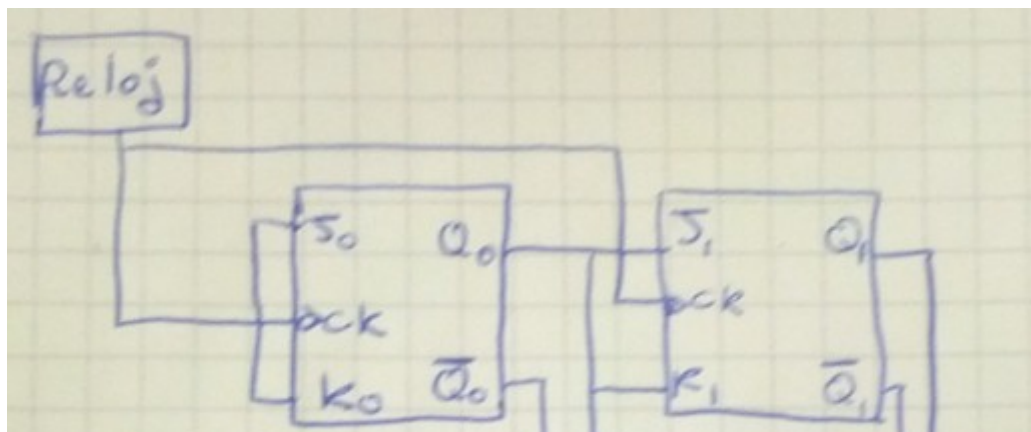
Con lo que una celda básica tendría el siguiente circuito (dibujamos la correspondiente a la entrada A):



2. Circuito de direccionamiento de la memoria:

Se utilizará un contador síncrono ya que se dispone de un reloj que controlará las diferentes ejecuciones sobre la memoria (ciclos escritura-lectura).

El contador de dos bits síncrono es el siguiente:



A continuación se deben definir los valores de entrada de la memoria en cada ciclo, para esto establecemos los valores del contador que valores establecen en las variables de entrada:

Q₀	Q₁	Da	Wa	Db	Wb	Dc	Wc
0	0	1	1	1	1	1	1
0	1	1	0	0	0	0	0
1	0	0	0	1	0	0	0
1	1	0	0	0	0	1	0

De esta tabla se observa, que solamente es necesario un único valor W_i para todas las entradas. Utilizando V-K podemos definir el valor:

$Q_1 \backslash Q_0$	0	1
0	1 ₀	1 ₁
1	2 ₂	3 ₃

$$W = \overline{Q_0 Q_1}$$

A continuación se deducen las variables de entrada para Da , Db y Dc :

$Q_1 \backslash Q_0$	0	1
0	1 ₀	1 ₁
1	2 ₂	3 ₃

$$Da = \overline{Q_0}$$

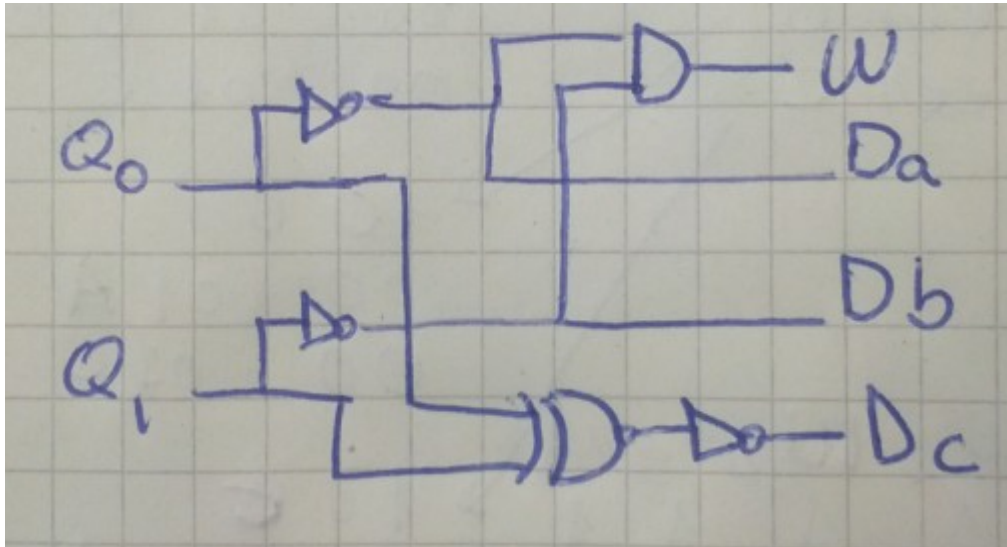
$Q_1 \backslash Q_0$	0	1
0	1 ₀	1 ₁
1	1 ₂	3 ₃

$$Db = \overline{Q_1}$$

$Q_1 \backslash Q_0$	0	1
0	1 ₀	1 ₁
1	2 ₂	1 ₃

$$D_c = \overline{Q_0 Q_1} + Q_0 Q_1 = \overline{Q_0 \oplus Q_1}$$

El circuito de control resultante es el siguiente:



3. Circuito completo:

