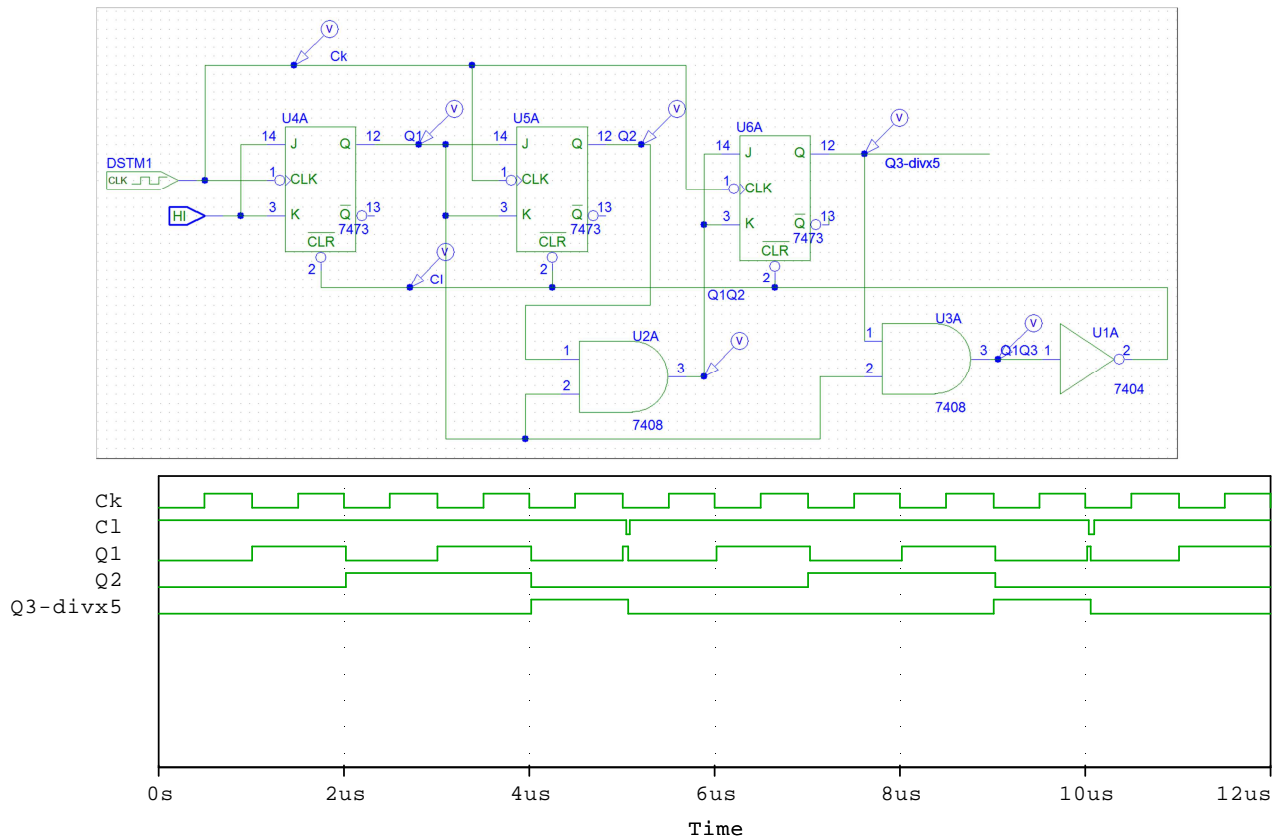


Divisor de frecuencia por 5

Este circuito consiste en un contador síncrono que se pone a cero mediante la detección de la configuración de salida 101 y la generación de un pulso que actúa sobre la señal de "clear" de los biestables.



Como podemos ver el periodo del reloj principal es de 1us y el periodo de la salida Q3 (salida del divisor) es 5us, luego la frecuencia se ha dividido por 5.
