

PROBLEMAS DE ELECTRÓNICA DIGITAL

A. E. DELGADO
J. MIRA
R. HERNÁNDEZ
J. C. LÁZARO



SANZ Y TORRES S.L.

PROBLEMAS DE ELECTRÓNICA DIGITAL

A. E. DELGADO - J. MIRA
R. HERNÁNDEZ - J. C. LÁZARO



SANZ Y TORRES

Prólogo a la segunda edición

En esta segunda edición del libro hemos procurado corregir los errores y erratas detectados en la edición anterior e introducir explicaciones más detalladas en aquellos problemas en los que nuestros alumnos habían detectado excesiva parquedad en el procedimiento de solución. Es decir, hemos hecho más énfasis en los aspectos tutoriales, básicos en la enseñanza a distancia.

También hemos añadido un índice temático que no es usual en libros de problemas. La razón es de nuevo la metodología de la enseñanza a distancia. Cuando el alumno busque un tipo de problema, encontrará una descripción en lenguaje natural sobre el propósito de ese problema: Análisis, síntesis con puertas, síntesis con multiplexores, control del direccionamiento de una memoria RAM, etc. De este modo, creemos que le será más fácil navegar conceptualmente desde la teoría para buscar los contenidos necesarios para la solución de un problema.

Madrid, Marzo 1999

Los autores

Problemas de Electrónica Digital

Presentación

El contenido de este libro de problemas de Electrónica Digital está asociado con el texto de teoría "Electrónica Digital" de Mira, Delgado, Dormido y Canto, también en la Editorial Sanz y Torres. Ambos textos se complementan y están pensados para cubrir la docencia de la Electrónica Digital del primer curso de la Diplomatura de Informática de Sistemas en la U.N.E.D. A su vez, sirven de base al programa de Estructura y Tecnología de Computadores II común a las especialidades de Sistemas y Gestión.

Por consiguiente, es un texto construido de acuerdo con la metodología propia de la educación a distancia, enlazando temas, manteniendo siempre claro el propósito de todas y cada una de las unidades didácticas y haciendo explícito el proceso de razonamiento que el profesor ha seguido para la solución de los problemas. Este cuidado en la línea de pensamiento seguida en el proceso de solución puede hacer que este texto de problemas sea también útil para otros alumnos de la Universidad presencial.

Los problemas que contiene son los que se propusieron al final de los capítulos correspondientes del texto de teoría, junto con otros procedentes de exámenes y un tercer grupo de problemas nuevos basados en las prácticas de laboratorio y en el uso del simulador PSpice en su versión de evaluación que es de libre circulación. Se ha añadido un conjunto nuevo de problemas para el tema 2 (dispositivos electrónicos) como consecuencia de la experiencia docente que nos ha mostrado su influencia en la comprensión del funcionamiento de las distintas familias lógicas, las celdas de memoria y otros circuitos.

Este libro de problemas es un material de trabajo con *procedimientos genéricos* y por consiguientes extrapolables a otros problemas análogos y conviene que el alumno lo use con ese criterio. No importa tanto la forma concreta de un diagrama de transición de estados como el método usado para construirlo y, posteriormente, sintetizarlo usando biestables. Lo mismo

INDICE

1 Exigencias computacionales del procesamiento digital de la información 1

E.1.1	Análisis de un circuito lógico	3
E.1.2	Analizar y pasar a NAND	4
E.1.3	Paso de NAND a NOR	8
E.1.4	Síntesis de funciones lógicas	10
E.1.5	Representación de funciones lógicas en las formas canónicas	16
E.1.6	Teoremas de DeMorgan y de Adyacencia	19
E.1.7	Minimización por diagramas de Karnaugh	22
E.1.8	Minimización de términos mínimos por Karnaugh	23
E.1.9	Minimización de términos máximos por Karnaugh	25
E.1.10	Minimización de funciones con términos irrelevantes	27

2 Dispositivos semiconductores en corte y saturación 31

E.2.1	Circuito de polarización básica del diodo	32
E.2.2	Característica de transferencia de un diodo con desplazamiento de niveles	39
E.2.3	Circuito recortador a dos niveles con diodos	45
E.2.4	Puente rectificador	50
E.2.5	Obtención de las curvas características de un transistor bipolar	55
E.2.6	Polarización de un transistor bipolar	60
E.2.7	Circuito seguidor de tensión o en colector común	66
E.2.8	Curvas características de un transistor MOS	69

3 Familias lógicas (I): TTL **75**

E.3.1	Inversor simple	76
E.3.2	Inversor simple con alimentación única	84
E.3.3	Puertas DTL	87
E.3.4	Puerta NAND en tecnología HTL	91
E.3.5	Análisis de una puerta NAND en tecnología AS	98

4 Familias lógicas (II): ECL, MOS y CMOS **105**

E.4.1	Análisis y simulación de un inversor en tecnología ECL	106
E.4.2	Análisis y simulación de la puerta NOR en tecnología ECL	110
E.4.3	Estudio de los circuitos de acoplo entre ECL y TTL	116
E.4.4	Análisis detallado de un disparador Schnitt en tecnología ECL	123
E.4.5	Aplicación de las reglas de transformación para puertas CMOS	130
E.4.6	Estudio de la característica de transferencia del inversor CMOS	132
E.4.7	Utilización del integrado 4007UB para conseguir distintas operaciones lógicas	135
E.4.8	Obtención en simulación de la curva de transferencia de un inversor CMOS	138
E.4.9	Análisis de un circuito lógico CMOS y obtención de la función que realiza	141
E.4.10	Análisis de una puerta de transmisión MOS	144

5 Lógica combinacional (I): Funciones aritmético-lógicas **149**

E.5.1	Circuitos semisumador y sumador completo usando puertas NAND	150
E.5.2	Diseño del circuito restador	151
E.5.3	Diseño del circuito sumador-restador	154
E.5.4	Diseño recursivo de un comparador	158
E.5.5	Análisis del generador-detector de paridad	167
E.5.6	Utilización de la ALU-AS181	170

6 Lógica combinacional (II): Ruta de datos 179

E.6.1	Diseño de un MUX de 4 a 1 con puertas lógicas	180
E.6.2	Diseño en dos niveles mediante MUX	183
E.6.3	Análisis de un circuito realizado con MUX	186
E.6.4	Diseño de circuitos decodificadores mediante MUX y DEMUX	187
E.6.5	Diseño del circuito conversor de BCD a siete segmentos	197

7 Introducción a la lógica programable 203

E.7.1	Síntesis de funciones lógicas mediante PROM's, PAL's y PLA's	203
E.7.2	Sumador mediante lógica programable	206
E.7.3	Comparador mediante lógica programable	209
E.7.4	Sumador-restador mediante lógica programable	212
E.7.5	Diseño de una mini-ALU mediante lógica programable	215
E.7.6	Implementación de funciones lógicas mediante lógica programable	221
E.7.7	Síntesis de circuitos conversores de código mediante lógica programable	223

8 Exigencias computacionales de la lógica secuencial: Circuitos biestables 227

E.8.1	Análisis de un circuito secuencial	228
E.8.2	Análisis de un circuito secuencial	230
E.8.3	Análisis de un circuito secuencial	233
E.8.4	Síntesis de autómatas finitos utilizando biestables D	236
E.8.5	Diseño de un biestable R-S mediante puertas NAND	245
E.8.6	Diseño de un biestable J-K utilizando otros biestables	247
E.8.7	Análisis de un circuito formado por biestables J-K "maestro-esclavo"	249

9 Introducción al diseño secuencial: Contadores y registros **253**

E.9.1	Circuito de control de un ascensor	254
E.9.2	Síntesis de un autómata finito de dos estados con biestable J-K	264
E.9.3	Diseño de un autómata universal de dos estados	276
E.9.4	Síntesis de detectores de secuencia binaria	278
E.9.5	Diseño de contadores asíncronos	285
E.9.6	Generador de secuencias	290
E.9.7	Análisis de contadores	298
E.9.8	Registro de desplazamiento	303
E.9.9	Análisis de un registro de desplazamiento universal (SN74S195)	310
E.9.10	Síntesis de registro de desplazamiento	313

10 Temporizadores y relojes **317**

E.10.1	Análisis de un circuito monoestable construido con puertas TTL	318
E.10.2	Obtención de formas de onda de un astable construido con inversores CMOS	323
E.10.3	Construcción de un circuito astable con dos monoestables	328
E.10.4	Análisis del comportamiento del circuito integrado 555	333
E.10.5	Síntesis de un divisor $\div 2$ de frecuencia con un monoestable y un astable	337
E.10.6	Síntesis de un detector de omisión de un pulso de un tren de pulsos	341
E.10.7	Análisis de circuitos de generación de trenes de pulsos	346
E.10.8	Síntesis de un reloj polifásico a partir del cronograma	350

11 Memorias RAM y CAM **357**

E.11.1	Análisis de una celda básica de memoria en tecnología NMOS	358
E.11.2	Análisis temporal de una celda de memoria RAM estática al escribir datos	360
E.11.3	Análisis temporal de una celda RAM estática en tecnología MOS	362
E.11.4	Síntesis de una celda de memoria estática en tecnología CMOS	364
E.11.5	Diseño de circuitería para direccionar, leer y escribir en una memoria RAM	366
E.11.6	Diseño de la circuitería para acceder a las celdas de una memoria RAM	369

E.11.7 Organización de memorias y circuito comprobador de escritura	373
E.11.8 Organización de memorias	377
E.11.9 Diseño con memorias CAM	380
E.11.10 Diseño de los circuitos del lectura y escritura para una memoria CAM	383

12 Memorias de acceso secuencial **387**

E.12.1 Estudio comparativo CCD y MOS	388
E.12.2 Análisis de un registro de desplazamiento con reloj bifásico	390
E.12.3 Registro CMOS con puertas de transmisión	292
E.12.4 Diseño de circuitos para estructuras de memorias secuenciales	394
E.12.5 Conexión en serie y en paralelo de dos memorias FIFO	401
E.12.6 Conexión de memorias LIFO	408

TEMA

1

Exigencias computacionales del procesamiento digital de la información

PROPÓSITO

El propósito de este primer capítulo de problemas de Electrónica Digital es ofrecer al alumno las bases lógicas de la electrónica combinatorial. Es decir, queremos que el alumno sepa representar, minimizar, analizar y sintetizar circuitos lógicos de pocas variables.

***Representar** una función lógica es encontrar un procedimiento para describir de forma completa a esa función. Para cada configuración de valores lógicos en sus variables de entrada (x_1, \dots, x_n) , debemos especificar los valores de la variable de salida, $y = f(x_1, \dots, x_n)$.*

Hemos visto en teoría la representación por tablas de verdad y por expresiones booleanas en forma AND, OR, NOT, sólo NAND o sólo NOR. Por consiguiente, los problemas de este apartado se refieren a cambios de representación. Dada una tabla obtener la función, dada una función en términos de los operadores (AND, OR, NOT), obtener otra equivalente usando sólo NAND, etc., tal como se ilustra en el diagrama de la figura (1.0.1).



Fig. 1.0.1 Posibles tipos de problemas que hacen referencia a cambios de representación

Dentro de los problemas de representación hay una familia de problemas que no se preocupan de cambiar la representación sino de obtener la representación mínima, eliminando los términos redundantes. También incluimos algunos problemas de este tipo que usan los diagramas de Karnaugh para hacer vecinos a los términos que sólo se diferencian en el valor de una de sus variables de forma tal que hacen evidente el proceso de minimización usando los teoremas de adyacencia.

*Otro tipo general de problemas se refiere al **análisis** de circuitos lógicos. Aquí se propone al alumno un determinado circuito con varias entradas y una o más salidas y se pide la expresión que relaciona las entradas con las salidas. Basta seguir el circuito y sustituir los símbolos de los operadores (Y, O, NO, XOR, NAND, NOR,...) por su función lógica hasta llegar a cada una de las salidas y después simplificar. Se comprueba en extenso que el análisis ha sido correcto cuando para todas las configuraciones de entrada, el circuito de partida y la función propuesta por nosotros dan el mismo resultado.*

***Minimizar** una función lógica es la obtención de una segunda función lógica equivalente, de tal forma que frente a las mismas combinaciones de entrada proporcione las mismas salidas que la función original pero con una representación mucho más simple. La minimización proporciona circuitos en los que intervienen menos elementos y/o elementos con menos entradas. La minimización es dependiente de la representación empleada. Es decir, que la minimización de una función lógica en una representación podrá proporcionar esquemas más sencillos que la minimización de la misma función empleando otra representación.*

Finalmente, el tercer tipo de problemas es la *síntesis*. Ahora proponemos un conjunto de funciones y pedimos su realización física. En ocasiones pediremos que el circuito final contenga solo un tipo de operador (NOR, NAND, etc.). En otros el diseño será libre.



EJERCICIOS RESUELTOS

E.1.1 Análisis de un circuito lógico

Obtener las expresiones lógicas que describen las relaciones entre las variables de entrada X , Y y Z y las variables de salida A y B en el circuito de la figura.

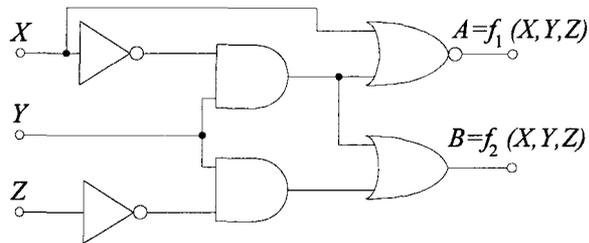


Fig. 1.1.1 Circuito correspondiente al ejercicio E.1.1

Solución:

Este es un problema de análisis. Para facilitar su solución, repetimos el esquema escribiendo detrás de cada operador la función local que realiza (figura 1.1.2)

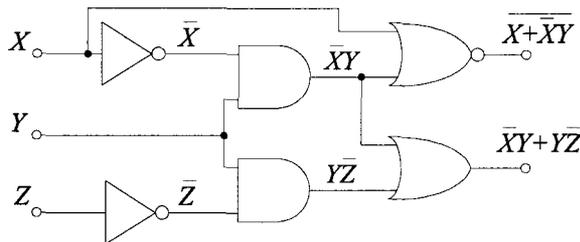


Fig. 1.1.2 Solución del ejercicio E.1.1

Obtenemos así:

$$A = f_1(X, Y, Z) = \overline{X + \overline{X}Y} \quad \text{y} \quad B = f_2(X, Y, Z) = \overline{\overline{X}Y + Y\overline{Z}}$$



E.1.2 Analizar y pasar a NAND

Analizar el circuito de la figura y pasarlo a su equivalente en puertas NAND.

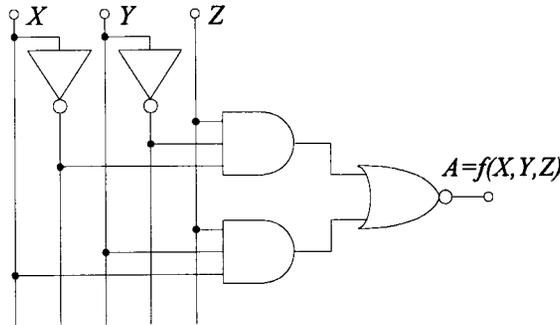


Fig. 1.2.1 Circuito correspondiente al ejercicio E.1.2

Solución:

Este problema posee una primera parte de análisis y otra de cambio de representación. Para la primera parte, escribimos la función detrás de cada operador (fig. 1.2.2), con lo que se obtiene:

$$A = f_1(X, Y, Z) = \overline{\overline{X} \overline{Y} Z + XYZ}$$

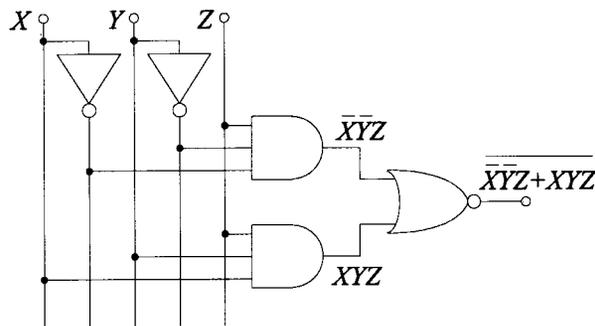


Fig. 1.2.2 Circuito del ejercicio E.1.2 especificando las funciones locales

Para la segunda parte, vamos a desarrollar la expresión anterior buscando su forma canónica mínima mediante la aplicación de los postulados y los teoremas del algebra de Boole. Después cambiaremos la representación a puertas NAND.

Así, aplicando el Teorema de Morgan

$$A = \overline{\overline{X} \overline{Y} Z + X Y Z} = \overline{(\overline{X} \overline{Y} Z)(X Y Z)} = (X + Y + \overline{Z})(\overline{X} + \overline{Y} + \overline{Z})$$

Desarrollando y teniendo en cuenta el postulado de complementariedad ($X\overline{X} = 0$ e $Y\overline{Y} = 0$) y el Teorema de identificación ($\overline{Z}\overline{Z} = \overline{Z}$)

$$A = \underbrace{\overline{X}\overline{X}}_0 + X\overline{Y} + X\overline{Z} + Y\overline{X} + \underbrace{Y\overline{Y}}_0 + Y\overline{Z} + \overline{Z}\overline{X} + \overline{Z}\overline{Y} + \underbrace{\overline{Z}\overline{Z}}_{\overline{Z}}$$

y considerando el postulado de existencia de Elemento Neutro:

$$(\overline{Z}(X + Y + \overline{X} + \overline{Y}) + \overline{Z} = \overline{Z})$$

tendremos:

$$A = X\overline{Y} + Y\overline{X} + \underbrace{\overline{Z}(X + Y + \overline{X} + \overline{Y})}_{\overline{Z}} + \overline{Z} = X\overline{Y} + \overline{X}Y + \overline{Z}$$

es decir

$$A = X\overline{Y} + \overline{X}Y + \overline{Z}$$

Esta expresión ya es mínima. Lo podemos comprobar usando el diagrama de Veith-Karnaugh correspondiente. Figura (1.2.3).

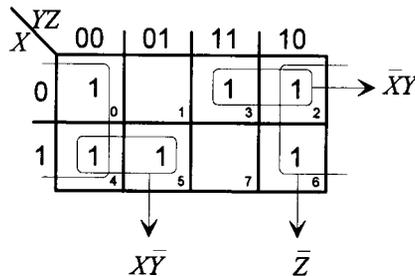


Fig. 1.2.3 Diagrama de Karnaugh del ejercicio E.1.2

Para obtener la representación equivalente usando solo puertas NAND, el procedimiento general es complementar dos veces (lo que equivale a dejar la función tal como estaba) y aplicar los teoremas de DeMorgan. Llega un momento en el que en la expresión lógica sólo quedan variables negadas ($\overline{X}, \overline{Y}$) o negaciones de productos, con lo que hemos terminado. La negación de las variables se pueden sintetizar con

una puerta NAND en la que unimos las dos entradas, comportándose entonces como un inversor tal y como se muestra en la figura 1.2.4.

$$X\bar{Y} + \bar{X}Y + \bar{Z} = \overline{\overline{X\bar{Y} + \bar{X}Y + \bar{Z}}} = \overline{(\overline{X\bar{Y}})(\overline{\bar{X}Y})Z} = (X \uparrow \bar{Y}) \uparrow (\bar{X} \uparrow Y) \uparrow Z$$

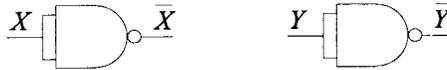


Fig. 1.2.4 Empleo de la puerta NAND para complementar las variables X e Y

Con lo que el circuito final realizado solo con puertas NAND nos queda:

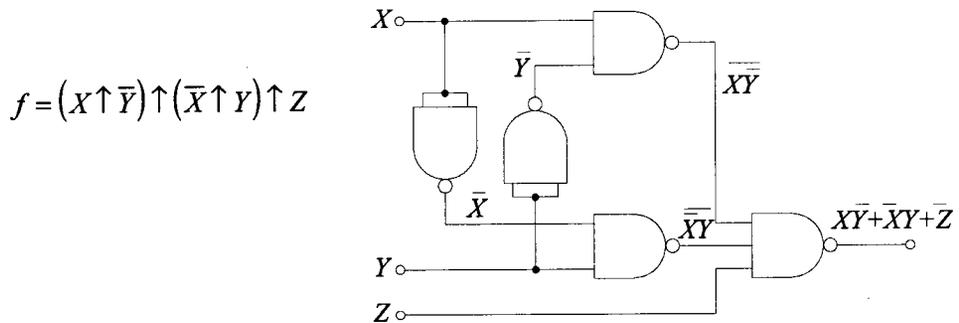


Fig. 1.2.5 Circuito sintetizado utilizando únicamente puertas NAND

Existe una posibilidad alternativa de pasar desde el circuito inicial (AND, OR, NOT) al final (sólo NAND) aplicando directamente los teoremas de DeMorgan sobre el esquema correspondiente a la forma canónica normal disyuntiva. Si una conexión la niego dos veces no pasa nada. Así:



Fig. 1.2.6 "Truco" para aplicar las leyes de DeMorgan directamente sobre el esquema

Por consiguiente, volvemos al circuito $X\bar{Y} + \bar{X}Y + \bar{Z}$ y complementamos la salida del primer nivel y la entrada al segundo, tal como se ilustra en la figura (1.2.7).

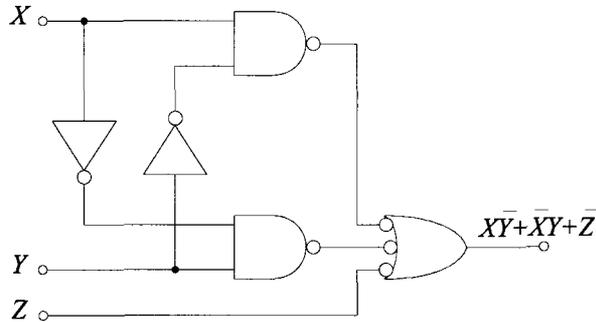


Fig. 1.2.7 Aplicación de las leyes de DeMorgan al circuito del ejercicio E.1.2

Obsérvese que así ya lo tenemos todo en forma NAND, ya que:

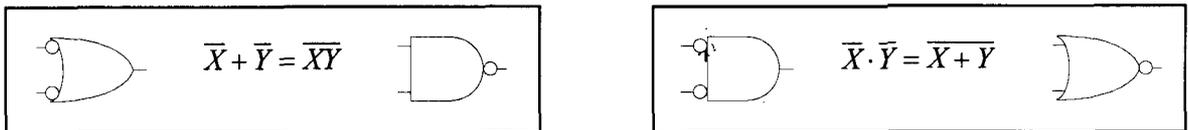


Fig. 1.2.8 Representación gráfica de los teoremas de DeMorgan

En la figura (1.2.8) se muestran las expresiones analíticas y los circuitos correspondientes a los dos teoremas de DeMorgan. El método es válido tanto para circuitos representados como suma de términos mínimos como para los que se representan como producto de términos máximos.

□ □ □ □

E.1.3 Paso de NAND a NOR

Pasar a puertas NOR el circuito del problema anterior.

Solución:

Es de nuevo un problema de cambio de representación. En este caso también tenemos como punto de partida en el enunciado el esquema del circuito, por lo que lo primero que deberíamos hacer es un análisis del mismo, como se hizo en el ejercicio anterior.

Partimos ahora de la expresión obtenida entonces:

$$A = f_1(X, Y, Z) = \overline{\overline{X} \overline{Y} Z + XYZ}$$

Aplicando DeMorgan: $A = \overline{\overline{X} \overline{Y} Z + XYZ} = (X + Y + \overline{Z})(\overline{X} + \overline{Y} + \overline{Z})$

Que en la lógica de dos niveles (OR-AND) da lugar al circuito de la figura (1.3.1).

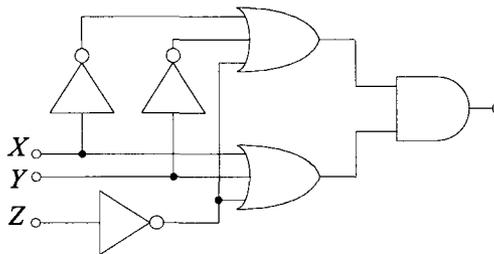


Fig. 1.3.1 Esquema del circuito resultante como producto de "maxterms"

Si negamos dos veces y aplicamos de nuevo DeMorgan para obtenemos la representación con sólo puertas NOR:

$$\begin{aligned} f &= \overline{\overline{(X + Y + \overline{Z})(\overline{X} + \overline{Y} + \overline{Z})}} = \overline{\overline{(X + Y + \overline{Z})} + \overline{\overline{(\overline{X} + \overline{Y} + \overline{Z})}}} = \\ &= (X \downarrow Y \downarrow \overline{Z}) \downarrow (\overline{X} \downarrow \overline{Y} \downarrow \overline{Z}) \end{aligned}$$

que se representa mediante el circuito de la figura (1.3.2):

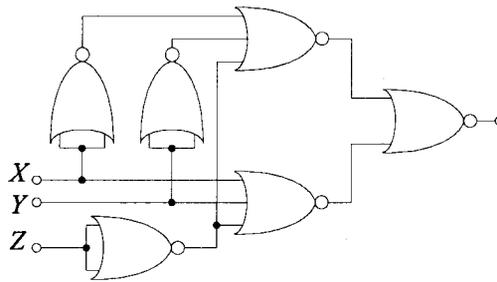


Fig. 1.3.2 Implementación de la función del ejercicio E.1.3 sólo con puertas NOR

Una forma más sencilla y rápida de conseguir la transformación, en este caso que ya disponemos del circuito en su representación OR-AND, es emplear el método gráfico descrito en el ejercicio E.1.2. Como ya se describió, este método se puede aplicar directamente sobre el esquema del circuito. Consiste en negar las salidas de las puertas del primer nivel y las entradas de las puertas del segundo nivel. Con esta doble negación, que no altera lo más mínimo la función del circuito, se convierten las puertas AND(OR) del primer nivel en puertas NAND(NOR) y las puertas OR(AND) del segundo nivel en puertas OR(AND) con las entradas negadas, o lo que es lo mismo en puertas NAND(NOR) con las entradas sin negar. Este hecho, como ya se apuntó en el mencionado ejercicio no es más que el teorema de DeMorgan: $\overline{X + Y} = \overline{X} \overline{Y}$; $\overline{X Y} = \overline{X} + \overline{Y}$.

Como se acaba de describir este método es igualmente válido para obtener la representación sólo con puertas NAND partiendo del esquema del circuito representado con la lógica de dos niveles AND-OR (suma de minterms), como para obtener la representación sólo con puertas NOR a partir del esquema del circuito representado con la lógica de dos niveles OR-AND (producto de maxterms).

Aplicando este método al esquema de la figura (1.3.1) y sustituyendo los inversores por puertas NOR con las entradas unidas, obtenemos inmediatamente el circuito de la figura (1.3.2) sin necesidad de realizar ningún cálculo.

□ □ □ □

E.1.4 Síntesis de funciones lógicas

Sintetizar a) usando AND, OR y Negación, b) sólo puertas NAND, c) sólo puertas NOR, el circuito correspondiente a las siguientes funciones lógicas:

$$A = f_1(X, Y, Z) = (\bar{X}Y + X\bar{Y})Z + \bar{Z}(XY + \bar{X}\bar{Y})$$

$$B = f_2(X, Y, Z) = \bar{X} + \bar{Y}Z + \bar{Z}X$$

Solución:

Se trata de un problema de cambio de representación que incluye las formas más usuales.

A) Representación AND-OR-NOT

Veamos primero la representación (AND, OR, NOT), buscando su expresión mínima en forma normal disyuntiva.

Al desarrollar los productos de Z y \bar{Z} por los términos incluidos en los paréntesis, obtenemos un conjunto de términos que ya no admiten minimización, tal como comprobamos al representarlos en el diagrama de Karnaugh correspondiente:

$$A = f_1 = \underbrace{\bar{X}YZ}_{m_3} + \underbrace{X\bar{Y}Z}_{m_5} + \underbrace{XY\bar{Z}}_{m_6} + \underbrace{\bar{X}\bar{Y}\bar{Z}}_{m_0} = \sum m(0,3,5,6)$$

	\backslash YZ	00	01	11	10
0	/	1		1	
		0	1	3	2
1	/		1		1
		4	5	7	6

Fig. 1.4.1 Diagrama de Karnaugh correspondiente a la función del ejercicio E.1.4

La síntesis con AND, OR, NOT a dos niveles se realiza generando primero la negación de las variables (\bar{x} , \bar{y} , \bar{z}), después los productos (términos mínimos:

m_0, m_3, m_5, m_6) y después las sumas. La implementación de esta función aparece en la figura (1.4.2 a).

La segunda función (f_2), sí se puede minimizar, tal y como podemos comprobar a continuación.

Aplicando los postulados P.2 ($x \cdot 1 = x$), P5 ($z + \bar{z} = 1$) y T.2 ($x \cdot x = x$) obtenemos:

$$\begin{aligned} \bar{X} + \bar{Z}X + \bar{Y}Z &= \bar{X} \cdot 1 + \bar{Z}X + \bar{Y}Z = \bar{X}(Z + \bar{Z}) + \bar{Z}X + \bar{Y}Z = \bar{X}Z + \bar{X}\bar{Z} + \bar{Z}X + \bar{Y}Z \\ &= (\bar{X}Z + \bar{X}\bar{Z}) + (\bar{X}\bar{Z} + \bar{Z}X) + \bar{Y}Z = \bar{X} + \bar{Z} + \bar{Y}Z \end{aligned}$$

Repitiendo esto para $\bar{Z} + \bar{Y}Z$:

$$\bar{Z} + \bar{Y}Z = \bar{Z}(Y + \bar{Y}) + \bar{Y}Z = \bar{Z}Y + \bar{Z}\bar{Y} + \bar{Y}Z = \bar{Z} + \bar{Y}$$

se obtiene finalmente

$$f_2 = \bar{X} + \bar{Y} + \bar{Z}$$

El esquema correspondiente es el que se muestra en la figura 1.4.2 b).

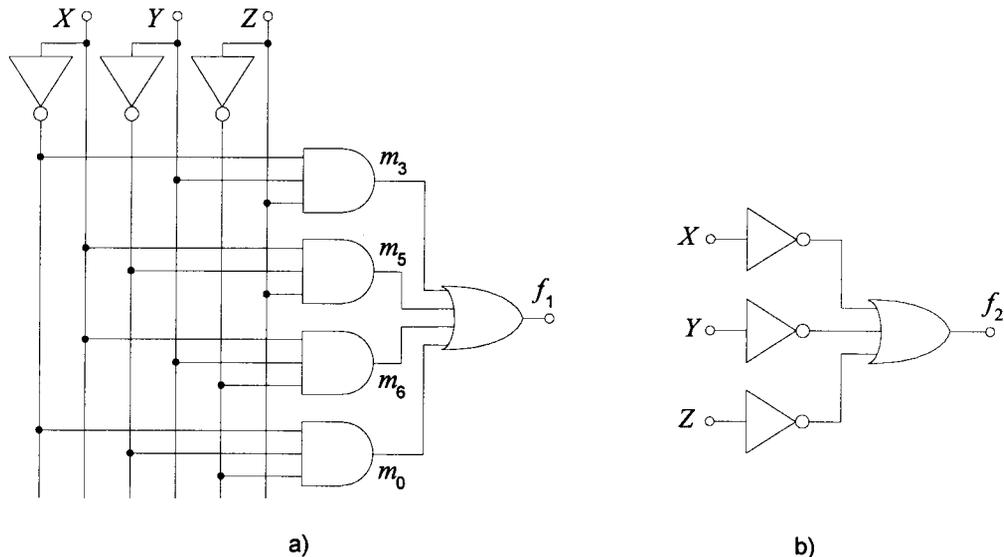


Fig. 1.4.2 a) Implementación de la función f_1 en lógica de dos niveles (AND-OR). b) Ídem de la función f_2

B) Paso a representación con solo puertas NAND

El paso a NAND no merece más comentarios. Ya lo hemos visto en problemas anteriores:

$$f_1 = \overline{X}YZ + X\overline{Y}Z + XY\overline{Z} + \overline{X}\overline{Y}\overline{Z} = \overline{\overline{\overline{\overline{X}YZ} + \overline{\overline{\overline{\overline{X\overline{Y}Z} + \overline{\overline{\overline{\overline{XY\overline{Z}} + \overline{\overline{\overline{\overline{\overline{X}\overline{Y}\overline{Z}}}}}}}}}}}}}}}}}} = \overline{(\overline{X}YZ)(X\overline{Y}Z)(XY\overline{Z})(\overline{X}\overline{Y}\overline{Z})}$$

$$f_1 = (\overline{X} \uparrow Y \uparrow Z) \uparrow (X \uparrow \overline{Y} \uparrow Z) \uparrow (X \uparrow Y \uparrow \overline{Z}) \uparrow (\overline{X} \uparrow \overline{Y} \uparrow \overline{Z})$$

Haciendo lo mismo con la función f_2 obtenemos:

$$f_2 = \overline{X} + \overline{Y} + \overline{Z} = \overline{XYZ} = X \uparrow Y \uparrow Z$$

La implementación de estas dos funciones f_1 y f_2 se muestra en las figuras (1.4.3 a) y (1.4.3 b) respectivamente:

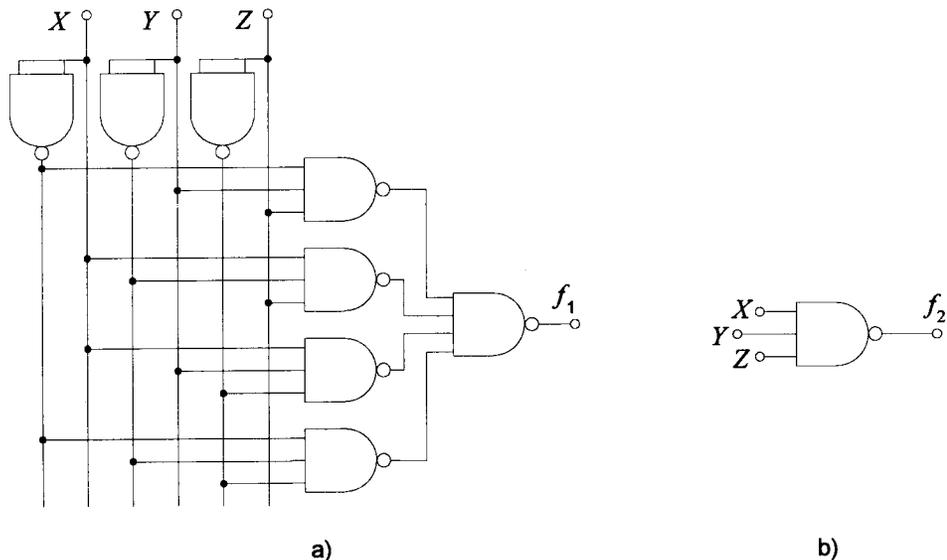


Fig. 1.4.3 a) Implementación de la función f_1 sólo con puertas NAND.
b) Ídem de la función f_2

C) Paso a representación sólo con puertas NOR.

Para implementarla con puertas NOR es más conveniente expresar la función como producto de sumas:

$$\begin{aligned}
 f_1 &= (\overline{XY} + X\overline{Y})Z + (XY + \overline{X}\overline{Y})\overline{Z} = \overline{\overline{XYZ} + X\overline{Y}Z + XY\overline{Z} + \overline{X}\overline{Y}\overline{Z}} = \\
 &= \overline{(\overline{XYZ})(X\overline{Y}Z)(XY\overline{Z})(\overline{X}\overline{Y}\overline{Z})} = \overline{(X + \overline{Y} + \overline{Z})(\overline{X} + Y + \overline{Z})(\overline{X} + \overline{Y} + Z)(X + Y + Z)}
 \end{aligned}$$

$$\begin{aligned}
 f_1 &= \overline{\overline{Z} + (X + \overline{Y})(\overline{X} + Y)} \left[\overline{(\overline{X} + \overline{Y})(X + Y) + Z} \right] = \\
 &= \underbrace{\overline{\overline{ZZ}}}_0 + \overline{\overline{Z}}(\overline{X} + \overline{Y})(X + Y) + Z(X + \overline{Y})(\overline{X} + Y) + \underbrace{(X + \overline{Y})(\overline{X} + Y)(\overline{X} + \overline{Y})(X + Y)}_0
 \end{aligned}$$

Al igual que la suma de todos los minterms de n variables es igual a uno, el producto de todos los maxterms es igual a cero. Como $X\overline{X} = 0$ y $Y\overline{Y} = 0$:

$$\begin{aligned}
 \underbrace{(X + \overline{Y})(\overline{X} + Y)}_{X\overline{X} + XY + \overline{Y}\overline{X} + \overline{Y}Y} \underbrace{(\overline{X} + \overline{Y})(X + Y)}_{\overline{X}X + \overline{X}Y + \overline{Y}X + \overline{Y}Y} &= (XY + \overline{Y}\overline{X})(\overline{X}Y + \overline{Y}X) = \\
 &= \underbrace{XY\overline{X}Y}_0 + \underbrace{XY\overline{Y}X}_0 + \underbrace{\overline{Y}\overline{X}\overline{X}Y}_0 + \underbrace{\overline{Y}\overline{X}\overline{Y}X}_0 = 0
 \end{aligned}$$

con lo que sustituyendo y desarrollando:

$$\begin{aligned}
 f_1 &= \overline{Z} \left[\underbrace{\overline{X}X}_0 + \overline{X}Y + \overline{Y}X + \underbrace{\overline{Y}Y}_0 \right] + Z \left[\underbrace{X\overline{X}}_0 + XY + \overline{X}\overline{Y} + \underbrace{\overline{Y}Y}_0 \right] = \\
 &= \overline{\overline{XYZ} + X\overline{Y}Z + XY\overline{Z} + \overline{X}\overline{Y}\overline{Z}} = \overline{(\overline{XYZ})(X\overline{Y}Z)(XY\overline{Z})(\overline{X}\overline{Y}\overline{Z})} = \\
 &= \overline{(X + \overline{Y} + Z)(\overline{X} + Y + Z)(\overline{X} + \overline{Y} + \overline{Z})(X + Y + \overline{Z})}
 \end{aligned}$$

De donde negando dos veces y aplicando una vez los teoremas de DeMorgan se obtiene la representación final sólo con puertas NOR:

$$f_1 = (X \downarrow \bar{Y} \downarrow Z) \downarrow (\bar{X} \downarrow Y \downarrow Z) \downarrow (\bar{X} \downarrow \bar{Y} \downarrow \bar{Z}) \downarrow (X \downarrow Y \downarrow \bar{Z})$$

con lo que el circuito final es el representado en la figura (1.4.4 a).

Aquí se ha realizado el desarrollo completo aplicando sucesivamente los teoremas del álgebra de Boole pero hay un camino más corto que es el de pasar la función expresada como suma de "minterms" a producto de "maxterms" de donde negando dos veces obtenemos directamente la función expresada sólo en función de operadores NOR:

$$f_1 = \sum m(0,3,5,6) = \prod M(1,2,4,7)$$

$$f_1 = (X + Y + \bar{Z})(X + \bar{Y} + Z)(\bar{X} + Y + Z)(\bar{X} + \bar{Y} + \bar{Z}) =$$

$$\begin{aligned} &= \overline{\overline{(X + Y + \bar{Z})(X + \bar{Y} + Z)(\bar{X} + Y + Z)(\bar{X} + \bar{Y} + \bar{Z})}} \\ &= \overline{\overline{(X + Y + \bar{Z})} + \overline{\overline{(X + \bar{Y} + Z)} + \overline{\overline{(\bar{X} + Y + Z)} + \overline{\overline{(\bar{X} + \bar{Y} + \bar{Z})}}}} \end{aligned}$$

$$f_1 = (X \downarrow \bar{Y} \downarrow Z) \downarrow (\bar{X} \downarrow Y \downarrow Z) \downarrow (\bar{X} \downarrow \bar{Y} \downarrow \bar{Z}) \downarrow (X \downarrow Y \downarrow \bar{Z})$$

Obsérvese que en la síntesis con puertas NOR, los inversores se realizan uniendo las entradas de una puerta NOR, de forma equivalente al caso NAND.

Con la segunda función (f_2), dada su sencillez, la forma NOR se obtiene de forma directa, sin más que aplicar el teorema de DeMorgan a su expresión en forma NAND.

$$f_2 = \overline{XYZ} = \bar{X} + \bar{Y} + \bar{Z}$$

La función f_2 , sigue siendo muy sencilla también con puertas NOR. Figura (1.4.4 b)

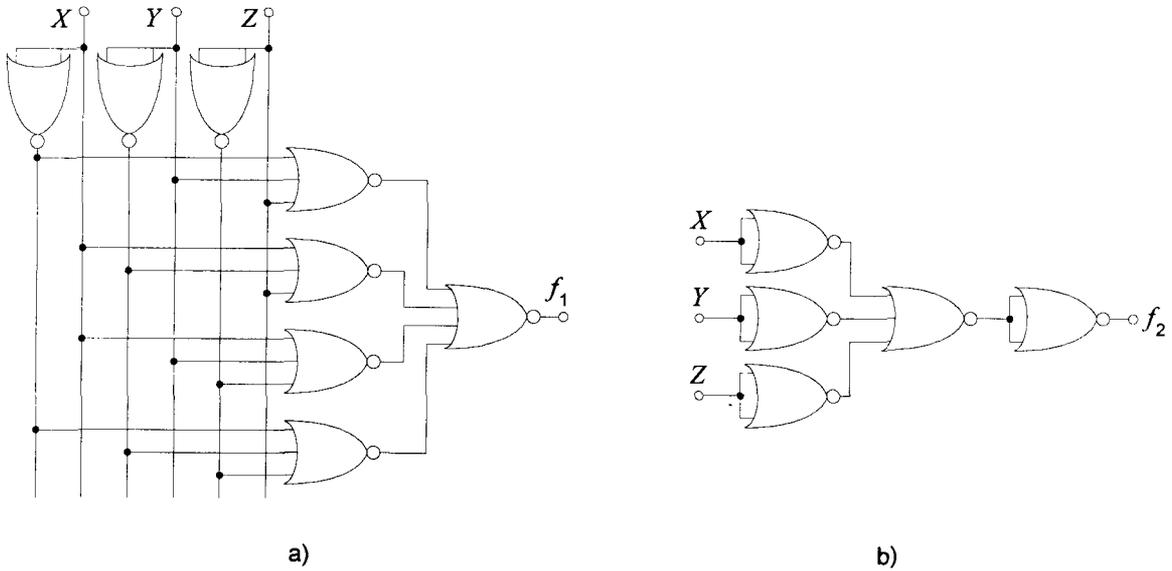


Fig. 1.4.4 Implementación de las funciones $A (f_1)$ y $B (f_2)$ sólo con puertas NOR

En este ejercicio se puede ver claramente la diferencia considerable que existe entre implementar una función (f_2 en este caso) con puertas NAND (fig. 1.4.3 b) y con puertas NOR (fig. 1.4.4 b). Con puertas NOR, la realización resulta antieconómica. Habrá otros casos en los que suceda al revés. Esto pone de manifiesto el hecho de que la minimización es relativa a la forma canónica elegida, es decir, en una forma canónica, el circuito resultante puede ser más simple que en otra.

□ □ □ □

E.1.5 Representación de funciones lógicas en las formas canónicas

Representar en forma canónica de términos mínimos las funciones f_1 y f_2 del ejercicio anterior. Cambiar la representación a maxterms y explicar los aspectos puntuales del principio de dualidad sobre ambos ejemplos.

$$A = f_1(X, Y, Z) = (\bar{X}Y + X\bar{Y})Z + \bar{Z}(XY + \bar{X}\bar{Y})$$

$$B = f_2(X, Y, Z) = \bar{X} + \bar{Y}Z + \bar{Z}X$$

Solución:

Gran parte del contenido de este problema se ha incluido en el desarrollo del problema anterior porque para la implementación NOR era más conveniente expresar la función en forma de suma de productos. Allí hicimos el desarrollo a partir de las expresiones lógicas de f_1 y f_2 . Aquí lo vamos a hacer de forma más sistemática, intentando profundizar en el significado del cambio. La tabla de la figura 1.7 del texto de teoría resume la dualidad de ambas representaciones. En el ejemplo de este ejercicio, se han elegido dos funciones representativas. La primera (f_1) es convencional, es decir posee varios términos mínimos en los que aparecen todas las variables, negadas o sin negar (términos mínimos m_0, m_3, m_5, m_6), con lo que su representación dual poseerá los términos máximos (maxterms) complementarios:

$$\begin{aligned} f_1|_{\text{Maxterms}}(X, Y, Z) &= \prod_{i=0}^7 (A_i + M_i) = \\ &= (1 + M_0)(0 + M_1)(0 + M_2)(1 + M_3)(0 + M_4)(1 + M_5)(1 + M_6)(0 + M_7) \end{aligned}$$

Todas la sumas que poseen un 1 desaparecen del producto final pues:

$$(1 + \text{"lo que sea"} = 1)$$

Por lo tanto:

$$f_1(X, Y, Z) = M_1 \cdot M_2 \cdot M_4 \cdot M_7 = (X + Y + \bar{Z})(X + \bar{Y} + Z)(\bar{X} + Y + Z)(\bar{X} + \bar{Y} + \bar{Z})$$

pues (Fig. 1.5.1):

$$M_1 = \overline{m_1} = \overline{X\overline{Y}Z} = X + Y + \overline{Z}$$

$$M_2 = \overline{m_2} = \overline{X\overline{Y}\overline{Z}} = X + \overline{Y} + Z$$

$$M_4 = \overline{m_4} = \overline{X\overline{Y}Z} = \overline{X} + Y + Z$$

$$M_7 = \overline{m_7} = \overline{XYZ} = \overline{X} + \overline{Y} + \overline{Z}$$

De hecho, podríamos haber escrito el cambio de representación directamente ya que la forma minterm ("maxterm") de una función (f) se obtiene complementando la forma maxterm ("minterm") de la función complementaria (\overline{f}). Es decir, como f_1 tenía los minterms (0, 3, 5 y 6), cogemos los minterms (1, 2, 4 y 7) y los complementamos para obtener los "maxterms" (1, 2, 4 y 7).

Como cada término mínimo es un producto de variables o sus negadas, al complementarlo obtenemos una suma de las variables negadas o sin negar.

La tabla de la figura (1.5.1) muestra los términos mínimos y máximos correspondientes a la función f_1 de este ejercicio.

X	Y	Z	Minterms de f_1	Maxterms de f_1
0	0	0	$m_0 \rightarrow SI$	$M_0 = \overline{m_0} \rightarrow NO \quad (A_0 = 1)$
0	0	1	$m_1 \rightarrow NO$	$M_1 = \overline{m_1} \rightarrow SI \quad (A_1 = 0)$
0	1	0	$m_2 \rightarrow NO$	$M_2 = \overline{m_2} \rightarrow SI \quad (A_2 = 0)$
0	1	1	$m_3 \rightarrow SI$	$M_3 = \overline{m_3} \rightarrow NO \quad (A_3 = 1)$
1	0	0	$m_4 \rightarrow NO$	$M_4 = \overline{m_4} \rightarrow SI \quad (A_4 = 0)$
1	0	1	$m_5 \rightarrow SI$	$M_5 = \overline{m_5} \rightarrow NO \quad (A_5 = 1)$
1	1	0	$m_6 \rightarrow SI$	$M_6 = \overline{m_6} \rightarrow NO \quad (A_6 = 1)$
1	1	1	$m_7 \rightarrow NO$	$M_7 = \overline{m_7} \rightarrow SI \quad (A_7 = 0)$

Fig. 1.5.1 "Minterms" y "maxterms" representativos de la función f_1

Veamos ahora $f_2 = \bar{X} + \bar{Y} + \bar{Z}$

Esta función ya está en forma de "maxterm", porque aparece solo un término de suma $(\bar{X} + \bar{Y} + \bar{Z})$ en el que se incluyen todas las variables (negadas en este caso). Por consiguiente, lo que tenemos que hacer es pasar f_2 a forma "minterm". Como el único "maxterm" que contiene es M_7 , su forma "minterm" contendrá el complemento del resto de los "maxterms" ($\bar{M}_0, \bar{M}_1, \bar{M}_2, \bar{M}_3, \bar{M}_4, \bar{M}_5, \bar{M}_6$). Es decir $(m_0, m_1, m_2, m_3, m_4, m_5, m_6)$. Vemos pues que en este caso la representación maxterm es mucho más compacta.

La tabla de "minterms" y "maxterms" correspondientes a la función f_2 , aparece en la figura (1.5.2).

Analíticamente:

$$f_2 = \bar{X} + \bar{Y} + \bar{Z} = \overline{XYZ} = \bar{m}_7 = m_0 + m_1 + m_2 + m_3 + m_4 + m_5 + m_6 =$$

$$= \bar{X}\bar{Y}\bar{Z} + \bar{X}\bar{Y}Z + \bar{X}Y\bar{Z} + \bar{X}YZ + X\bar{Y}\bar{Z} + XY\bar{Z} + XYZ$$

X	Y	Z	Maxterms de f_2	Minterms de f_2
0	0	0	$M_0 \rightarrow NO \quad (A_0 = 1)$	$m_0 = \bar{M}_0 \rightarrow SI$
0	0	1	$M_1 \rightarrow NO \quad (A_1 = 1)$	$m_1 = \bar{M}_1 \rightarrow SI$
0	1	0	$M_2 \rightarrow NO \quad (A_2 = 1)$	$m_2 = \bar{M}_2 \rightarrow SI$
0	1	1	$M_3 \rightarrow NO \quad (A_3 = 1)$	$m_3 = \bar{M}_3 \rightarrow SI$
1	0	0	$M_4 \rightarrow NO \quad (A_4 = 1)$	$m_4 = \bar{M}_4 \rightarrow SI$
1	0	1	$M_5 \rightarrow NO \quad (A_5 = 1)$	$m_5 = \bar{M}_5 \rightarrow SI$
1	1	0	$M_6 \rightarrow NO \quad (A_6 = 1)$	$m_6 = \bar{M}_6 \rightarrow SI$
1	1	1	$M_7 \rightarrow SI \quad (A_7 = 0)$	$m_7 = \bar{M}_7 \rightarrow NO$

Fig. 1.5.2 "Minterms" y "maxterms" representativos de la función f_2



E.1.6 Teoremas de DeMorgan y de Adyacencia

Minimizar por aplicación reiterada de los teoremas de DeMorgan y del teorema de adyacencia las siguientes funciones:

$$A = f_1(X, Y, Z) = X\bar{Y} + Y\bar{Z} + \bar{X}\bar{Y}\bar{Z} + \bar{X}\bar{Y}Z + XYZ$$

$$B = f_2(X, Y, Z) = (X + Y + \bar{Z}) + (X + \bar{Y} + \bar{Z}) + \bar{X}\bar{Y}Z + \bar{X}Y\bar{Z}$$

Mostrar por inducción completa y por diagramas de Venn que las expresiones simplificadas son realmente equivalentes a las expresiones iniciales.

Solución:

Aplicando el Teorema de adyacencia obtenemos:

$$f_1 = X\bar{Y} + Y\bar{Z} + \underbrace{\bar{X}\bar{Y}\bar{Z} + \bar{X}\bar{Y}Z}_{\bar{X}\bar{Y}} + XYZ = Y\bar{Z} + \underbrace{X\bar{Y} + \bar{X}\bar{Y}}_{\bar{Y}} + XYZ$$

Negando dos veces y aplicando el Teorema de DeMorgan:

$$\begin{aligned} f_1 &= \bar{Y} + Y\bar{Z} + XYZ = \overline{\overline{\bar{Y} + Y\bar{Z} + XYZ}} = \overline{Y\bar{Y}\bar{Z}\bar{X}YZ} = \overline{Y(\bar{Y} + Z)(\bar{X} + \bar{Y} + \bar{Z})} = \\ &= \overline{\left(\underbrace{Y\bar{Y}}_0 + YZ\right)(\bar{X} + \bar{Y} + \bar{Z})} = \overline{\bar{X}YZ + \underbrace{Y\bar{Y}Z}_0 + \underbrace{YZ\bar{Z}}_0} = \overline{\bar{X}YZ} = X + \bar{Y} + \bar{Z} \end{aligned}$$

$$f_1 = X + \bar{Y} + \bar{Z}$$

Con la segunda función:

$$f_2 = \underbrace{(X + Y + \bar{Z}) + (X + \bar{Y} + \bar{Z})}_{Y + \bar{Y} = 1} + \bar{X}\bar{Y}Z + \bar{X}Y\bar{Z} = 1$$

Obsérvese que en el primer sumando aparece la variable Y y en el segundo su complementaria, \bar{Y} . Así, sea cual fuere el valor de las otras variables siempre tendremos:

$$f_2(X, Y, Z) = Y + \bar{Y} + \text{"algo"} = 1 + \text{"algo"} = 1$$

Para demostrar la validez de la simplificación de f_1 usaremos ahora la inducción completa y los diagramas de Venn. En el primer caso comprobamos que para todas las configuraciones mutuamente exclusivas de las variables de entrada (000, 001, ..., 111) ambas expresiones (la inicial y la minimizada) producen el mismo valor de respuesta. Las expresiones que debemos demostrar que son iguales serán, la inicial y la obtenida después de minimizar:

Expresión inicial: $f_1 = X\bar{Y} + Y\bar{Z} + \bar{X}\bar{X}\bar{Y} + \bar{X}\bar{Y}Z + XYZ$

Expresión simplificada: $f_1 = X + \bar{Y} + \bar{Z}$

En la figura (1.6.1) se muestra la tabla de verdad en la que aparecen tanto la expresión simplificada como la inicial con todos sus sumandos. En esta tabla podemos ver que las dos últimas columnas, que corresponden a la función inicial y a su versión simplificada son iguales.

X	Y	Z	\bar{X}	\bar{Y}	\bar{Z}	$X\bar{Y}$	$Y\bar{Z}$	$\bar{X}\bar{Y}\bar{Z}$	$\bar{X}\bar{Y}Z$	XYZ	f_1	$X + \bar{Y} + \bar{Z}$
0	0	0	1	1	1	0	0	1	0	0	1	1
0	0	1	1	1	0	0	0	0	1	0	1	1
0	1	0	1	0	1	0	1	0	0	0	1	1
0	1	1	1	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	1	0	0	0	0	1	1
1	0	1	0	1	0	1	0	0	0	0	1	1
1	1	0	0	0	1	0	1	0	0	0	1	1
1	1	1	0	0	0	0	0	0	0	1	1	1

Fig. 1.6.1 Tabla de verdad correspondiente a la función f_1

En el segundo caso, representación mediante diagramas de Venn, hemos de comprobar que en las expresiones inicial y la final simplificada dan lugar al mismo área. En la figura (1.6.2) representamos la expresión $f_1 = X + \bar{Y} + \bar{Z}$ mientras que en la figura (1.6.3) se representan todos los sumandos que constituyen la función f_1

Como puede comprobarse, la suma lógica (unión de conjuntos) de todas las áreas rayadas de esta figura (1.6.3) proporciona la misma zona rayada que aparece en la figura (1.6.2) que representa la función minimizada, con lo que se demuestra que la expresión minimizada representa realmente a la función original.

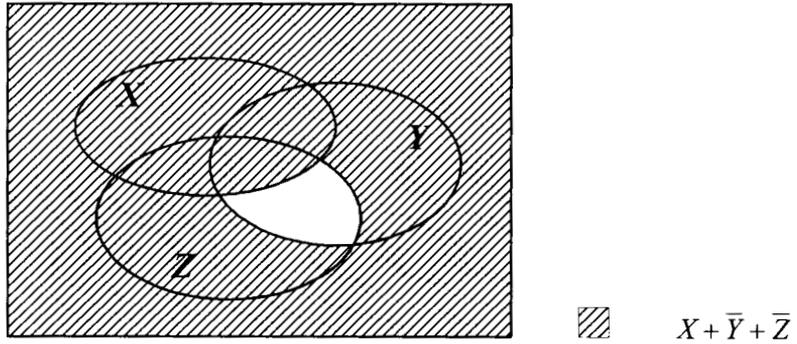


Fig. 1.6.2 Representación mediante diagramas de Venn de la suma $X + \bar{Y} + \bar{Z}$

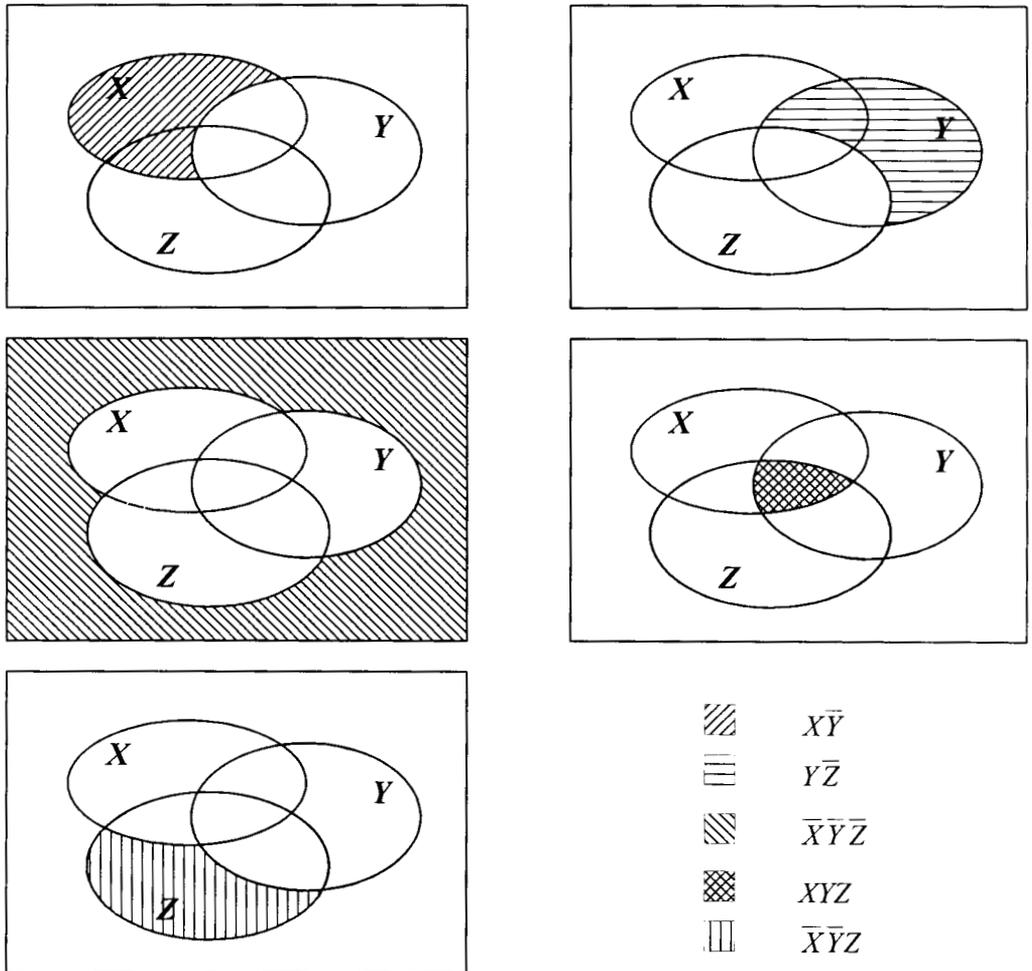


Fig. 1.6.3 Representación mediante diagramas de Venn de los sumandos de la función f_1

De la función f_2 no decimos nada ya que como se vió contiene un término de la forma: $1 + \text{"algo"} = 1$, con lo que representa el conjunto universal y su resolución mediante diagramas de Venn es por tanto trivial al igual que su tabla de verdad.

□ □ □ □

E.1.7 Minimización por diagramas de Karnaugh

Usar los diagramas de Karnaugh para simplificar las siguientes funciones

$$A = f_1(X, Y) = \bar{X}\bar{Y} + X\bar{Y} + \bar{X}Y$$

$$B = f_2(X, Y, Z) = \bar{X}\bar{Y}Z + (\bar{Y} + \bar{Z})X + Y$$

Solución:

Es un sencillo problema de minimización del tipo de los resueltos como parte intermedia en varios problemas anteriores. El procedimiento consiste en usar los diagramas de Karnaugh para hacer vecinos a los términos mínimos que sólo se diferencian en el valor de una de sus variables de forma que la simplificación pueda realizarse por simple inspección.

Así, para la función:

$$f_1 = \bar{X}\bar{Y} + X\bar{Y} + \bar{X}Y$$

el diagrama de Karnaugh es el que se muestra en la figura (1.7.1) y a partir de él obtenemos: $f_1 = \bar{X} + \bar{Y}$ o bien: $f_1 = \bar{X}\bar{Y}$.

O lo que es lo mismo: $f_1 = \bar{X} + \bar{Y} = M_3 = \bar{m}_3 = \bar{X}\bar{Y}$

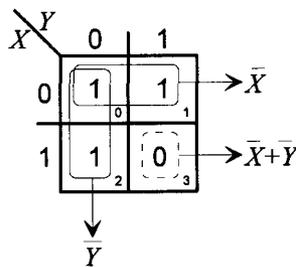


Fig. 1.7.1 Diagrama de Karnaugh correspondiente a la función f_1

Tomamos ahora la segunda función, y anotamos sobre un diagrama de Karnaugh de tres variables (1.7.2 a) los términos obtenidos tras desarrollar los paréntesis:

$$f_2 = \bar{X}\bar{Y}Z + (\bar{Y} + \bar{Z})X + Y = \bar{X}\bar{Y}Z + \bar{Y}X + \bar{Z}X + Y$$

Minimizando esta segunda función mediante el diagrama de Karnaugh en la forma que se muestra en la figura (1.7.2 b) obtenemos:

$$B = f_2 = X + Y + Z = M_0$$

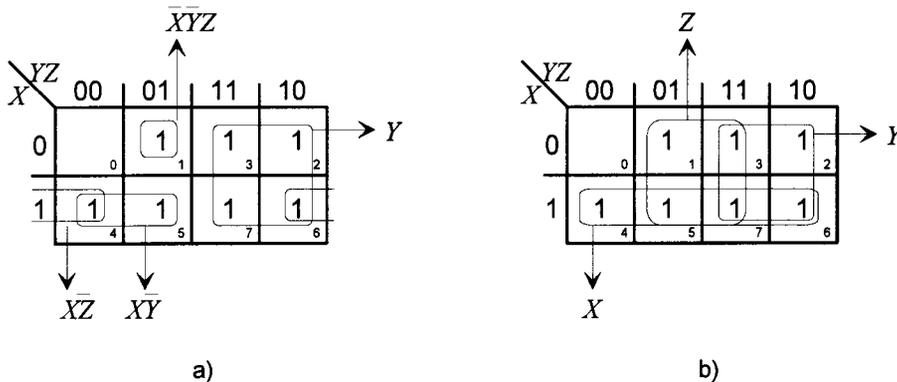


Fig. 1.7.2 Diagrama de Karnaugh de la función f_2 antes de minimizar a) y después b)

□ □ □ □

E.1.8 Minimización de términos mínimos por Karnaugh

Empleando diagramas de Karnaugh minimícense las funciones de cuatro variables que aparecen expresadas como suma de términos mínimos:

$$f_1(A, B, C, D) = \sum m(0, 1, 4, 5, 7, 8, 10, 12, 14, 15)$$

$$f_2(A, B, C, D) = \sum m(0, 2, 5, 7, 8, 10, 13, 15)$$

Solución:

Este ejercicio aparece con objeto de ilustrar el empleo de diagramas de Karnaugh con funciones de cuatro variables.

Los diagramas de Karnaugh se pueden emplear en principio, con cualquier número de variables, pero una realización práctica y cómoda limita el uso de este sistema a funciones con no más de cinco o seis variables. Sin embargo, para este tipo de funciones y otras de mayor número de variables es preferible el empleo de otros métodos más sistemáticos. Estos métodos facilitan además su implementación de forma programada, con lo que la minimización se convierte en una tarea tremendamente sencilla.

El aspecto de un diagrama de Karnaugh de cuatro variables aparece en la figura (1.8.1) donde se han introducido ya los términos mínimos correspondientes a f_1 .

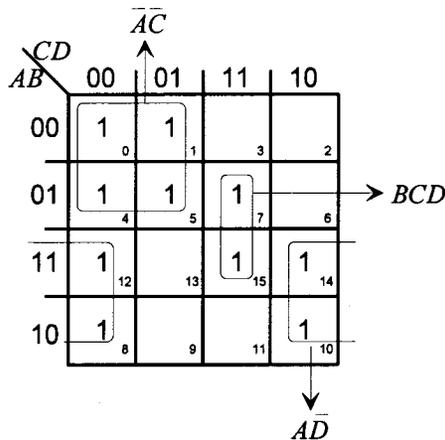


Fig. 1.8.1 Diagrama de Karnaugh correspondiente a la función f_1

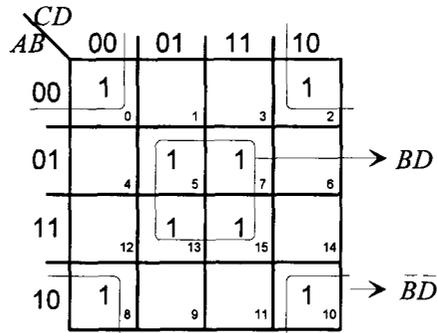
Obsérvese que el orden de numeración de las casillas, se establece como siempre para que casillas adyacentes se correspondan con "minterms" que sólo se diferencian en una variable.

Realizando las agrupaciones correspondientes, que aparecen reflejadas en la figura (1.8.1) obtenemos:

$$f_1 = \overline{A}\overline{C} + BCD + \overline{A}\overline{D}$$

Haciendo lo mismo con la segunda función (figura 1.8.2) obtenemos:

$$f_2 = BD + \overline{B}\overline{D}$$

Fig. 1.8.2 Diagrama de Karnaugh correspondiente a la función f_2

□ □ □ □

E.1.9 Minimización de términos máximos por Karnaugh

Minimizar las siguientes funciones expresadas como producto de términos máximos, empleando directamente estos términos sobre el diagrama de Karnaugh:

$$f_1 = \prod M(0,3,4,5,6,7,11,13,14,15)$$

$$f_2 = \prod M(1,3,4,5,6,7,9,11,13)$$

Solución:

Para representar los "maxterms" en un diagrama de Karnaugh empleamos ceros ("0") en lugar de unos ("1") que representan "minterms".

Las agrupaciones de "maxterms" siguen las mismas reglas que hemos visto hasta ahora con los "minterms" pero teniendo en cuenta que una agrupación de ceros ("maxterms") producen una suma de variables en lugar de un producto. Hay que tener en cuenta también que el criterio para tomar una variable o su complementaria es inverso al caso de los términos mínimos. Es decir, si una agrupación cae en una zona en la que la variable X es "1", se toma \bar{X} y si es "0" se tomará directamente X .

Aplicando ésto a la primera función (figura 1.9.1) obtenemos:

$$f_1 = (A + C + D)(\bar{B} + \bar{C})(\bar{B} + \bar{D})(\bar{C} + \bar{D})$$

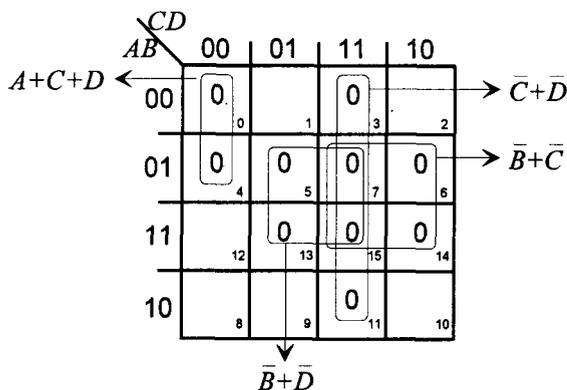


Fig. 1.9.1 Diagrama de Karnaugh correspondiente a la función f_1

Haciendo lo mismo con la segunda función tal y como aparece en la figura 1.9.2 tendremos:

$$f_2(A, B, C, D) = (A + \bar{B})(B + \bar{D})(C + \bar{D})$$

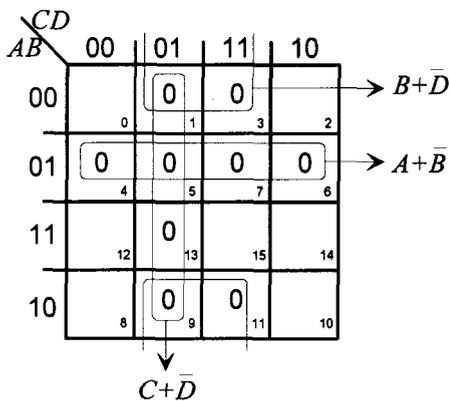


Fig. 1.9.2 Diagrama de Karnaugh correspondiente a la función f_2

□ □ □ □

E.1.10 Minimización de funciones con términos irrelevantes

Hay situaciones en las que algunas combinaciones de entrada son intrascendentes (no importa la salida en ese caso), o bien sabemos a priori que no se producirán nunca. Esas combinaciones las podemos representar en un diagrama de Karnaugh por x y tomarlas como "0" o "1" según convenga para obtener una expresión más minimizada.

Utilizar los diagramas de Karnaugh para minimizar las siguientes funciones como "minterms", y como "maxterms":

$$f_1 = \sum m(0,1,4,5,9,11,15) + d(2,6,7,13)$$

$$f_2 = \sum m(3,7,11) + d(12,13,14,15)$$

Donde el término $d(\dots)$ representa a los términos intrascendentes.

Solución:

Como sugiere el enunciado, representamos los términos intrascendentes con x sobre el diagrama de Karnaugh. Una vez hecho esto procederemos como en los casos anteriores a realizar las agrupaciones que engloben el mayor número posible de casillas hasta que hayan sido incluidas en uno u otro grupo todas aquellas que contienen un "1".

Sin embargo, ahora podemos tomar casillas que contienen una x (combinación de entrada intrascendente) para conseguir agrupaciones que contengan un mayor número de casillas, ya que esto nos lleva a puertas con menor número de entradas, a la vez que favorece el que el número de grupos necesario (n° de puertas) sea más pequeño.

Si una casilla que contiene una x nos puede servir para completar una agrupación de unos, la tomaremos como "1" y la incluiremos. El resto de casillas que representan combinaciones intrascendentes podemos ignorarlas (sólo estamos obligados a agrupar las que contengan un "1"), lo que equivale a considerar que producen un "0" en la salida.

Con esto lo que hacemos es asignar a cada combinación intrascendente o bien un "1" si incluimos la casilla correspondiente dentro de una agrupación, o un "0" si no la incluimos en ninguna.

Hay que tener en cuenta que la x no representa un tercer estado sino una indeterminación o irrelevancia. Es decir para esas combinaciones de entrada la salida será "0" o "1", aunque no importe cuál de las dos exactamente. Al hacer las agrupaciones lo que hacemos es resolver la indeterminación de la forma más favorable para conseguir una implementación más optimizada.

Si en el diagrama de Karnaugh representamos los términos máximos en lugar de los mínimos, las agrupaciones las realizamos con ceros en lugar de con unos, por lo que al incluir una casilla irrelevante en una agrupación le estamos asignando un "0" y a las no incluidas un "1".

A) Función f_1 expresada como de suma de productos ("minterms").

En la figura (1.10.1 a) se muestra el diagrama de Karnaugh correspondiente a la primera función para minimizarla como suma de productos. En ella se puede ver como la casilla 13 ha sido incluida para formar una agrupación de 4 casillas. Sin embargo, las casillas 2, 6 y 7 se han dejado fuera ignorándolas ya que no nos sirven para obtener una agrupación mayor.

Según lo comentado anteriormente, se observa que hemos tomado $d_{13}=1$ y $d_2=d_6=d_7=0$. La función minimizada será: $f_1 = \overline{A}C + AD$

B) Función f_1 expresada como producto de sumas ("maxterms").

La función f_1 escrita como producto de maxterms será:

$$f_1 = \prod M(3, 8, 10, 12, 14) d(2, 6, 7, 13)$$

Obviamente las combinaciones de entrada que aparecían como irrelevantes en la expresión de f_1 expresada como suma de "minterms" siguen apareciendo como irrelevantes en la forma de producto de "maxterms".

La figura (1.10.1 b) muestra las agrupaciones elegidas para realizar la minimización. Ahora, al incluir las casillas irrelevantes en alguna agrupación les estamos asignado un "0" y a las que dejamos fuera les asignamos un "1". Es decir: $d_{13}=1$ y $d_2=d_6=d_7=0$.

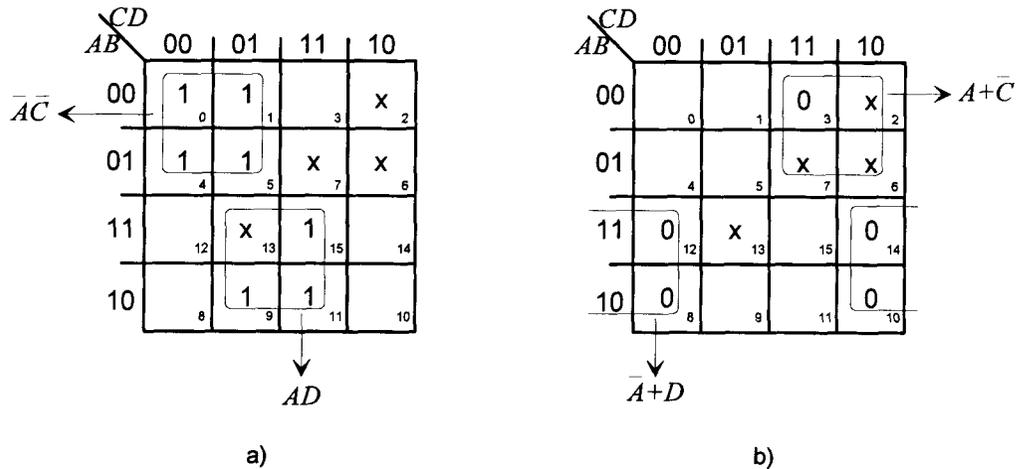


Fig. 1.10.1 Diagramas de Karnaugh para la minimización de la función f_1
 a) como suma de productos b) como producto de sumas

La expresión obtenida con la minimización será:

$$f_1 = (A + \bar{C})(\bar{A} + D)$$

C) Función f_2 expresada como suma de productos ("minterms").

Haciendo lo mismo con la función f_2 obtenemos la siguiente función expresada de forma mínima (figura 1.10.2 a):

$$f_2 = CD$$

En este caso hemos tomado $d_{15}=1$ y $d_{12}=d_{13}=d_{14}=0$.

D) Función f_2 expresada como producto de sumas ("maxterms").

Procediendo de la misma forma que en los casos anteriores obtenemos la expresión:

$$f_2 = CD$$

Esto se deduce de las agrupaciones reflejadas en la figura (1.10.2 b), en la que hemos tomado $d_{15}=1$ y $d_{12}=d_{13}=d_{14}=0$.

Hay que señalar que aunque en este caso la expresión obtenida es idéntica a la del apartado c) su naturaleza es distinta. En el apartado c) CD representan un producto de dos variables (no hay mas sumandos), sin embargo, en este apartado, CD representa el producto de dos sumandos en los que sólo interviene una variable.

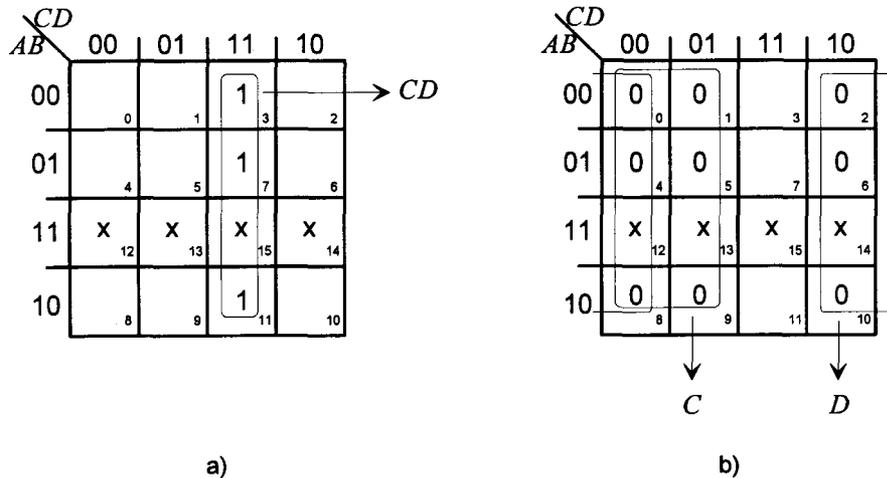


Fig. 1.10.2 Diagramas de Karnaugh para la minimización de la función f_2
 a) como suma de productos b) como producto de sumas

TEMA 2

Dispositivos semiconductores en corte y saturación

PROPÓSITO

En el capítulo segundo del libro de teoría no se propusieron enunciados de problemas pensando que el carácter general y resumido del tema no los hacía necesarios. Sin embargo, la experiencia docente nos ha demostrado justo lo contrario. Debido al carácter compacto del tema y a su dependencia de ciertos conocimientos sobre física de dispositivos y teoría de circuitos no incluidos de forma explícita, se han generado un gran número de consultas. Por esa razón rectificamos ahora y en el texto dedicado a la solución de los problemas propuestos en otros temas incluimos también enunciados y soluciones para este tema. Hemos usado una estrategia múltiple en la solución de los problemas mezclando soluciones convencionales ("de papel y lápiz"), sencillos programas de simulación de acceso libre y propuestas orientadas hacia el laboratorio.

Los primeros problemas se dedican a la obtención de las curvas características de diodos y al uso de éstos como elementos de circuito no lineales recortando ondas, siguiéndolas a tramos y actuando como circuitos rectificadores.

La segunda parte está dedicada a los transistores bipolares. De nuevo se hace énfasis en la obtención de las curvas características y en la polarización del dispositivo viendo como se cruza la recta de carga con las curvas características del transistor y como aparecen las tres regiones (corte, activa y saturación) al modificar el valor de la tensión Base-Emisor.

La parte final se dedica a los transistores de efecto de campo. Como nos hemos querido obligar a usar un "software" de fácil adquisición, el transistor usado no es el ideal para aplicaciones en conmutación. Sin embargo, cumple de forma satisfactoria los objetivos pedagógicos que nos hemos propuesto.



EJERCICIOS RESUELTOS

E.2.1 Circuito de polarización básica del diodo

Con ayuda del circuito básico de polarización de un diodo (Fig. 2.1.1), obtener la curva característica del mismo por simulación. ¿Qué sucede cuando excitamos con onda senoidal de la forma: $V_{in} = 5\text{sen}(2\pi ft)$? Obtener por simulación la forma de onda de la señal de tensión en bornes de la resistencia y del diodo y explicar la relación entre ambas. Explíquense detalladamente las curvas obtenidas. Móntese el circuito con un diodo real y obténganse experimentalmente los valores y curvas pedidos.

A = Ánodo

K = Cátodo

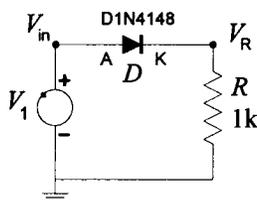


Fig. 2.1.1 Circuito básico de polarización de un diodo

Solución:

La forma más sencilla de obtener la curva característica de un diodo es polarizándolo con un generador de tensión y medir la corriente que pasa a través de él. También podemos emplear su forma dual, es decir excitando con un generador de corriente y midiendo la tensión que se produce en bornes del diodo. No obstante, en la práctica se añade una resistencia para limitar la corriente y evitar daños al dispositivo.

Para la experiencia hemos escogido un diodo rectificador de los que incorpora el programa de simulación PSpice en su versión básica y de fácil localización en el comercio (1N4148) y una resistencia de $1k\Omega$ como dispositivo limitador.

Si partimos de una tensión nula, obviamente la corriente será también nula. Si la vamos aumentando lentamente en sentido positivo ($V_A > V_K$) llegará un momento en que alcanzará el valor de la tensión umbral del diodo y éste empezará a conducir. Este valor suele estar cercano a los 0.5 Voltios. Una vez alcanzado este valor, el diodo está polarizado en directa y comienza a conducir. Si seguimos aumentado lentamente la tensión, el diodo pasa a presentar una resistencia muy baja por lo que no pondrá apenas obstáculos al paso de corriente. Se dice entonces que el diodo entra en saturación. Este valor de saturación suele estar alrededor de los 0.7-0.8 Voltios. Sin embargo, estos valores son orientativos y dependerán del modelo concreto de diodo que empleemos y de sus características particulares. No obstante, cuando nos proponen analizar un circuito sin especificar el modelo concreto de diodo ni nos dan sus valores particulares, pueden usarse éstos como valores generales que nos permitirán obtener un comportamiento cualitativo del circuito bajo estudio. Una vez alcanzada la saturación, pequeños incrementos en la tensión de entrada al circuito, producirán unos fuertes incrementos en la corriente. Es por esto por lo que se añade una resistencia limitadora.

Si invertimos la señal de entrada y excitamos ahora con tensiones negativas ($V_A < V_K$) no pasará corriente por mucho que aumentemos la tensión dentro de unos límites razonables. Más allá de esos límites se producirá la ruptura Zener o la ruptura por avalancha.

De esta forma podemos obtener la curva característica de forma experimental. Basta con tomar pares de valores (V_D, I) y representarlos en una gráfica.

Para obtener la curva característica del diodo, introducimos el esquema del circuito con los valores apropiados y elegimos un estudio en continua (DC analysis). En el cuadro de diálogo correspondiente a este tipo de análisis (Opción Analysis/Setup/DC Sweep...), establecemos los parámetros necesarios que se resumen en la tabla de la figura (2.1.2).

Swept Var. Type: Voltage Source	Name: V1
Swept type: Linear	Start value: -2V
	Stop value: 2V
	Increment: 0.01V

Fig. 2.1.2 Parámetros necesarios para realizar el análisis de continua

Hemos elegido un análisis de continua (DC analysis ó DC Swept), porque lo que nos interesa es el estudio del comportamiento del circuito en función de la variación de una tensión (tensión de entrada). Si hubiésemos querido estudiar la evolución del circuito en función del tiempo habríamos elegido un análisis de transitorio (transient analysis), o si deseásemos hacerlo en el dominio de la frecuencia deberíamos realizar un análisis de alterna (AC analysis ó AC Sweep), etc... Veremos más ejemplos de análisis de continua y transitorio en varios ejercicios.

El significado de los parámetros es el siguiente:

Name indica el nombre del generador que se va a emplear como entrada. En nuestro caso V1. El **Start Value** indica el primer valor para el que se realizará la simulación. **Stop Value** indica el último. Entre estos dos valores se introducen tantos puntos como quepan separados entre sí por el valor del parámetro **increment**. En este ejemplo, se realiza el estudio comenzando con $V1 = -2V$ y se calcula un nuevo punto en la gráfica cada $0.01V$ hasta que se alcance el valor $V1 = 2V$.

Swept Var. Type: Indica el tipo de magnitud física en función de la que vamos a realizar la simulación. En este caso es una tensión.

Swept Type: Establece la forma en la que se tomarán los incrementos. Si elegimos **linear**, los puntos intermedios estarán equiespaciados. Si elegimos **Octave** ó **Decade** el espaciado irá creciendo de forma logarítmica, bien por octavas o por décadas. Por último, con **Value list** podemos elegir arbitrariamente los puntos para los que queremos que se realice el análisis. Estos valores se pueden introducir en la casilla **Values**. En todos los ejercicios emplearemos únicamente barridos lineales (**Swept Type: Linear**).

Después de realizar la simulación, podemos obtener la curva que representa la corriente del diodo en función de la tensión de entrada al circuito (figura 2.1.3)

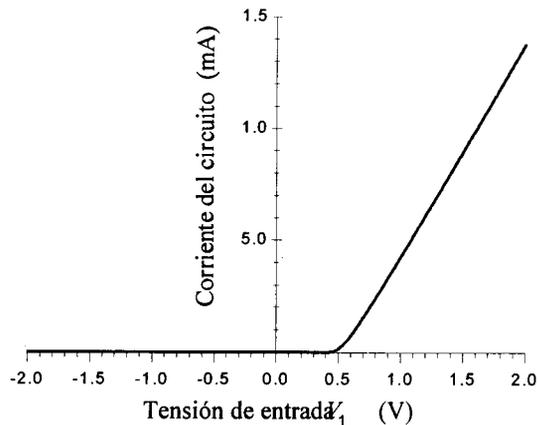


Fig. 2.1.3 Corriente en el circuito en función de la tensión de entrada obtenida por simulación para el circuito de la figura (2.1.1)

Sin embargo, esta figura no representa la característica del diodo ya que al tener una resistencia en serie con el mismo, la tensión debe repartirse entre ambos. Para obtener la característica real del diodo debemos representar la corriente que circula por la resistencia (igual a la que circula por el diodo) en función de la tensión en bornes del diodo y no de la tensión en bornes de todo el circuito. Esto se puede conseguir si cambiamos la variable que se representa en el eje X del programa de presentación gráfica. Por defecto esta variable es siempre la tensión que se empleó para realizar la simulación (V_1 en nuestro caso). Pero en el programa de presentación podemos escoger cualquier tensión o cualquier corriente en cualquier punto del circuito y representar el resto de magnitudes en función de ella. Este cambio se hace con la opción `X Variable...` del menú `Axis`. Al hacer esto obtenemos la curva característica del diodo (figura 2.1.4).

Obsérvese la diferencia entre las curvas de las dos figuras. En la que aparece la curva característica, la corriente crece mucho más rápidamente una vez alcanzada la tensión umbral o de "despegue", que en la otra. Esto es debido a que hemos eliminado el efecto limitador de la resistencia. Obsérvese también que para el mismo valor de la corriente, no se alcanza el valor de dos voltios fijado como límite superior de la simulación. Esto es debido a que una vez que comienza a pasar la corriente, comienza a producirse una caída de tensión en la resistencia y ya no aumenta la caída de tensión

en el diodo. Es decir, por mucho que aumentásemos la tensión de entrada, la tensión en bornes del diodo quedaría establecida en su valor de saturación y no seguiría aumentando, aunque la corriente seguiría creciendo con la única limitación de la resistencia (ley de Ohm).

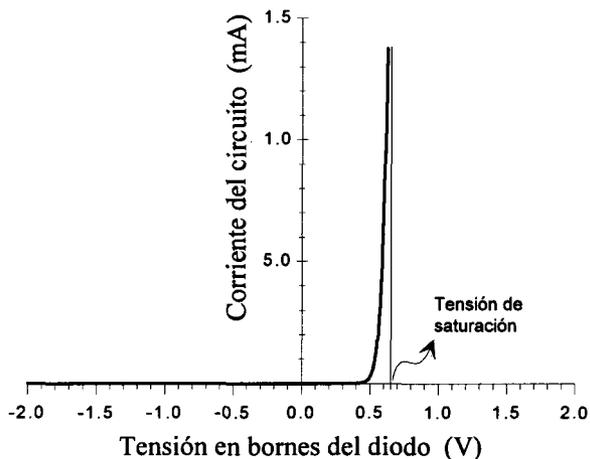


Fig. 2.1.4 Curva característica del diodo 1N4148 obtenida por simulación

Esto lo podemos ver muy claramente si, tal como pide el enunciado, representamos las tensiones en bornes del diodo y de la resistencia en función de la tensión de entrada (Figura 2.1.5).

En esta figura se ve claramente que cuando el diodo está polarizado en inversa, toda la tensión cae en el propio diodo. Esto es lógico ya que por el circuito no pasa corriente, y por lo tanto por la ley de Ohm, en la resistencia limitadora no hay caída de tensión y sus extremos estarán al mismo potencial. Cuando el diodo está polarizado en directa pero por debajo de su tensión umbral, la situación sigue siendo la misma. Esta situación cambia cuando la tensión en los terminales del diodo supera su valor umbral. A partir de ese momento, comienza a circular corriente por el diodo y la tensión en bornes de la resistencia comienza a incrementarse. Como la tensión total (Diodo + Resistencia) debe ser igual a la tensión de entrada, si comienza a aumentar la tensión en los terminales de la resistencia, la tensión en el diodo decrecerá su ritmo de incremento. Alcanzado el valor de saturación entre los extremos del diodo, éste apenas ofrece resistencia al paso de la corriente, por lo que toda la

tensión que sobrepase ese valor de saturación caerá sobre la resistencia. A partir de ese momento la tensión en bornes de la resistencia será igual a la tensión de entrada menos el valor de saturación del diodo. Estos comentarios están reflejados en las curvas de la figura (2.1.5), donde aparecen las tensiones en los terminales de los dos elementos en función de la tensión de entrada.

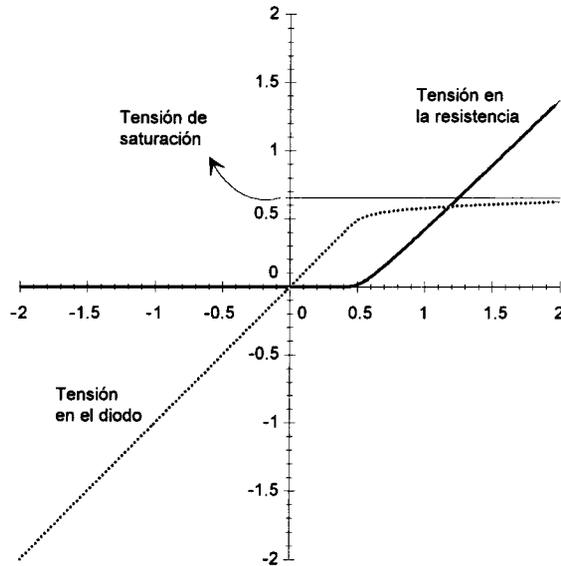


Fig. 2.1.5 Tensión en bornes de la resistencia (línea continua) y del diodo (línea punteada) en función de la tensión de entrada al circuito

Veamos ahora que sucede cuando excitamos con una señal sinusoidal. En este caso, si pretendemos obtener las formas de onda de la tensión en función del tiempo deberemos realizar un análisis de transitorio. Para realizar ésto, elegimos V1 de tipo generador de tensión sinusoidal (VSIN) y establecemos los parámetros que nos sugiere el enunciado $V_m = 5 \text{ sen}(2\pi ft)$:

```
voff=      0V
vAMPL=     5V
freq=      1000
```

En este caso hemos tomado $f=1000\text{Hz}$, una amplitud de 5V y un nivel de continua nulo. El resto de parámetros del generador podemos ignorarlos. Para realizar la simulación en este caso debemos especificar durante cuanto tiempo deseamos

estudiar el circuito. Si excitamos con una señal de 1 kHz. y deseamos ver el comportamiento del circuito durante un ciclo completo de la señal de entrada, necesitaremos establecer un tiempo de simulación de 1ms que es el periodo de una señal de 1kHz. Esto se establece en el cuadro de diálogo correspondiente a la opción `Analysis/ setup/ transient...`

En la figura (2.1.6) se muestran los resultados obtenidos en la simulación temporal (análisis transitorio). En esta figura aparece la señal sinusoidal de entrada y la tensión en bornes de la resistencia y del diodo. La relación entre ambas se entiende claramente si tenemos en cuenta los comentarios realizados para el análisis de continua.

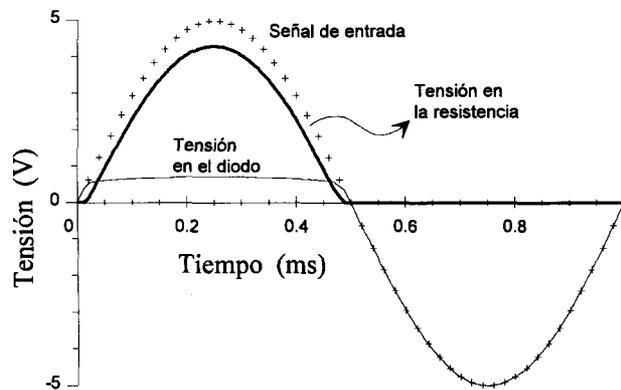
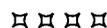


Fig. 2.1.6 Formas de onda cuando excitamos el circuito con onda senoidal

Cuando el diodo está polarizado en inversa (semiciclo negativo), la caída de tensión en la resistencia es nula (ya que no pasa corriente) y toda la caída de tensión es soportada por el diodo. Cuando está polarizado en directa (semiciclo positivo), la tensión en la resistencia sigue a la entrada con la pequeña diferencia de la caída de tensión en el diodo (tensión de saturación). Nuevamente podemos comprobar que la suma de las caídas de tensión en la resistencia y en el diodo es igual a la tensión de entrada.

En esta figura se comprueba también el carácter rectificador del diodo, ya que pese a que la entrada es alternativamente positiva y negativa, sobre la resistencia sólo caerán tensiones positivas.



E.2.2 Característica de transferencia de un diodo con desplazamiento de niveles

Dado el circuito de la figura (2.2.1):

- Obtener su característica de transferencia para los casos $V_p = 5V$ y $V_p = -5V$.
- Dibujar la forma de la señal de salida en ambos casos con excitación sinusoidal
- Tomando $R = 50\Omega$ calcular el valor de la resistencia del diodo en conducción a partir de los datos de la simulación.

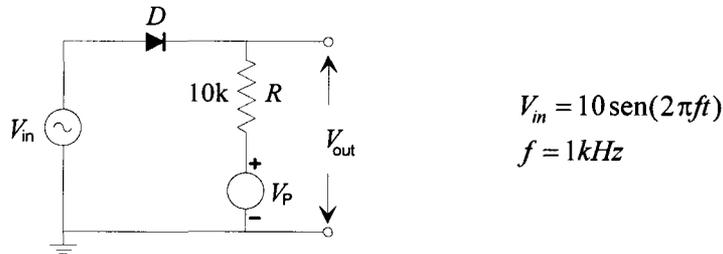


Fig. 2.2.1 Circuito correspondiente al ejercicio E.2.2

Solución:

- A.1)** Característica de transferencia con $V_p = 5V$.

Para que circule corriente por el circuito será necesario que el diodo esté polarizado en directa. Para que suceda esto se debe cumplir:

$$V_{in} > V_p + V_\gamma \approx 5.5V$$

A partir de este valor de la entrada el diodo entra en directa y la corriente estará limitada únicamente por la resistencia R y la resistencia interna del diodo. Como en este caso: $R = 10k\Omega \gg R_{\text{diodo}} \approx$ pocos ohmios, casi toda la caída de tensión debida al paso de corriente se producirá en R . El efecto del generador V_p es doble: por una parte desplaza la tensión umbral del diodo hasta los 5.5 Voltios, y por otra, mantiene la salida en 5 Voltios ya que si no pasa corriente la diferencia de tensión en los terminales de la resistencia R es nula. Como consecuencia, la tensión en los terminales de salida (V_{out}) será la misma que la del generador V_p . Se ha producido por tanto un doble desplazamiento respecto de la curva característica del circuito de polarización simple del ejercicio E.2.1 (figura 2.1.3).

Este estudio analítico nos lleva a una curva como la de la figura (2.2.2 a).

A.2) Característica de transferencia con $V_p = -5V$

Igual que antes, tendremos que la conducción comenzará cuando el diodo se polarice en directa. En este caso este hecho se producirá cuando:

$$V_{in} > V_p + V_\gamma \approx -4.5V$$

Mientras el diodo esté polarizado de forma inversa, no circulará corriente y la tensión en los bornes de salida viene determinada como en el caso anterior por el valor de $V_p = -5V$. La característica de transferencia obtenida en este caso será por tanto la de la figura (2.2.2 b). Obsérvese que nuevamente se ha producido un doble desplazamiento, en este caso de $-5V$ en ambos ejes respecto del mismo circuito sin V_p .

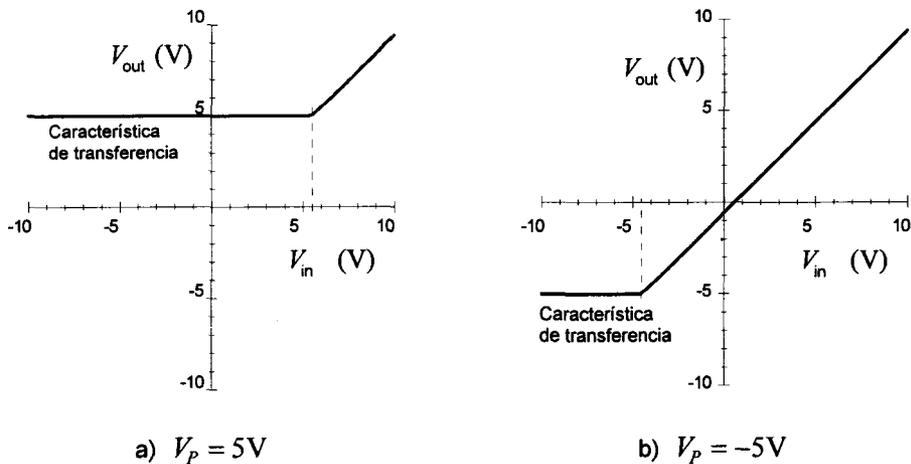


Fig. 2.2.2 Características de transferencia obtenidas por simulación.

B) Excitación sinusoidal

Una vez obtenida la característica de transferencia podemos dibujar fácilmente la forma de la señal de salida para cualquier señal de entrada. Para hacer esto de forma gráfica no tenemos mas que dibujar la característica de transferencia junto con la señal de entrada situada debajo, empleando el eje común que presentan ambas

gráficas. Este eje común es el de abscisas para la característica de transferencia y el de ordenadas para la señal de entrada. El eje de abscisas de la señal de entrada será obviamente el tiempo. El eje de ordenadas de la característica de transferencia es común con el eje de ordenadas de la señal de salida. Basta ahora con establecer la correspondencia entre las tres gráficas obtenidas de la forma que se ilustra en la figura (2.2.3). La forma de onda que aparece en la mencionada figura fué obtenida por simulación para conseguir una mayor precisión aunque el método gráfico nos proporciona un resultado que nos permite conocer de forma cualitativa el comportamiento del circuito. En este caso hemos empleado la señal senoidal sugerida en el enunciado, pero puede emplearse con cualquier tipo de señal de excitación.

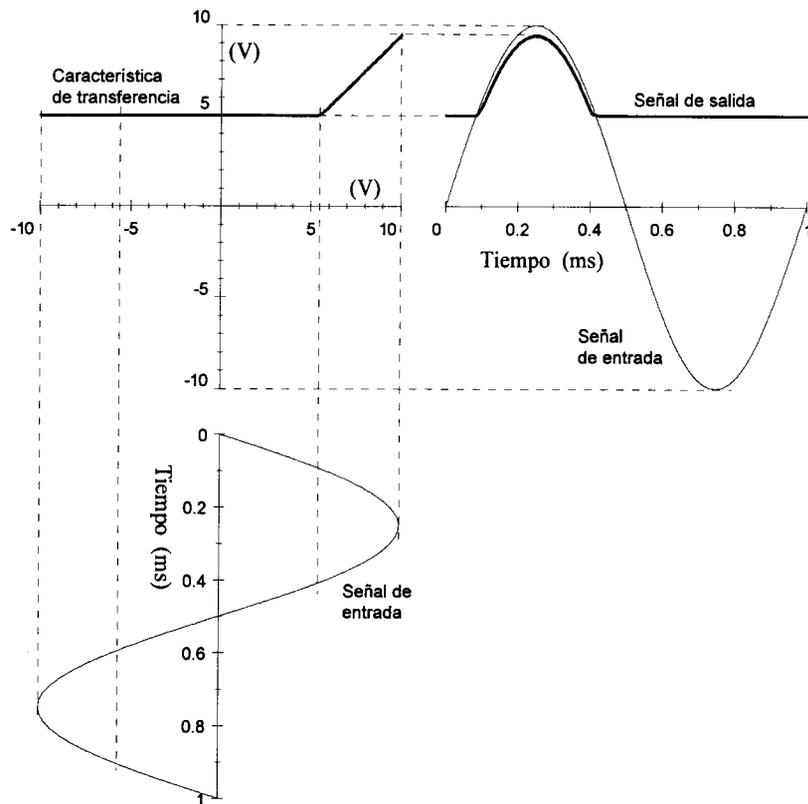


Fig. 2.2.3 Obtención de la señal de salida en función de la entrada con ayuda de la característica de transferencia: $V_p = 5V$

Esto mismo lo podemos realizar con la característica de transferencia obtenida para $V_p = -5V$. Las curvas obtenidas en este caso se representan en la figura (2.2.4).

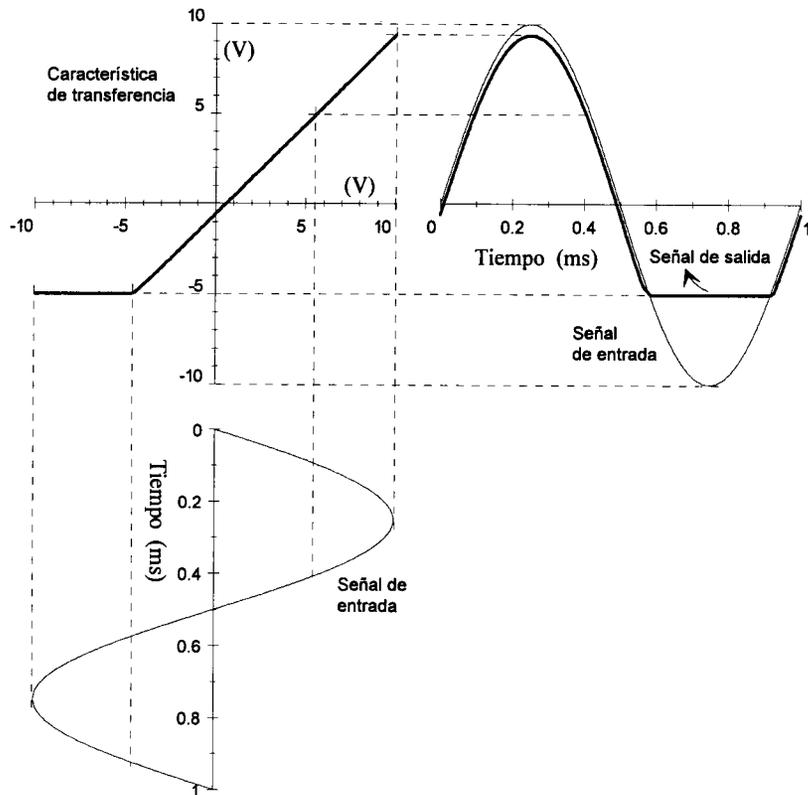


Fig. 2.2.4 Obtención de la señal de salida en función de la entrada con ayuda de la característica de transferencia: $V_p = -5V$

C) Cálculo de la resistencia en conducción

Falta calcular ahora el valor de la resistencia del diodo cuando está en conducción a partir de los datos obtenidos en simulación. Para hacer esto recordemos el circuito simplificado del diodo en conducción (figura 2.2.5).

El valor de R_S es pequeño, por eso para obtener mayor precisión el enunciado nos sugiere emplear una resistencia en el circuito de un valor mucho más bajo que el inicial ($10k\Omega \rightarrow 50\Omega$). De esta forma, el valor de la resistencia externa se acerca al de

la resistencia interna en conducción con lo que los efectos debidos a la resistencia se repartirán sobre ambas.

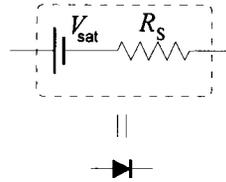


Fig. 2.2.5 Modelo de un diodo en conducción

Al sustituir el diodo por su modelo en conducción obtenemos el circuito que se muestra en la figura (2.2.6).

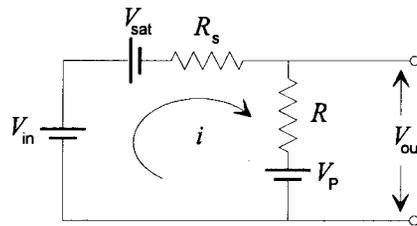


Fig. 2.2.6 Circuito del enunciado sustituyendo el diodo por su modelo en conducción.

De donde obtenemos:

$$V_{in} = V_{sat} + i(R + R_s) + V_p \quad \text{y}$$

$$V_{out} = V_p + iR$$

de la primera obtenemos R_s :

$$R_s = \frac{V_{in} - V_{sat} - V_p}{i} - R$$

y de la segunda obtenemos i :

$$i = \frac{V_{out} - V_p}{R}$$

sustituyendo:

$$R_S = \frac{(V_m - V_{sat} - V_p)R}{V_{out} - V_p} - R$$

En esta expresión conocemos $V_p=5\text{V}$, $R=50\Omega$ y $V_{sat}\approx 0.65\text{V}$. Este último valor puede obtenerse de las curvas obtenidas en simulación para un diodo del tipo 1N4148 (ver fig. 2.1.4). Por otro lado es un valor general que puede elegirse por defecto cuando no se poseen datos más precisos. Recuérdese que toda la zona de trabajo de un diodo polarizado en directa se encuentra entre 0.5V (despegue) y 0.8V (saturación). Cualquier valor intermedio (0.6, 0.65, 0.7) es adecuado para análisis en continua.

Sigamos ahora con la resolución del problema. Nos falta únicamente tomar un par de valores (V_m, V_{out}). Como es lógico tomamos este par de valores de la curva de transferencia con ayuda del cursor del programa de presentación gráfica. Escogiendo por ejemplo el valor extremo: a $V_m = 10\text{V}$ le corresponde $V_{out} = 8.255\text{V}$. Sustituyendo los valores obtenemos: $R_S = 17.28\Omega$

Se puede escoger cualquier otro par de valores, siempre y cuando correspondan a la zona de saturación del diodo, ya que de lo contrario, el modelo empleado para éste no sería válido, aparte de que lo que nos piden es el valor de la resistencia interna del diodo en conducción. Pruébense otros valores y compruébese que se obtienen valores similares.

Si editamos el fichero de librería (EVAL.LIB en la versión de educación para MS-Windows) que es donde figura la descripción de los parámetros del diodo 1N4148, se puede comprobar que el valor establecido para R_S en este diodo es de 16Ω que es muy cercano al obtenido.

Hay que señalar que este procedimiento es igualmente válido si lo que se desea es medir la R_S de un diodo real. En este caso, en lugar de obtener el par de valores de las curvas obtenidas en simulación deberían obtenerse con un par de voltímetros o bien con la ayuda de un osciloscopio. Si se hubiese realizado la experiencia con el valor original de $10\text{k}\Omega$, la caída de tensión en R_S habría sido tan pequeña que hubiese resultado difícil y poco preciso determinarla por métodos gráficos. Esto justifica el cambio de R a un valor más cercano al de R_S . Si al obtener el valor hubiésemos obtenido un valor todavía lejano al de R deberíamos haber vuelto a cambiar R para

acercarnos al valor de R_S y aumentar así la precisión. Por el contrario, si ponemos una resistencia excesivamente baja o incluso nula, al aumentar la tensión y alcanzar la saturación del diodo, no habría ningún elemento en el circuito que limitase la corriente a través del mismo, y en una experiencia real de laboratorio, podríamos destruir el diodo.

□ □ □ □

E.2.3 Circuito recortador a dos niveles con diodos

Obtégase la característica de transferencia del circuito de la figura. Dibujar la señal de salida cuando a la entrada tenemos la señal: $V_{in} = 10 \sin(2\pi ft)$ con $f=1000\text{Hz}$.

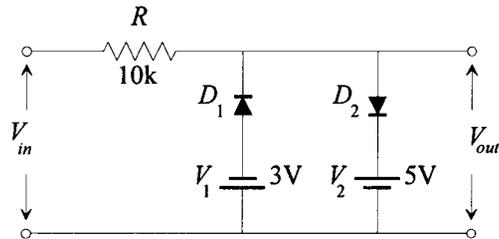


Fig. 2.3.1 Circuito recortador a dos niveles para el ejercicio E.2.3

Solución:

A) Consideremos primero **tensiones positivas**: $V_{in} > 0$.

Si a la entrada tenemos una tensión positiva ($V_{in} > 0$), el diodo D_1 estará polarizado en inversa y entonces por la rama correspondiente no pasará ninguna corriente y puede eliminarse del circuito obteniendo el esquema de la figura (2.3.2).

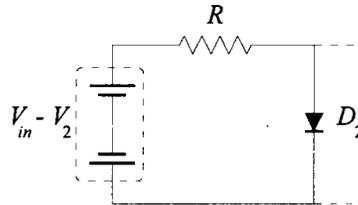


Fig. 2.3.2 Circuito simplificado para tensiones de entrada positivas

Para que haya conducción en esta rama será necesario superar la tensión umbral V_γ del diodo:

$$V_{in} - V_2 > V_\gamma \Rightarrow V_{in} > V_2 + V_\gamma$$

Si suponemos una tensión umbral $V_\gamma \approx 0.5V$, para que el diodo conduzca se precisará: $V_{in} > 5.5V$.

Mientras V_{in} no supere ese valor los dos diodos están cortados y no circula corriente por ninguna rama. Si no circula corriente por el circuito, en la resistencia R no habrá caída de tensión y la tensión a la salida será la misma que a la entrada $V_{out} = V_{in}$. Recuérdese que estamos considerando tensiones positivas por debajo de la tensión umbral del diodo D_2 y que por lo tanto esta conclusión solo es válida en ese rango de tensiones de entrada.

Si V_{in} supera los 5.5 Voltios, el diodo D_2 entrará en conducción y si la entrada sigue aumentando, alcanzará rápidamente la saturación. En ese momento, podemos sustituirlo por su modelo en conducción. (fig. 2.3.3)

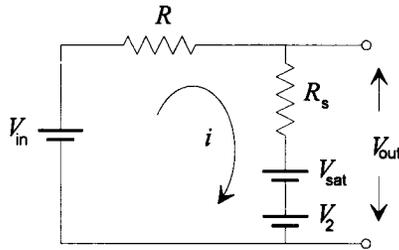


Fig. 2.3.3 Circuito simplificado cuando D_2 está saturado.

En este circuito tendremos:

$$V_{in} = i(R + R_s) + V_{sat} + V_2 \quad y$$

$$V_{out} = iR_s + V_{sat} + V_2$$

Como $R \gg R_S$ podemos suprimir R_S del circuito ya que la caída de tensión producida por el paso de corriente se producirá casi en su totalidad en R . Según esto, la tensión de salida quedará establecida en:

$$V_{out} = V_2 + V_{sat} \approx 5.65V$$

donde se ha supuesto que $V_{sat} \approx 0.65V$ tal y como sucede con el diodo 1N4148 como puede verse en el ejercicio E.2.2.

Obsérvese que una vez alcanzada la saturación, la salida no depende de la entrada y se mantendrá en unos 5.65 Voltios.

B) Consideremos ahora **tensiones negativas**: $V_{in} < 0$

En este caso, es el diodo D_2 el que está polarizado en inversa y su rama puede eliminarse del circuito con lo que obtenemos el circuito de la figura (2.3.4).

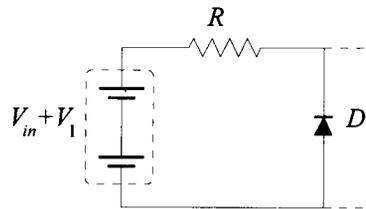


Fig. 2.3.4 Circuito simplificado para tensiones de entrada negativas

Razonando de la misma forma que en el caso anterior tendremos que para que D_1 conduzca debe cumplirse que:

$$V_{in} + V_1 < -V_\gamma \Rightarrow V_{in} < -V_\gamma - V_1 \approx -3.5V$$

En este caso la salida quedará recortada cuando:

$$V_{in} \leq -V_1 - V_{sat} \approx -3,65V$$

Es decir, al igual que en el caso anterior, la tensión de salida seguirá a la de entrada mientras esta última sea negativa pero no lo suficientemente elevada en valor absoluto como para polarizar D_1 en directa. En el momento en que V_{in} sea menor que -3.5 Voltios D_1 comenzará a conducir y si la entrada baja más de -3.65 Voltios D_1 entrará en saturación y la salida dejará de seguir a la tensión de entrada.

Con todos estos datos, ya podemos dibujar la característica de transferencia que se muestra en la figura (2.3.5). Para tensiones positivas menores de 5.5 Voltios o negativas por encima de -3.5 Voltios, ninguna de las ramas conduce (se comportan como un circuito abierto) y la salida sigue a la entrada $V_{out} = V_{in}$. Cuando D_2 satura ($V_{in} > 5.65$ V) la salida no depende de la entrada y quedará fijada a esa tensión de 5.65 Voltios. De la misma forma, cuando D_1 satura ($V_{in} < -3.65$ V) la salida tampoco depende de la entrada y quedará fijada a -3.65 Voltios.

Con ayuda del programa de simulación podemos obtener la característica de transferencia realizando un análisis de continua en el margen $(-10,10)$ voltios de la misma forma que se hizo en los ejercicios anteriores. La curva de figura (2.3.5) ha sido obtenida de esta forma.

Para obtener la forma de la tensión de salida podemos usar la característica de transferencia (fig. 2.3.6).

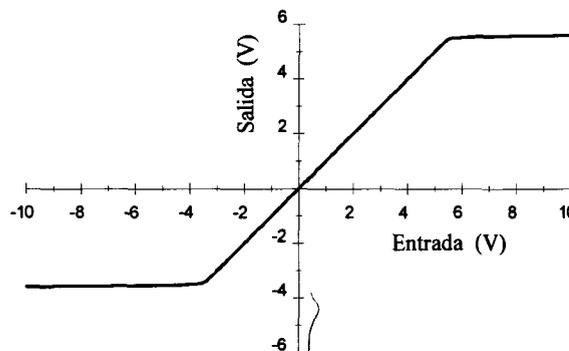


Fig. 2.3.5 Característica de transferencia del circuito recortador a dos niveles

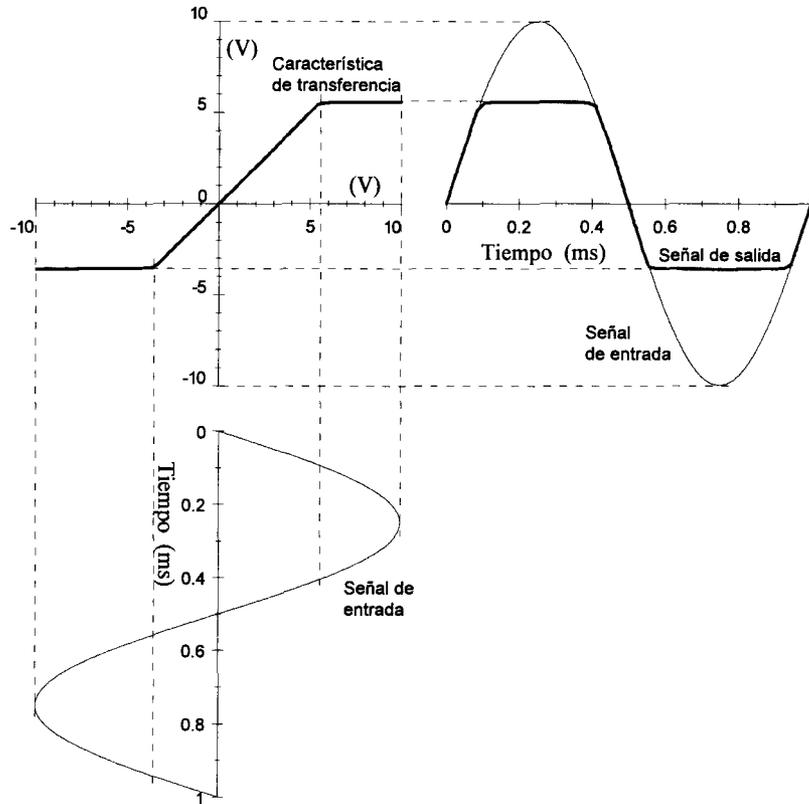


Fig. 2.3.6 Formas de onda de entrada y salida del circuito recortador a dos niveles obtenidas por simulación.

La forma de la señal de salida puede obtenerse por simulación realizando un análisis de transitorio que proporciona el comportamiento del circuito a lo largo del tiempo.

Como puede verse, la salida seguirá a la entrada siempre y cuando no entren en conducción ninguno de los diodos. En el momento que la señal sobrepase el valor de conducción correspondiente a uno cualquiera de ellos, la salida no podrá seguir aumentando, ya que la resistencia a través de las ramas que contienen los diodos será mucho menor que la resistencia R del circuito con lo que toda la caída de tensión se producirá en esta resistencia. Variando los valores de V_1 y/o V_2 podemos establecer los niveles de corte a los valores de tensión que nos interese.

□ □ □ □

E.2.4 Puente rectificador

Dado el circuito rectificador de la figura (2.4.1), que representa un puente rectificador: Obténgase la forma de onda de la señal de tensión sobre la resistencia R (V_{AB}) cuando excitamos con una señal sinusoidal de 10 Voltios de amplitud. Realícese la simulación del circuito y su montaje en una placa de inserción.

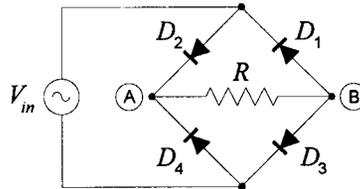


Fig. 2.4.1 Circuito rectificador de onda completa

Solución:

A) Consideremos primero el **semiciclo positivo**:

Obsérvese que para cerrar cualquier malla sobre el circuito, siempre deberemos atravesar dos diodos, bien sea en sentido directo o inverso. También se puede observar que dada la disposición de los diodos sólo una malla puede conducir, ya que el resto de posibles mallas incluirán siempre al menos un diodo en inversa.

La única malla que puede conducir durante el semiciclo positivo aparece en la figura (2.4.2 a) donde se indica también el recorrido de la corriente. En la figura (2.4.2 b) aparece simplificada la misma malla donde se han eliminado los diodos que permanecen cortados.

Por lo tanto, para que por esta malla circule corriente, los diodos deben estar sometidos a una tensión superior a su tensión umbral V_γ . Como hay dos diodos en serie, la tensión de la fuente para que ambos conduzcan debe ser mayor de $2V_\gamma$.

Una vez que entran en saturación, la caída de tensión sobre la resistencia seguirá a la de la fuente sinusoidal con la diferencia de tensión que caiga en ambos diodos que será el doble de la tensión de saturación. Es decir la caída de tensión en la resistencia R será $2V_{sat}$ voltios menor que la de la fuente. Si suponemos $V_{sat} \approx 0.8V$ la tensión de salida será aproximadamente:

$$V_R = V_{AB} = V_{in} - 1.6V$$

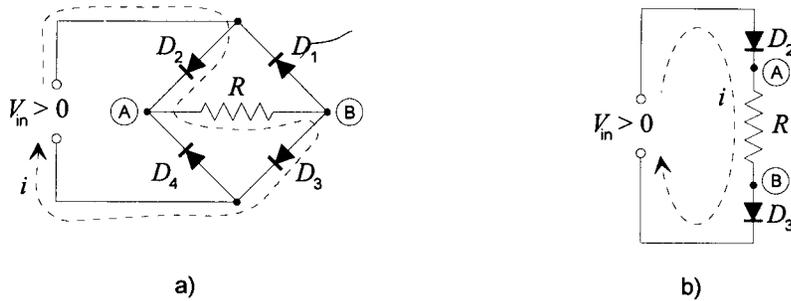


Fig. 2.4.2 Única malla que conduce durante los semiciclos positivos

En la figura (2.4.3) se muestra el comportamiento del circuito durante el semiciclo positivo. Se ha representado la tensión de entrada (V_{in}) y la de salida (V_{AB}). Obsérvese la diferencia entre ambas señales, la salida es menor que la entrada puesto que las leyes de Kirchoff deben verificarse (elevación de potencial igual a caída de potencial). La diferencia entre ambas señales es justo la caída de tensión en los diodos:

$$V_{in} = iR + 2V_D$$

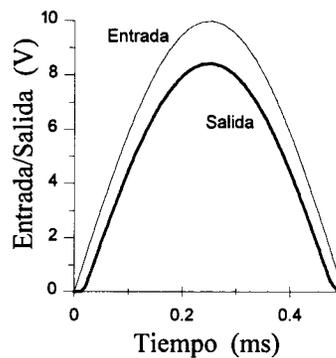


Fig. 2.4.3 Entrada al circuito y tensión en la resistencia durante el semiciclo positivo

B) Consideremos ahora el semiciclo negativo.

Al igual que antes, dada la simetría del circuito, sólo una de las posibles mallas puede conducir corriente (fig. 2.4.4 a). En la figura (2.4.4 b) se ha dibujado dicha malla eliminando como en el caso anterior los diodos cortados.

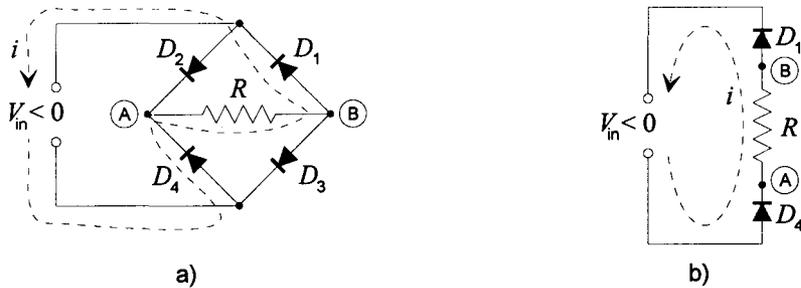


Fig. 2.4.4 Única malla que conduce durante los semiciclos negativos

Obtenemos por tanto una situación análoga a la obtenida para el semiciclo positivo. Sin embargo es importante resaltar que aunque la tensión de entrada es ahora de signo opuesto, la corriente entra en la resistencia por el mismo terminal que antes (nudo A), con lo que la tensión en bornes de la resistencia tendrá el mismo signo que durante el semiciclo positivo. De esta forma hemos conseguido que tensiones negativas de entrada se conviertan en positivas sobre la resistencia (fig. 2.4.5). De ahí el nombre de puente rectificador que recibe este circuito.

Este circuito es de gran utilidad a la hora de transformar corriente alterna en continua, pues basta filtrar para eliminar los altibajos de la señal de salida, ya que esta es siempre positiva.

Para obtener la característica de transferencia debemos obtener la curva $V_{out} = V_{out}(V_{in})$ en un margen de tensiones representativo como puede ser (-10,10) voltios. Como se ha visto con los razonamientos anteriores, no pasará corriente mientras $|V_m| < 2V_\gamma \approx 1V$. Una vez alcanzado este valor el par de diodos que correspondan comenzarán a conducir y aumentará la tensión en bornes de la resistencia, hasta que entren en saturación. A partir de ese momento, la salida seguirá a la entrada con una diferencia de $2V_{sat} \approx 1.6V$. Como ya se ha comentado, la tensión

$V_{AB} = V_A - V_B$ es siempre positiva, con lo que la característica de transferencia será la mostrada en la figura (2.4.6).

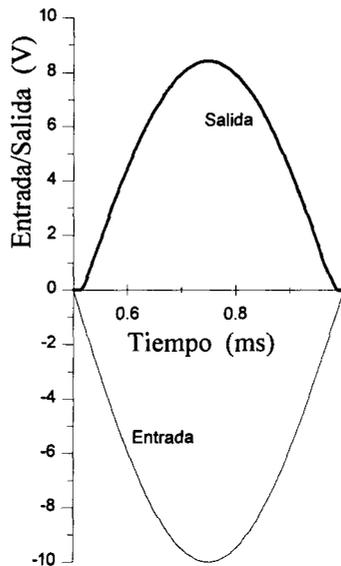


Fig. 2.4.5 Entrada al circuito y tensión en la resistencia durante el semiciclo negativo

Obsérvese que la característica de transferencia se dibuja únicamente en la zona positiva, por lo que sea cual sea la señal de entrada, la salida siempre será positiva.

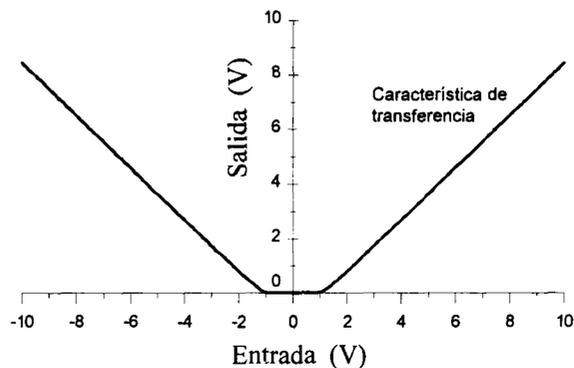


Fig. 2.4.6 Característica de transferencia del puente rectificador obtenida por simulación

Con ayuda de la característica de transferencia podemos obtener cómo será la tensión en bornes de la resistencia para cualquier señal de entrada. En la figura (2.4.7) se muestra cómo realizar esta transformación cuando la entrada es sinusoidal. Hay que señalar que la función que realiza este circuito es muy aproximadamente la función valor absoluto de la señal de entrada:

$$V_R = |V_{in}|$$

La forma de obtener la curva de salida en función de la señal de entrada y de la característica de transferencia se ha explicado ya en casos anteriores.

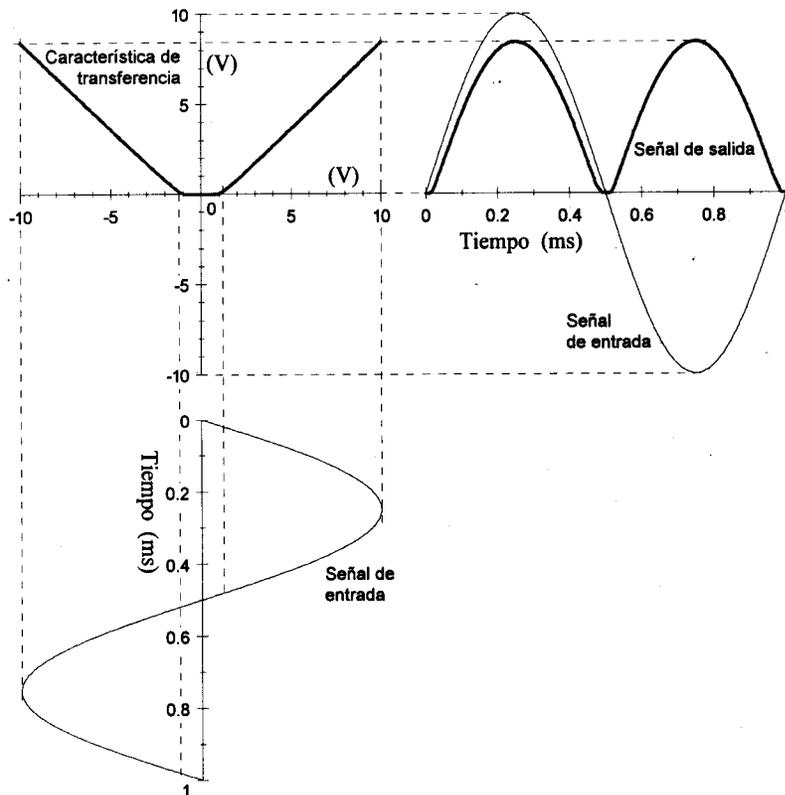


Fig. 2.4.7 Señales de entrada y salida del puente rectificador obtenidas por simulación



E.2.5 Obtención de las curvas características de un transistor bipolar

Diseñar una experiencia que permita obtener la característica de entrada de un transistor bipolar y la familia de características de salida en configuración de emisor común. Compruébese sobre el circuito obtenido que la unión Base-Emisor se comporta como un diodo. Obtener las curvas características mencionadas por simulación y de forma experimental para un transistor comercial. Supóngase $V_{CE} = 5V$.

Solución:

La característica de entrada de un transistor bipolar es la curva que nos representa el valor de la corriente de base del transistor en función de la tensión Base-Emisor. Es decir: $I_B = I_B(V_{BE})$.

Tendremos por tanto que emplear un circuito en el que podamos variar la tensión V_{BE} y mediremos la corriente de base I_B para distintos valores de V_{BE} .

Un circuito que nos permita hacer ésto precisa una fuente de tensión continua para polarizar el transistor en zona activa y otra fuente variable que nos permitirá modificar la tensión V_{BE} . En la figura (2.5.1) se muestra el circuito necesario, donde se ha introducido una resistencia R en la malla de base para limitar la corriente.

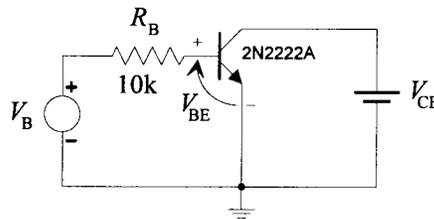


Fig. 2.5.1 Circuito para determinar la característica de entrada de un transistor bipolar

Para obtener la característica de entrada por simulación empleamos el transistor 2N2222 disponible en la versión educativa de PSpice y dos generadores de tensión del tipo VSRC (Fuentes de tensión continua).

Como en ejercicios anteriores, si lo que precisamos es el comportamiento de un circuito en función de la variación de una tensión o una corriente, debemos realizar un

análisis de continua (DC Swept). En el cuadro de diálogo correspondiente a este análisis estableceremos los parámetros que se recogen en la tabla de la figura (2.5.2).

Swept Var. Type:	Voltage Source	Name:	VB
Swept type:	Linear	Start value:	0V
		Stop value:	5V
		Increment:	0.01V

Fig. 2.5.2 Parámetros empleados para obtener la característica de entrada

Los parámetros correspondientes a V_B podemos ignorarlos ya que quedan establecidos al fijar los parámetros del análisis. En cuanto a los de V_{CE} el único que interesa es el que se etiqueta DC y que deberá ser 5V. El resto de parámetros hacen referencia al nombre y al valor de tensión que le asigna el programa durante un análisis de alterna (AC) o de transitorio (tran). Puesto que nosotros sólo vamos a realizar un análisis de continua sólo precisamos establecer el parámetro correspondiente (DC=5V).

Si ahora, tras realizar la simulación representamos la corriente en la base en función de la tensión Base-Emisor obtenemos una curva similar a la obtenida al caracterizar un diodo (fig. 2.5.3).

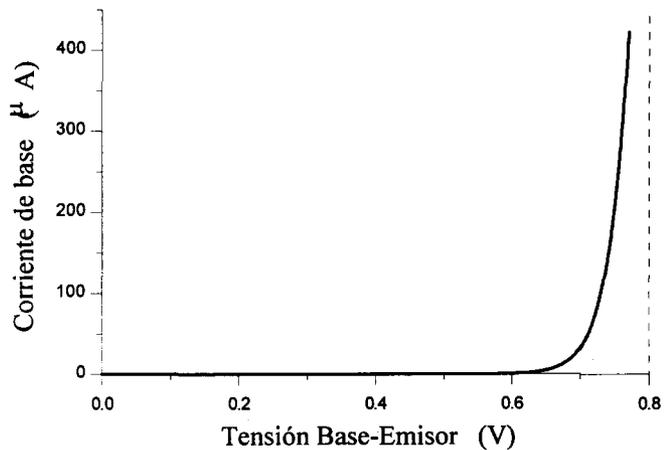


Fig. 2.5.3 Característica de entrada del transistor 2N2222 obtenida por simulación mediante el circuito de la figura (2.5.1) y los parámetros de la tabla de la figura (2.5.2)

La similitud con el comportamiento de un diodo se pone más de manifiesto si cabe, al representar la tensión en la unión Base-Emisor (unión P-N polarizada en sentido directo) frente a la tensión de entrada (fig. 2.5.4) donde se ve que aunque la tensión en la entrada varía entre 0 y 5 Voltios, la tensión en la unión de emisor queda establecida en el valor de saturación tal y como sucedía con un diodo como hemos visto ya en ejercicios anteriores. Para tensiones de entrada bajas (por debajo de la tensión umbral $V_{\gamma|_{BE}} \approx 0.6V$) la tensión V_{BE} aumenta con V_B . Una vez alcanzada esta tensión umbral comienza a entrar corriente por la base y a aumentar por tanto la caída de tensión en la resistencia de la base. Cuando esta unión entra en saturación la tensión en la misma queda establecida en el valor de saturación ($\approx 0.8 V$ en este caso). Este comportamiento es idéntico al expuesto para un diodo normal.

La unión Colector-Emisor está polarizada en sentido inverso y su funcionamiento se aleja del de un diodo aislado, ya que es ahí donde se produce el efecto amplificador de un transistor. Al ser muy estrecha la región de base, los portadores que inyecta el emisor alcanzan el colector sin tiempo para recombinarse. Como partieron de una unión polarizada en directa (baja tensión) y se recogen en una unión polarizada en inversa (alto valor de caída de tensión) aparece la ganancia en potencia. Por eso un transistor no es igual a dos diodos enfrentados. Ver texto de teoría.

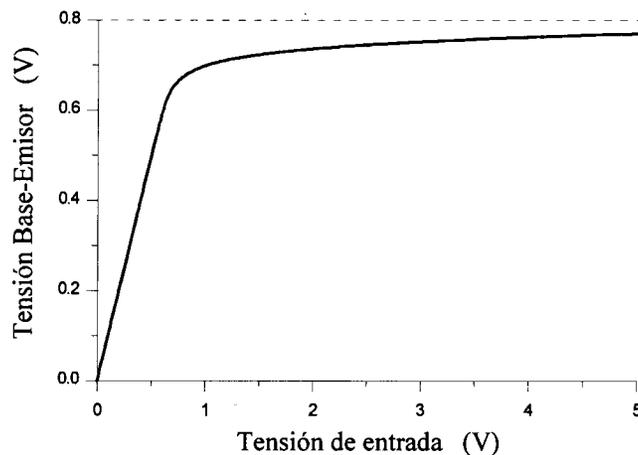


Fig. 2.5.4 Ilustración de la saturación en la unión Base-Emisor

Para obtener la familia de características de salida, debemos obtener la curva que nos proporciona el valor de la intensidad de colector en función de la tensión Colector-Emisor para distintas corrientes de base. Es decir: $I_C = I_C(V_{CE})$

Esto lo podemos hacer sustituyendo el generador de tensión de la base V_B por un generador de corriente I_B . De esta forma podemos inyectar directamente en la base la corriente que deseemos. En la realización experimental, puede que no se disponga de un generador de corriente. En ese caso habrá que seguir empleando el generador de tensión anterior y variarlo hasta que obtengamos la corriente que deseemos y que deberemos medir con ayuda de un amperímetro en serie con la resistencia de la base. Para la obtención de la familia de curvas en simulación resulta más cómodo el empleo de un generador de corriente (ISRC), ya que no podemos elegir libremente la corriente de forma interactiva durante la simulación sino a través de una resistencia. El esquema del circuito se representa en la figura (2.5.5). Para la realización experimental en la que no se disponga de un generador de corriente se empleará el mismo circuito de la figura (2.5.1) que se usó para determinar la característica de entrada.

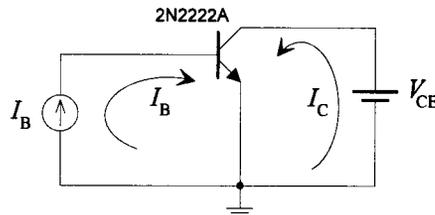


Fig. 2.5.5 Circuito para determinar las características de salida de un transistor bipolar

Al realizar la simulación, debemos variar dos generadores: el que realiza el barrido en la tensión de Colector-Emisor y el que selecciona una u otra curva característica para cada corriente de base. Esto obligaría en principio a repetir un análisis de continua variando V_{CE} para cada I_B , pero el programa de simulación PSpice permite la realización de análisis DC anidados. De esta forma podemos realizar un barrido en un primer parámetro (V_{CE} en este caso) en un margen, incrementar o decrementar otro parámetro (I_B) y volver a barrer el anterior (V_{CE}), y así sucesivamente para distintos valores del segundo parámetro (I_B). Esto se hace activando el barrido anidado (Nested Sweep . . .) en el cuadro de diálogo del análisis DC.

Los parámetros necesarios para los dos barridos se muestran en la tabla de la figura (2.5.6). La familia obtenida de esta forma se representa en la figura (2.5.7).

Barrido Principal: (Main Sweep)		Name:	VCE
Swept Var. Type:	Voltage Source	Start value:	0V
Swept type:	Linear	Stop value:	5V
		Increment:	0.01V
Barrido Anidado: (Nested Sweep)		Name:	IB
Swept Var. Type:	Current Source	Start value:	0A
Swept type:	Linear	Stop value:	200E-6A
		Increment:	20E-6A

Fig. 2.5.6 Parámetros introducidos para la obtención de la familia de características de salida

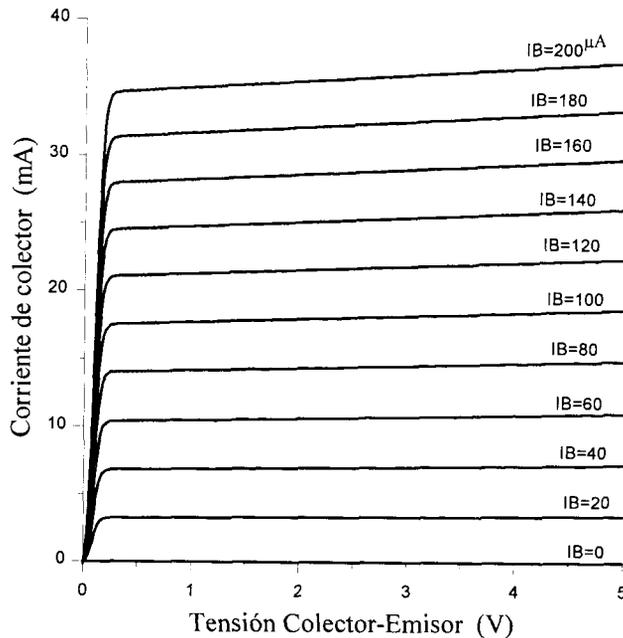


Fig. 2.5.7 Características de salida del transistor 2N2222 obtenidas por simulación

□ □ □ □

E.2.6 Polarización de un transistor bipolar

Usar las curvas características del problema anterior para polarizar un transistor NPN de forma que trabaje únicamente en zona activa, de acuerdo con el circuito de polarización que se muestra en la figura (2.6.1). Es decir, no entre en corte ni en saturación, cuando se excita con el generador: $V_{in} = 2.5 + 0.5\text{sen}(wt)$ ($w = 2\pi f$, $f = 1\text{kHz}$), y se alimenta con una fuente de 5 Voltios. Calcular R_B y R_C de forma que la señal de salida oscile en torno a 2.5 V al igual que la entrada. ¿Qué debemos hacer para que llegue al corte? ¿Y para que entre en saturación?.

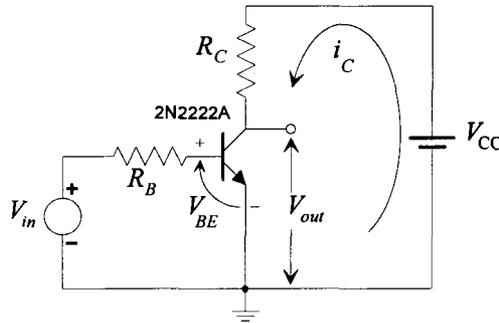


Fig. 2.6.1 Circuito básico de polarización de un transistor NPN

Solución:

Para polarizar el transistor en la zona activa, debemos elegir el punto de trabajo en el punto medio de la zona activa de las características de salida. Debemos tener en cuenta también que aunque la entrada varíe dentro de un cierto margen (entre 2 y 3 V en este caso), el punto de trabajo debe mantenerse dentro de la misma zona activa o de comportamiento lineal.

Lo primero que debemos hacer es trazar sobre la familia de características de salida la recta de carga. Esta recta se obtiene de la malla de salida del transistor (fig. 2.6.1):

$$V_{CC} = i_C R_C + V_{CE}$$

En esta expresión conocemos V_{CC} y se puede observar que cuando el transistor esté cortado tendremos $i_C = 0$ y por lo tanto $V_{CE} = V_{CC}$ con lo que obtenemos un punto de la recta de carga (punto A de la fig. 2.6.2). Necesitamos pues otro punto (B), para poder trazar una recta que pase por ambos y verifique la expresión de la recta de carga. Este

se obtiene a partir del enunciado, ya que si nos piden que la salida oscile en torno al mismo valor que la entrada (2.5 V), debe ser alguno de los puntos pertenecientes a la recta vertical que pasa por $V_{CE}=2.5V$. ¿Cual de todos ellos es el más apropiado?

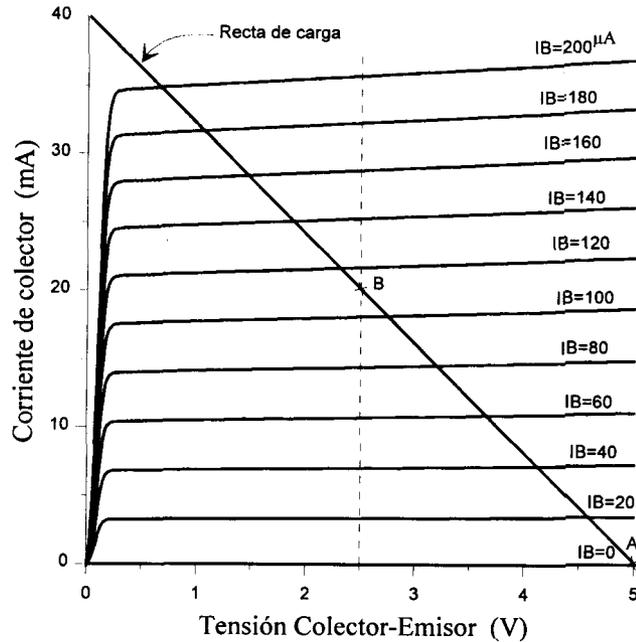


Fig. 2.6.2 Recta de carga y punto de trabajo del transistor

Veamos primero que implica la elección de éste segundo punto.

Al elegir el punto de trabajo estamos determinando la corriente de base del transistor ya que distintos puntos sobre esta recta nos llevan a distintas curvas características de salida. Recuérdese que hay una característica de salida para cada corriente de base. El hecho de escoger un punto determinado, nos va a fijar la curva característica concreta sobre la que va a trabajar el transistor. Podemos escoger cualquiera de ellos teniendo en cuenta que los puntos más bajos estarán cercanos al corte y deben evitarse. Esta libertad de elección nos lleva a diseñar la malla de entrada para que la corriente de base sea la adecuada. Es decir, para que la recta de carga y la curva característica se intersecten sobre el punto de trabajo. Si escogemos $R_C=125\Omega$ obtenemos la recta de

carga de la figura (2.6.2), es decir, como $i_C R_C = V_{CC} - V_{CE} = (5 - 2.5)V = 2.5V$, si escogemos $R_C = 125\Omega$ esto supone una corriente de colector

$$i_C = \frac{2.5V}{125\Omega} = 20mA$$

Sobre la familia de características de salida vemos que el punto de trabajo responde a las siguientes coordenadas:

$$(V_{CE}, I_C, I_B) = (2.5V, 20mA, 110\mu A)$$

Una vez obtenido el punto de trabajo, debemos calcular la resistencia de la base para conseguir una corriente de $110\mu A$. Este valor de la resistencia de base lo obtenemos de la expresión de la malla de entrada: $V_B = V_{BE} + i_B R_B$

En esta expresión todavía desconocemos el valor de V_{BE} . Para obtenerlo acudimos a la característica de entrada obtenida en el problema anterior. En la figura (2.6.3) se repite un detalle de la mencionada característica y se indica el punto de trabajo elegido, de donde se obtiene que si $i_B = 110\mu A \Rightarrow V_{BE} = 0.725V$.

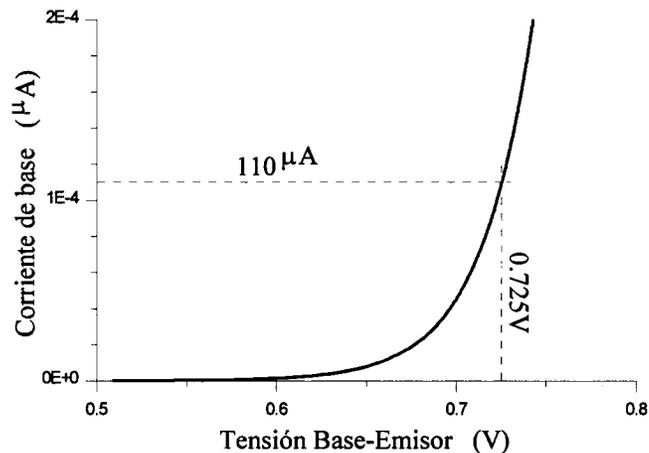


Fig. 2.6.3 Punto de trabajo del transistor representado sobre la característica de entrada

Tendremos por tanto:

$$R_B = \frac{V_B - V_{BE}}{i_B} = \frac{(2.5 - 0.725)V}{110\mu A} = 16.14k\Omega$$

Podríamos haber procedido a la inversa, es decir, elegir el punto de trabajo sobre la característica de entrada con lo que obtenemos la resistencia de la base y fijaríamos la curva característica concreta de salida. Después calculamos la resistencia de colector con ayuda de las características de salida para obtener la recta de carga que debe cortar a la curva característica elegida sobre el punto de trabajo.

Comprobemos ahora que la decisión tomada no saca al transistor de la zona activa. La situación más cercana al corte la obtendremos para los valores más bajos de V_B que en este caso son 2 Voltios. Si el transistor estuviese cortado, la corriente de base sería nula con lo que la tensión en la misma sería de 2 Voltios; bastante por encima de la tensión necesaria para que el dispositivo conduzca, con lo que el transistor no puede estar cortado, al contrario de como habíamos supuesto inicialmente. Supongamos ahora que está saturado: en este caso $V_{BE} \approx 0.8V$ con lo que podemos escribir:

$$V_B = i_B R_B + V_{BE} \approx i_B R_B + 0.8V$$

La situación más cercana a saturación se producirá para los valores más altos de la entrada ($V_B = 3V$). Con lo que podemos obtener la corriente de base que circulará en tal situación:

$$i_B = \frac{(3 - 0.8)V}{16k\Omega} = 137\mu A$$

Si vemos a qué tensión corresponde esta corriente sobre la característica de entrada del transistor se obtiene $V_{BE} < 0.75V$, con lo que el transistor no puede estar saturado.

Para comprobar que realmente está en zona activa (o lineal) podemos también emplear la simulación del circuito obtenido ($R_B = 16.14k\Omega$ y $R_C = 125\Omega$). Para verlo podemos realizar dos tipos de análisis: un análisis de transitorio o un análisis de continua. En el análisis de transitorio, para comprobar que el transistor trabaja en zona lineal, la señal de salida debe mantener la misma forma que la señal de entrada, aunque tenga unos valores distintos. La entrada y la salida deben estar relacionadas de forma lineal, es decir, deben cumplir la ecuación de una recta ($y=kx+h$):

$$V_{out}(V_{in}) = V_C = kV_B + h = kV_{in} + h$$

En la figura (2.6.4) se muestran las dos señales (de entrada y de salida) donde se puede apreciar que son prácticamente idénticas con la salvedad de que el circuito

produce una inversión y una pequeña ganancia. Pero estos dos efectos entran dentro del comportamiento lineal ya que ambos pueden ser representados por la expresión anterior. Basta con una pendiente (k) de signo negativo y mayor que uno en valor absoluto. Es una característica de los transistores en configuración de emisor común producir inversión de la señal, por lo que en estos casos siempre tendremos $k < 0$. Si $|k| > 1$ tendremos ganancia en tensión y por el contrario si $|k| < 1$ habrá atenuación de la señal. Obsérvese también en esta figura, que la salida oscila en torno al mismo valor que la entrada tal y como pedían las especificaciones del problema.

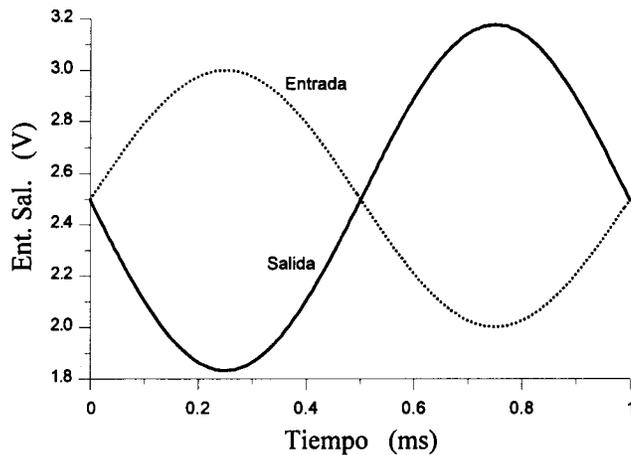


Fig. 2.6.4 Señales de entrada y salida al circuito de la figura (2.6.1)

No obstante, la linealidad es más fácil de comprobar con ayuda del análisis de continua. Con este tipo de análisis podemos obtener directamente la característica de transferencia del circuito que es la curva que nos relaciona la entrada con la salida. Pues bien, en este caso la característica que debemos encontrar debe ser una línea recta. Si no fuese así, el comportamiento no sería lineal y el transistor estaría entrando en corte o en saturación. La figura (2.6.5) muestra la característica de transferencia obtenida por simulación. En esta figura se puede comprobar la absoluta linealidad que muestra el circuito en el margen de tensiones bajo estudio (2 - 3 V). Ahora ya podemos pasar a calcular los coeficientes de la ecuación de la recta que describe este comportamiento y que son la pendiente y la ordenada en el origen (k y h).

Para obtener los parámetros k y h que definen la recta basta con tomar dos puntos sobre la misma. Si escogemos los puntos extremos tendremos aproximadamente:

$$k = \frac{1.8 - 3.2}{3 - 2} = -1.4 \quad \text{y} \quad h = 3.2 - 2 \cdot k = 6$$

Con lo que la expresión de la recta que relaciona la entrada con la salida será:

$$V_{out}(V_{in}) = -1.4V_{in} + 6 = -1.4V_B + 6$$

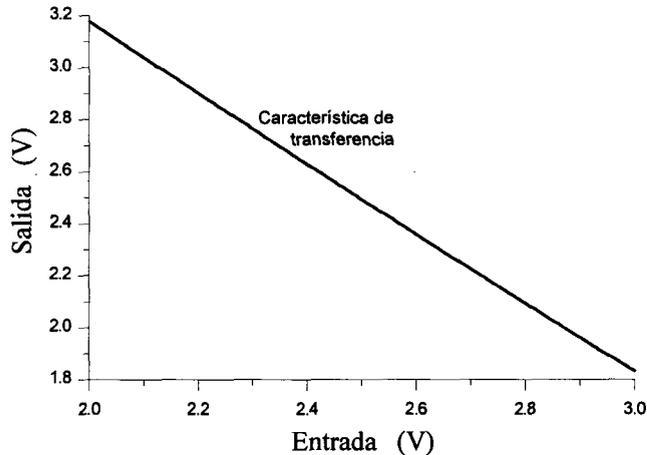


Fig. 2.6.5 Característica de transferencia del circuito de la figura (2.6.1)

Veamos ahora las modificaciones necesarias para que el transistor entre en corte o saturación.

Para que llegue al corte es necesario que la tensión Base-Emisor caiga por debajo de 0.5V. con lo que la corriente de base tenderá a cero. Esto lo podemos conseguir aumentando la resistencia de base R_B . Al aumentar R_B , por una parte disminuirá la corriente de base y por otra la caída de tensión (que debe repartirse entre esta resistencia y la unión B-E del transistor) se producirá fundamentalmente sobre la resistencia R_B , tanto más cuanto mayor sea ésta, lo que producirá por tanto una disminución de la tensión B-E y un acercamiento al corte.

Para llegar a saturación podemos actuar bien sobre R_B o sobre R_C . Si disminuimos R_B , aumentará la corriente de base y la tensión sobre la unión B-E, al contrario de como sucedía en el caso anterior. Si por el contrario actuamos sobre la resistencia de carga, para llegar a saturación se precisa que la tensión C-E se acerque a 0.2V. Es decir debe

aumentar la caída de tensión en la resistencia de colector. Para que aumente esta caída de tensión con una misma corriente basta con aumentar el valor de la resistencia de colector. Recuérdese que el transistor es un generador de corriente controlado por corriente y por tanto la corriente de colector viene fijada por la corriente de base ($i_C = \beta i_B$) mientras el transistor está en zona activa independientemente de la resistencia de colector que tengamos. Según esto parece que la resistencia de colector no tiene ninguna influencia, sin embargo, una variación de ésta resistencia traerá como consecuencia que el transistor entre en saturación para distintos valores de la corriente de base, momento en que se pierde la proporcionalidad entre i_B e i_C . (la expresión: $i_C = \beta i_B$ no es válida en saturación).

□ □ □ □

E.2.7 Circuito seguidor de tensión o en colector común

Dado el circuito de la figura (2.7.1), construir su característica de transferencia. ¿Invierte la señal?. ¿Por qué?. Supóngase $\beta = 250$, $R_E = 1k\Omega$ y $R_B = 10k\Omega$.

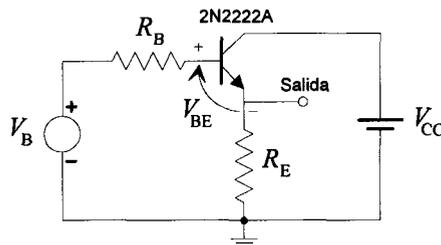


Fig. 2.7.1 Circuito en colector común para el ejercicio E.2.7

Solución:

Para construir la característica de transferencia debemos obtener las tensiones de entrada que separan las tres zonas de trabajo del transistor: corte, activa y saturación.

No obstante realizaremos primero un razonamiento cualitativo:

Cuando la tensión de entrada es nula o negativa, obviamente el transistor está en corte ya que no se alcanza la tensión suficiente para que comience la conducción ($V_{BE} \approx 0.5V$). En este caso, la corriente de entrada a la base es prácticamente nula y también lo será la corriente de colector. Por lo tanto, por la resistencia R_E no pasará corriente y

la tensión de salida será nula, ya que no habrá caída de tensión en la resistencia. Si vamos aumentando la tensión de entrada, llegará un momento en el que se alcance el valor de la tensión de despegue en la unión Base-Emisor del transistor, con lo que dicha unión estará polarizada en sentido directo y comenzará la conducción. En este momento el transistor entra en zona activa. Conforme aumente la tensión Base-Emisor, también aumentará la corriente de base, y como estamos en zona activa la corriente de colector vendrá dada por la conocida expresión: $i_C = \beta i_B$, y la de emisor será: $i_E = i_B + i_C = (1 + \beta)i_B$, por lo que al aumentar la corriente de base aumentará la del emisor y consiguientemente se incrementará la caída de tensión en la resistencia R_E .

Si seguimos incrementando la tensión de entrada, llegará un momento en que se alcance la saturación, a partir del cual, la corriente de colector no seguirá incrementándose aunque sigamos aumentando la tensión de entrada ($i_C = \beta i_B$ deja de ser válida). Lo mismo sucede con la corriente de emisor ya que aunque i_B siga aumentado siempre tenemos $i_C \gg i_B$ o lo que es lo mismo: $i_E \approx i_C$.

Después de este estudio cualitativo que nos da idea del funcionamiento del circuito pasemos a calcular los valores de la tensión de entrada para los que el transistor pasa de una zona a otra.

De la malla de entrada podemos escribir:

$$V_{in} = V_B = V_{BE} + i_B R_B + i_E R_E = V_{BE} + i_B (R_B + (1 + \beta) R_E)$$

Si inicialmente partimos de una tensión nula, la unión Base-Emisor no está polarizada en directa y la corriente de base será nula con lo que se cumplirá que $V_B \approx V_{BE}$ y esto será cierto hasta que se alcance la conducción. Esto se producirá cuando: $V_B > 0.5V$

Por lo tanto, para tensiones de entrada por debajo de este valor el transistor está en corte, y entra en zona activa a partir de los 0.5V.

Veamos ahora cuándo se alcanza la saturación:

Sabemos que la caída de tensión entre el colector y el emisor de un transistor bipolar en saturación es aproximadamente: $V_{CE}|_{sat} \approx 0.2\text{V}$ con lo que en condiciones al borde de la saturación podemos escribir la ecuación de la malla de salida de la forma:

$$V_{CC} = V_{CE}|_{sat} + i_E R_E = V_{CE}|_{sat} + i_B(1 + \beta)R_E$$

de donde obtenemos:

$$i_B = \frac{V_{CC} - V_{CE}|_{sat}}{(1 + \beta)R_E} = \frac{(5 - 0.2)\text{V}}{251\text{k}\Omega} = 19\mu\text{A}$$

De la malla de entrada podemos obtener el valor de la tensión de entrada necesario para alcanzar esta corriente, teniendo en cuenta que en saturación podemos suponer:

$V_{BE}|_{sat} \approx 0.8$, tendremos:

$$V_B = V_{BE}|_{sat} + i_B(R_B + (1 + \beta)R_E) \approx 0.8\text{V} + 19\mu\text{A} \cdot 261\text{k}\Omega = 5.76\text{V}$$

Como la tensión de salida en estado de corte es nula, y la tensión de salida en saturación es $V_{CC} - V_{CE}|_{sat} \approx V_{CC}$, ya podemos dibujar la característica de transferencia del circuito. En la figura (2.7.2) se muestra la característica de transferencia del circuito obtenida por simulación. Como puede verse concuerda en gran medida con los razonamientos analíticos desarrollados hasta aquí.

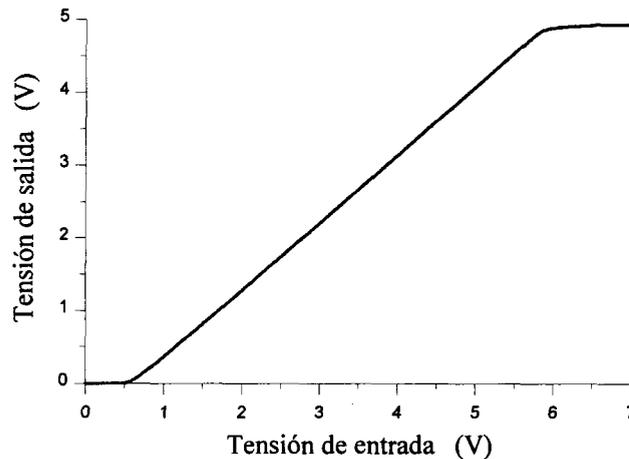


Fig. 2.7.2 Característica de transferencia del circuito de la figura (2.7.1)

Como puede observarse en la característica de transferencia, la tensión de salida no está invertida respecto de la entrada, ya que presenta pendiente positiva. Esto es debido a que en este circuito la salida está tomada en el emisor en lugar de estar tomada en el colector. De esta forma, cuando el transistor comienza a conducir, la corriente en la malla de salida aumenta, y por lo tanto la tensión en la salida también ya que ahora la resistencia está apoyada a tierra en lugar de estarlo a la alimentación. Es decir, al pasar la corriente, el valor de la tensión de salida se aleja del nivel de tierra (aumenta la caída de tensión en la resistencia). Si la resistencia estuviese conectada a la alimentación como en el ejercicio E.2.6, al pasar la corriente, el valor de la tensión de salida se alejará del nivel de alimentación (aumenta la caída en la resistencia), tal y como sucedía en el mencionado ejercicio.

En este circuito tenemos que la salida sigue a la entrada con una cierta diferencia y se conoce con el nombre de seguidor de tensión o configuración en colector común según hagamos referencia a su comportamiento o a su topología de conexión.

Esta diferencia de tensión entre la entrada y la salida es simplemente la caída en la unión Base-Emisor y es aproximadamente 0.7 V mientras el transistor pasa por la zona activa.



E.2.8 Curvas características de un transistor MOS

Obtener por simulación las curvas características de un transistor MOS canal N trabajando en modo de realce de forma similar a la empleada para el transistor bipolar 2N2222A del ejercicio E.2.5. Obtener a partir de estas curvas el valor de la tensión umbral del dispositivo.

Solución:

Para obtener las características de salida pedidas, podemos utilizar un circuito similar al empleado en el ejercicio E.2.5 que se muestra en la figura (2.5.5) para el transistor bipolar, pero es necesario hacer alguna modificación. Esta modificación consiste en sustituir el generador de corriente de la entrada por un generador de tensión. Esto es consecuencia de la alta impedancia de entrada que presentan los transistores de efecto-campo, lo que provoca que la corriente de entrada a la puerta sea prácticamente despreciable. No sin razón se considera a los transistores bipolares como generadores de corriente controlados por corriente, mientras que a los

transistores de efecto-campo se les puede considerar como generadores de corriente controlados por tensión.

Esto también lo podemos concluir si observamos las familias de curvas características que aparecen a lo largo del capítulo 2 del libro de teoría donde se observa que mientras para los transistores bipolares hay una curva característica para cada corriente de base, para los MOS hay una curva característica para cada tensión de puerta.

Una segunda modificación es que ahora no será necesaria la resistencia limitadora que aparecía en la malla de entrada, ya que debido a la propia naturaleza de los transistores MOS, la impedancia de entrada en el terminal de puerta es altísima y consecuentemente la corriente de puerta es siempre despreciable.

Con estas consideraciones podemos dibujar el circuito necesario para obtener las mencionadas curvas características tanto en simulación como en una experiencia de laboratorio con el circuito de la figura (2.8.1).

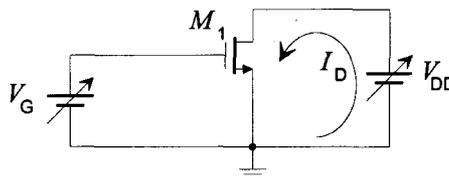


Fig. 2.8.1 Circuito empleado para obtener las curvas características de un transistor MOS de realce de canal N

Una vez introducido el circuito en el programa de simulación establecemos los parámetros necesarios en el cuadro de diálogo correspondiente al barrido principal y al anidado y que se muestran en la tabla de la figura (2.8.2).

Si usamos en la simulación el transistor irf150 que incorpora la biblioteca de componentes del PSpice de evaluación, obtenemos la familia de curvas de la figura (2.8.3). Los valores tan altos de corriente son debidos a que el mencionado dispositivo está especialmente diseñado para aplicaciones de potencia, pero en esta versión reducida de PSpice no se dispone de otro transistor MOS de realce y canal N

de baja señal. No obstante, el comportamiento será similar para los fines didácticos que perseguimos.

Barrido Principal: (Main Sweep)			
Swept Var. Type:	Voltage Source	Name:	VDD
Swept type:	Linear	Start value:	0V
		Stop value:	15V
		Increment:	0.1V
Barrido Anidado: (Nested Sweep)			
Swept Var. Type:	Voltage Source	Name:	VG
Swept type:	Linear	Start value:	0V
		Stop value:	10V
		Increment:	1V

Fig. 2.8.2 Parámetros del análisis de continua para obtener por simulación las curvas características de salida de un transistor MOS de realce y canal N

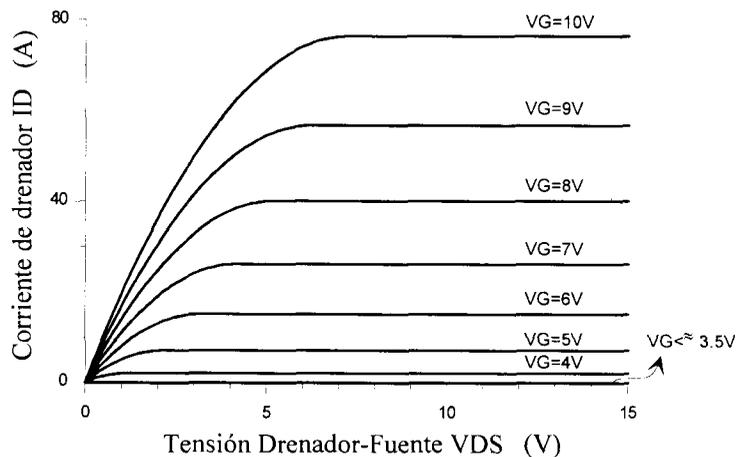


Fig. 2.8.3 Características de salida del transistor irf150. (MOS de realce y canal N)

De la familia de curvas de la figura (2.8.3) se obtiene que la tensión umbral es aproximadamente 3.5V, ya que por debajo de dicho valor la corriente de drenador es despreciable e independiente de la tensión Drenador-Fuente que apliquemos al

transistor. Este es pues el valor de la tensión umbral. Sin embargo aunque estas curvas nos dan una idea aproximada de este valor, podemos obtener un resultado más preciso si usamos la característica de transferencia que vamos a construir a continuación.

La característica de transferencia nos muestra la corriente de drenador en función de la tensión Puerta-Fuente. Podemos obtener una característica de transferencia para cada tensión de alimentación que pongamos en el circuito. Para obtener una familia representativa de estas características realizamos un análisis de continua anidado con los parámetros de la tabla (2.8.4).

Barrido Principal: (Main Sweep)			
Swept Var. Type:	Voltage Source	Name:	VG
Swept type:	Linear	Start value:	0V
		Stop value:	15V
		Increment:	0.1V
Barrido Anidado: (Nested Sweep)			
Swept Var. Type:	Voltage Source	Name:	VDD
Swept type:	Linear	Start value:	0V
		Stop value:	10V
		Increment:	2V

Fig. 2.8.4 Parámetros del análisis de continua para obtener por simulación la familia de características de transferencia de un transistor MOS de realce y canal N

Con estos parámetros, tras realizar la simulación obtenemos la familia de curvas de la figura (2.8.5). Nuevamente podemos comprobar que sea cual sea la tensión de alimentación VDD, la corriente de drenador es despreciable mientras la tensión de puerta no supere un cierto valor (Tensión umbral), que en este caso se puede comprobar que está establecido en unos 3.5V.

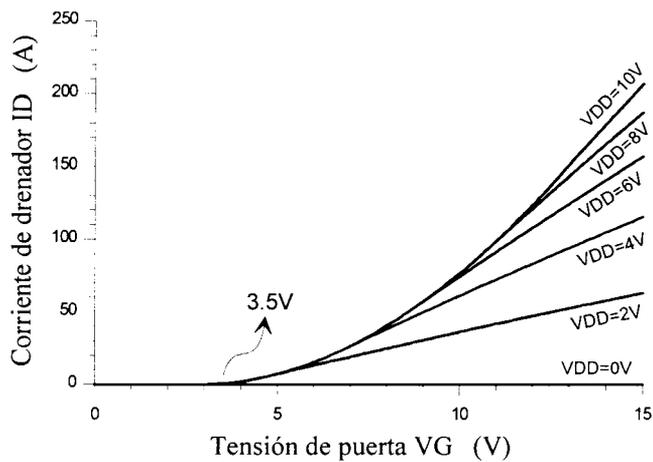


Fig. 2.8.5 Familia de curvas de transferencia del transistor irf150

TEMA 3

Familias lógicas (I): TTL

PROPÓSITO

El propósito de este capítulo es el estudio a un nivel elemental de la familia lógica TTL ("Transistor-Transistor-Logic"). Hay dos partes distinguibles en toda puerta lógica:

- 1.- Los elementos de circuito encargados de sintetizar al operador correspondiente (AND, OR, NOT).*
- 2.- El resto de los elementos de circuito encargados de modificar los niveles lógicos, aumentar el abanico de salida y la velocidad y disminuir el consumo.*

En el desarrollo de los ejercicios de este capítulo haremos énfasis en la primera parte (generación de los operadores AND, OR y NOT) siguiendo dos caminos complementarios. Por un lado usaremos las técnicas analíticas convencionales y las ecuaciones en las mallas de entrada y salida para calcular los valores de tensión y corriente y las curvas de transferencia en inversores. Por otro lado, usaremos la simulación con PSpice para obtener las mismas características a partir de la relación entre señales variables a la entrada que superan los límites de corte y saturación y, por consiguiente, permiten que el circuito muestre su comportamiento en todo el rango dinámico.

La complejidad de los circuitos comerciales en las series Schottky de bajo consumo hace difícil plantear y resolver problemas a nivel analítico y sin superar las limitaciones del simulador usado. Sin embargo, en el último problema de este tema hemos propuesto el análisis de la puerta NAND básica (AS00), descomponiendo el circuito en sus bloques fundamentales y siguiendo el camino de la señal desde la etapa de entrada hasta la configuración "totem-pole" de salida para los dos grupos de valores que caracterizan a la puerta NAND (11 y 00,01,10).



EJERCICIOS RESUELTOS

E.3.1 Inversor simple

El circuito de la figura es un sencillo inversor realizado con un transistor bipolar NPN con ganancia en corriente $\beta_F = 100$, tensión de despegue $V_{BE}|_{on} = 0.5 \text{ volts}$ y $V_{CE}|_{sat} = 0.2 \text{ volts}$. Construir su característica de transferencia, $V_C = f(V_B)$, distinguir las regiones de corte, transición y saturación. ¿Qué rango de valores debe tomar la entrada, V_B , para que el inversor recorra toda la característica de transferencia?. Es decir, ¿cuál debe ser el valor de V_B ("0") y de V_B ("1") para asegurar la conmutación?.

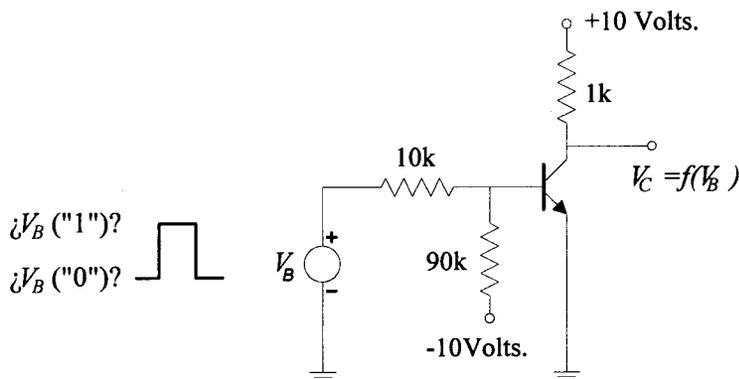


Fig. 3.1.1 Inversor en tecnología bipolar con alimentación simétrica

Solución:

El conocimiento teórico necesario para la solución de este problema se encuentra en los apartados 2.5.3, 2.6 y 3.2 del texto de teoría.

Son datos del problema la ganancia en corriente ($\beta_F = 100$) y los valores de las tensiones en la unión de emisor cuando el transistor empieza a conducir ($V_{BE} = 0.5V$) y entre colector y emisor cuando el transistor está en zona de saturación ($V_{CE} = 0.2V$). Aunque no aparece de forma explícita en el enunciado del problema, también sabemos que la unión de emisor entra en saturación para valores $V_{BE}|_{sat} = 0.8V$. Tenemos así marcadas las tres regiones de funcionamiento: corte, zona activa y saturación.

Para construir la característica de transferencia $V_{CE} = f(V_{BE})$ en los terminales del transistor, vamos recorriendo el eje de abscisas aumentando la V_{BE} desde $V_{BE} = 0$ hasta $V_{BE} > V_{BE}|_{sat}$ y vamos calculando los valores correspondientes de V_{CE} . Como sabemos de la teoría deberemos encontrar una curva de la forma de la mostrada en la figura (3.1.3).

En la figura (3.1.2) se repite el circuito del enunciado detallando la notación empleada para las tensiones y corrientes más relevantes.

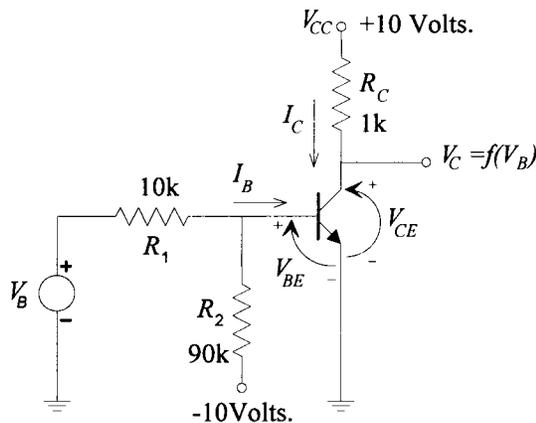


Fig. 3.1.2 Inversor del ejercicio E.3.1 especificando las corrientes y tensiones relevantes

Mientras que V_{BE} es menor que $V_{BE}|_{on} = 0.5$, el transistor no conduce. Si no conduce, su corriente de colector es cero ($I_C = 0$) y no cae nada de tensión en la resistencia de colector ($I_C R_C = 0$), por consiguiente la tensión en el colector (V_{CE}), es la misma que la de la fuente de alimentación: ($V_C = V_{CC} - I_C R_C = 10 - 0 = 10V$).

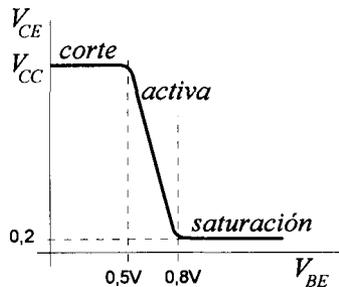


Fig. 3.1.3 Aspecto general de la característica de transferencia que relaciona la tensión base_emisor (entrada) con la de colector-emisor (salida)

Cuando V_{BE} alcanza los 0.5 Voltios, el transistor entra en zona activa y se comporta como un amplificador lineal con una corriente de colector ($I_C = \beta I_B$) distinta de cero. Esta corriente provoca una caída de tensión en la resistencia de colector ($I_C R_C > 0$) y la tensión de colector va disminuyendo ($V_{CE} = 10 - I_C R_C$) desde el valor de corte ($V_{CE} = 10V$) hasta llegar al valor de saturación ($V_{CE}|_{sat} = 0.2V$).

Si seguimos aumentando la tensión V_{BE} entramos en saturación. Es decir, en una región en la que aunque aumente la corriente de base (I_B), la corriente de colector (I_C) ya no puede aumentar ya que ha alcanzado su valor máximo limitado por la fuente de alimentación y por la resistencia de colector (R_C):

$$I_C|_{sat} = \frac{10 - V_{CE}|_{sat}}{R_C} \approx \frac{10 - 0.2V}{1000\Omega} = 10mA$$

En las características de salida ($I_C = f(V_{CE})$), vemos lo que ha ocurrido al pasar de corte a saturación (fig. 3.1.4). Nos hemos desplazado sobre la recta de carga aumentando I_B , lo que nos ha hecho saltar de una curva característica a la siguiente.

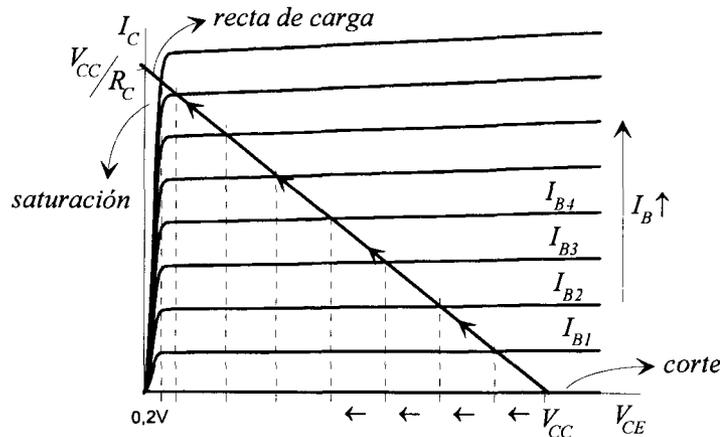


Fig. 3.1.4 Ilustración sobre las características de salida del paso de corte a saturación

Para terminar con el análisis cualitativo del comportamiento de este inversor hemos realizado su simulación mediante PSpice. Usamos como señal de entrada una onda sinusoidal ($V_{BE} = 5 \text{ sen}(\omega t)$, $\omega = 2\pi f$, $f = 1\text{kHz}$) y obtenemos la señal de salida viendo los puntos en los que se produce la conmutación. En la figura (3.1.5) se muestran las señales de entrada (sinusoidal) y de salida. En esta figura podemos observar que la conmutación ocurre para $V_B \approx 2.35$ Voltios.

En la simulación se ha empleado el transistor 2N2222A que proporciona el programa PSpice en su versión de educación, pero modificando el valor del parámetro β_F al valor del enunciado ($\beta_F = 100$). Para acercarnos más al comportamiento de un transistor ideal hacemos que los parámetros ISE e IKF sean iguales a cero. Estos parámetros están relacionados con β_F pero la explicación detallada de su significado excede el nivel de este primer curso de electrónica digital.

Se han realizado dos tipos de análisis, el de transitorio (.tran) que se muestra en la figura (3.1.5) y el de continua (.DC) en el que se ha elegido como fuente independiente el generador V_B (figura 3.1.6). De esta forma podemos obtener de

forma sencilla la característica de transferencia del circuito, tal y como se muestra en la figura (3.1.7).

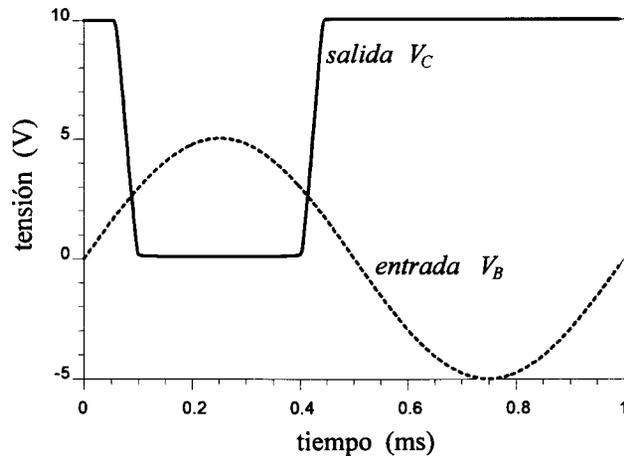


Fig. 3.1.5 Simulación mediante PSpice del circuito del ejercicio E.3.1

Veamos ahora el estudio analítico. Para ello resolvemos las mallas de entrada y salida. Por comodidad vamos a dibujar de nuevo el circuito cerrando las mallas con las fuentes de alimentación. Ver figura (3.1.6).

Para dibujar la curva de transferencia, basta con obtener las tensiones de entrada para las que cambia la pendiente de dicha curva. Esto sucede cuando el transistor pasa de una zona a otra. Las tres zonas de trabajo del transistor son:

A) Zona de Corte

El transistor no conduce ($I_C = 0$)

B) Zona Activa

La corriente de colector es proporcional a la de la base, $I_C = \beta I_B$

C) Zona de Saturación

El transistor está en su máximo nivel de conducción y la corriente de colector solo depende de la tensión de alimentación y de las resistencias limitadoras que estén presentes en la malla de colector.

Por lo tanto, para obtener la característica de transferencia basta con obtener las tensiones de entrada para las que el transistor pasa de una zona a otra.

A) **Estado de corte:** ($V_{BE}|_{corte} < 0.5V$, $I_B = 0$, $I_C = 0$).

Como $I_B=0 \Rightarrow I_1=I_2=i$ y resolviendo la malla de entrada obtenemos:

$$V_B + V_{CC} = i(R_1 + R_2)$$

Con lo que obtenemos la expresión de V_B en función de i :

$$V_B = (R_1 + R_2)i - V_{CC} = (10^5 i - 10)\text{Volt.}$$

La tensión de entrada al transistor es: $V_{BE} = -V_{CC} + I_2 R_2$

Si el transistor está al corte, $V_{BE} < 0.5V$. Si suponemos que $V_{BE} = 0.5V$ es la frontera, (es decir que para un valor de $V_{BE} = 0.5 - \varepsilon$ el transistor está al corte y para un valor de $V_{BE} = 0.5 + \varepsilon$ está en conducción), podemos realizar los cálculos para $V_{BE} = 0.5V$ aunque entendiendo que el valor obtenido será un punto singular. Así obtenemos el punto en el que el transistor abandona la zona de corte y comienza a entrar en la zona activa:

$$V_{BE} = -V_{CC} + I_2 R_2 \quad \Rightarrow \quad i = I_2 = \frac{V_{CC} + V_{BE}}{R_2} = \frac{10 + 0.5}{9 \cdot 10^4} = 116.7 \mu A$$

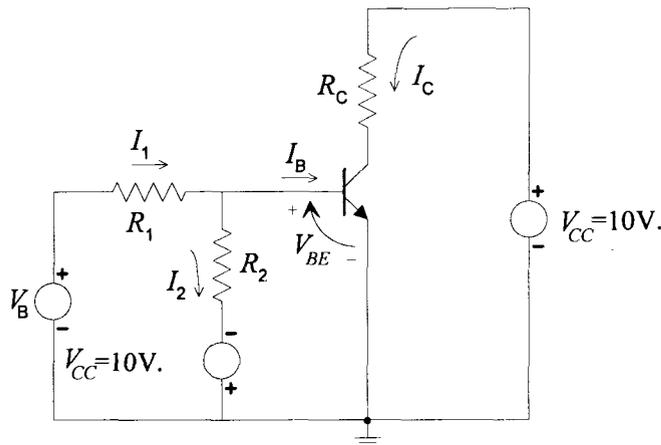


Fig. 3.1.6 Repetición del circuito del enunciado con las mallas cerradas

Sustituyendo este valor de i en la expresión de V_B , obtenemos la tensión de entrada al circuito:

$$V_B = -10 + 10^5 \cdot 0.1167 \cdot 10^{-3} = 1.67\text{V}$$

Como para garantizar el corte V_{BE} debe ser $\leq 0.5\text{V} \Rightarrow V_B \leq 1.67\text{V}$ para asegurar que la entrada está en estado bajo. Es decir: $V_B("0") \leq 1.67\text{V}$.

Pasamos ahora a estudiar la situación en estado de saturación.

B) Saturación: ($V_{CE}|_{sat} = 0.2\text{V}$, $V_{BE}|_{sat} = 0.8\text{V}$)

La ecuación de la malla de salida es:

$$V_{CC} - V_{CE}|_{sat} = I_C|_{sat} R_C \Rightarrow I_C|_{sat} = \frac{V_{CC} - V_{CE}|_{sat}}{R_C} = \frac{10 - 0.2}{10^3} = 9.8\text{mA}$$

Cuando el transistor está en saturación: $I_C < \beta I_B$ pero en la frontera entre conducción y saturación aún se verifica que $I_C = \beta I_B$ por tanto, la corriente de base cuando el transistor está en la frontera entre la zona activa y la zona de saturación será:

$$I_B = \frac{I_C}{\beta} = \frac{9.8\text{mA}}{100} = 0.098\text{mA} = 98\mu\text{A}$$

Ahora no falta mas que obtener la tensión de entrada que produce esta corriente de base. Puesto que ahora existe una corriente de base distinta de cero, el transistor conduce, las corrientes I_1 e I_2 no son iguales y por tanto en la malla de entrada se verifica (por Kirchoff):

$$I_1 - I_2 = I_B = 98\mu\text{A} \tag{3.1.1}$$

$$V_B + V_{CC} = I_1 R_1 + I_2 R_2 \tag{3.1.2}$$

A la entrada del transistor se sigue verificando la ecuación $V_{BE} = -V_{CC} + I_2 R_2$ pero ahora el valor de V_{BE} es el correspondiente a saturación (0.8V), con lo que ahora:

$$V_{BE}|_{sat} = -V_{CC} + I_2 R_2 \Rightarrow I_2 = \frac{V_{BE}|_{sat} + V_{CC}}{R_2} = 120 \mu\text{A}$$

sustituyendo este valor en la expresión del nudo de entrada (3.1.1) y en la de la malla de entrada (3.1.2) obtenemos:

$$I_1 = I_B + I_2 = 218 \mu\text{A}$$

$$V_B = R_1 I_1 + R_2 I_2 - V_{CC} = 10^4 \cdot 218 \cdot 10^{-6} + 90 \cdot 10^3 \cdot 120 \cdot 10^{-6} - 10 = 2.98\text{V}$$

Luego para que esté saturado se debe cumplir que: $V_B \geq 2.98\text{V}$

Si recordamos el resultado obtenido en estado de corte tendremos las dos condiciones pedidas:

$$V_B("0") \leq 1.67\text{V} \quad \text{y} \quad V_B("1") \geq 2.98\text{V}$$

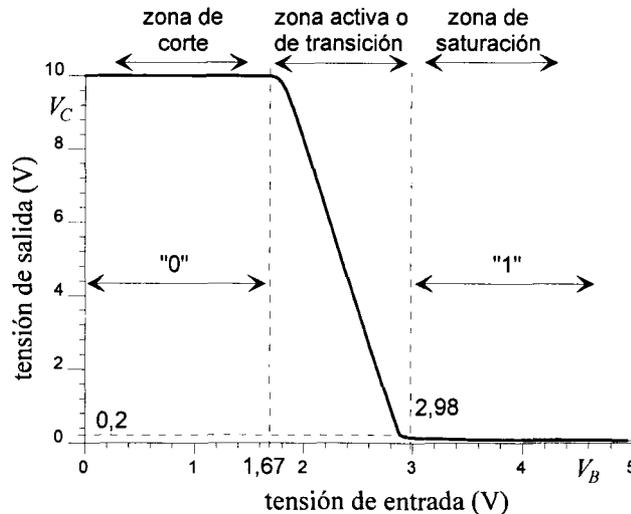


Fig. 3.1.7 Curva de transferencia obtenida por simulación

La curva de transferencia es la que aparece en la figura (3.1.7). Esta gráfica ha sido obtenida, como ya se adelantó, empleando el análisis de continua del programa de simulación. Si se emplean los cursores de que dispone el módulo de presentación gráfica del PSpice, se puede comprobar que los valores no son exactamente iguales,

aunque las pequeñas diferencias no son apreciables sobre la gráfica. Estas pequeñas diferencias son consecuencia de que en el problema estamos trabajando con un modelo de transistor excesivamente idealizado, mientras que el programa de simulación emplea modelos notablemente más complejos, para aproximarse lo más posible al transistor real. No obstante el modelo ideal empleado es suficiente para un estudio cualitativo del comportamiento del circuito, como puede comprobarse con la similitud de los valores obtenidos en uno u otro caso.

□ □ □ □

E.3.2 Inversor simple con alimentación única

El circuito de la figura muestra un inversor polarizado con una sólo fuente de 5 volts. La ganancia en corriente para continua es $\beta_F \geq 80$ y $V_{CE}|_{sat} = 0.2$ volts. ¿Cuál debe ser el valor de R_B para garantizar la saturación sabiendo que $R_C = 1k\Omega$ y que $V_{BE}|_{sat} = 0.8$ volts?

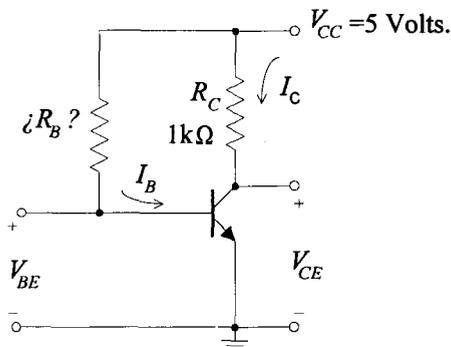


Fig. 3.2.1 Inversor en tecnología bipolar empleando una sola fuente de alimentación

Solución:

Este circuito es el ejemplo más sencillo de inversor que usa solo una fuente. Su solución es análoga a la del problema anterior pero ahora queremos hacer énfasis en el paso de la zona activa a la saturación viendo como la igualdad ($I_C = \beta I_B$) se convierte en desigualdad que garantiza la saturación.

Para facilitar el análisis vamos a desdoblar la fuente de alimentación y redibujar el circuito haciendo visibles las mallas de entrada y de salida como se muestra en la figura (3.2.2).

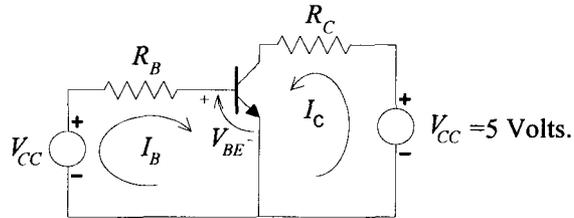


Fig. 3.2.2 Inversor mostrando las mallas de entrada y salida

Veamos primero sobre las características de salida de un transistor bipolar ($I_C = f(V_{CE})|_{I_B = cte}$) qué supone el hecho de que el transistor esté trabajando en zona activa y pase a zona de saturación. De la familia de curvas que aparece en la figura (3.1.4) elegimos una que se muestra en la figura (3.2.3).

Si recorremos la curva de derecha a izquierda vemos que entre los puntos A y B el transistor se comporta de forma casi lineal. Esto corresponde a su funcionamiento en zona activa directa en la que se verifica que: $I_C = \beta I_B$.

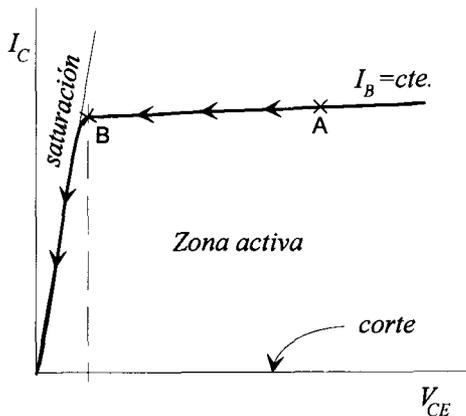


Fig. 3.2.3 Detalle del paso de zona activa a saturación ilustrado sobre la característica de salida

A partir del punto B, el transistor entra en la zona de saturación y como podemos observar, la I_C disminuye para el mismo valor de I_B de forma que ahora no se verifica la igualdad anterior sino que $I_C < \beta I_B$.

Si pasamos ahora a analizar el circuito vemos que en la malla de entrada se verifica que:

$$V_{CC} = I_B R_B + V_{BE}$$

y en la de salida: $V_{CC} = I_C R_C + V_{CE}$

En saturación, estas ecuaciones son las mismas solo que ahora los valores serán los de saturación. De esta forma, despejando las corrientes I_B e I_C tenemos:

$$I_B|_{sat} = \frac{V_{CC} - V_{BE}|_{sat}}{R_B} \qquad I_C|_{sat} = \frac{V_{CC} - V_{CE}|_{sat}}{R_C}$$

Según hemos visto en las curvas características, en saturación se debe cumplir que:

$$I_C|_{sat} \leq \beta I_B|_{sat}$$

Es decir:
$$\frac{V_{CC} - V_{CE}|_{sat}}{R_C} < \beta \frac{V_{CC} - V_{BE}|_{sat}}{R_B}$$

o bien:
$$R_B < \beta R_C \frac{V_{CC} - V_{BE}|_{sat}}{V_{CC} - V_{CE}|_{sat}}$$

que es la condición que debe cumplirse para que el transistor esté en saturación.

Como:

$$\begin{aligned} V_{BE}|_{sat} &\approx 0.8\text{V} & V_{CC} &= 5\text{V} \\ V_{CE}|_{sat} &\approx 0.2\text{V} & R_C &= 1\text{k}\Omega \\ \beta &\geq 80 \end{aligned}$$

sustituyendo valores tendremos:
$$R_B < 80 \cdot 10^3 \frac{5 - 0.8}{5 - 0.2} = 70\text{k}\Omega$$

Una forma más sencilla de calcular R_B es considerar que $V_{BE}|_{sat}$ y $V_{CE}|_{sat}$ son despreciables frente a V_{CC} de forma que la condición que debe verificarse entre R_C y

R_B es: $R_B < \beta R_C$. Si sustituimos valores obtenemos: $R_B < 80\text{k}\Omega$, Este es un cálculo mucho más rápido pero aproximado ya que se han despreciado $V_{BE}|_{sat}$ y $V_{CE}|_{sat}$.

□ □ □ □

E.3.3 Puertas DTL

En DTL la lógica AND y OR la realizan los diodos. ¿Qué función realizan los sencillos circuitos de las figuras (3.3.1 a) y (3.3.1 b)? ¿Cómo podrías realizar, usando sólo diodos y resistencias, la función de la figura (3.3.1 c)? En los tres casos elegir un valor para la alimentación, V_{CC} , y para los niveles lógicos de las variables X , Y y Z .

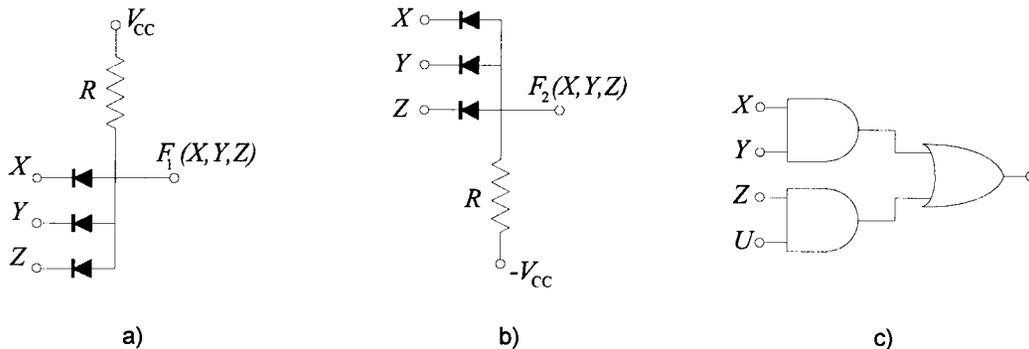


Fig. 3.3.1 Esquemas circuitales para el ejercicio E.3.3

Solución:

- A) La clave de la lógica de diodos está en el carácter rectificador de los mismos. Si analizamos el circuito simplificado de la figura (3.3.2) observamos que cuando un diodo está polarizado en sentido inverso ($X \geq V_{CC} - V_\gamma$) no conduce, con lo que no hay caída de tensión en la resistencia de polarización (R), y a la salida aparece la tensión de la fuente: ($F(X) = V_{CC}$).

En cambio, cuando está polarizado en directo $X < V_{CC} - V_\gamma$, (siendo V_γ la tensión de despegue del diodo) por ejemplo $X=0\text{V}$, el diodo conduce y la tensión de salida es muy pequeña, sólo la caída en el diodo. Dicho de otro modo, casi toda la tensión cae

en la resistencia R y $F \approx V_D = 0.7V$ (cero lógico). Cuando el diodo conduce la tensión de salida será $F \approx X + V_D$. Si como en este ejemplo $X=0V \Rightarrow F \approx V_D = 0.7V$. V_D indica la tensión sobre el diodo mientras que V_γ indica la tensión de despegue del mismo.

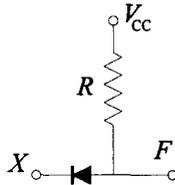


Fig. 3.3.2 Simplificación del circuito incluyendo un solo diodo

Ya sabemos como se comporta un diodo solo (si $X="1" \Rightarrow F="1"$; Si $X="0" \Rightarrow F="0"$). Veamos ahora que sucede al unir dos diodos. Es evidente por simple inspección del circuito que basta con que una de las entradas esté en baja ($X="0"$ ó $Y="0"$ ó $Z="0"$), para que el diodo correspondiente conduzca y fije la tensión del nodo de salida $F(X,Y,Z)$ al valor bajo. Por consiguiente, la función es la AND (para la lógica positiva, en la que $V("1")$ es mayor que $V("0")$). Lo mismo ocurriría al considerar las tres entradas. Por tanto, la función que realiza el circuito es: $F = XYZ$

- B)** El circuito de este apartado realiza de nuevo la función AND. Los diodos sólo conducirán para tensiones de entrada (X,Y,Z) que sean negativas y en módulo mayor que $V_{CC} + V_\gamma$ ($|X| > |-V_{CC} - 0.5|$ si consideramos $V_\gamma=0.5V$). Para $X = Y = Z = -V_{CC}$ los diodos no conducen y $F_2(X,Y,Z) = -V_{CC}$.

Cuando una o más de las entradas es mayor que $V_{CC} + V_\gamma$ y negativa, el diodo correspondiente conduce y fija la salida al valor de la entrada incrementado en V_γ ($X+V_\gamma$ por ejemplo), de forma que la función global es la AND para lógica positiva. Si tomamos $V_{CC} = 5V$, el otro nivel lógico podría ser -10 voltios. Es decir $V("1")=-5$ Volt. y $V("0")=-10$ Volt. Aunque tengamos ambas tensiones negativas estamos trabajando con lógica positiva, pues $V("1") > V("0")$.

- C) Veamos ahora que pasaría en este circuito si le damos la vuelta a los diodos de la figura (3.3.1 b). Al hacerlo obtenemos el circuito de la figura (3.3.3).

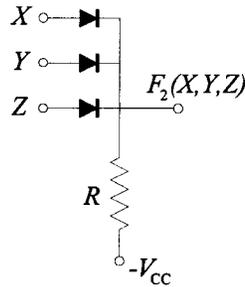


Fig. 3.3.3 Función OR con lógica positiva implementada con diodos

En este caso, si $X = Y = Z = -V_{CC}$ (todas en baja), no conduce ninguno de los tres, y por lo tanto no pasa corriente por R y $F_2(X, Y, Z) = -V_{CC}$. Lo mismo sucedería para cualquier tensión de entrada $< -V_{CC}$. Basta sin embargo que en una de las entradas (X por ejemplo) haya una tensión superior a $-V_{CC}$ en el valor de la tensión de despegue ($-V_{CC} + V_\gamma =$ entrada en alta), para que la rama en cuestión conduzca y fije la tensión del nodo en $F_2(X, Y, Z) = V_X - 0.7V$, por lo que la función global es ahora la OR para lógica positiva.

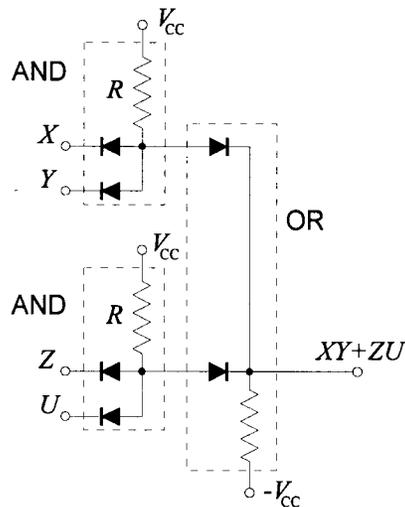


Fig. 3.3.4 Implementación con diodos y resistencias de la función del apartado c)

Por último, mezclando ahora la parte a) y la segunda versión de la parte b) es inmediato obtener con diodos y resistencias el circuito que sintetiza la función $XY+ZU$ del apartado c). Así, el circuito completo es el que se muestra en la figura (3.3.4).

D) Pasamos ahora a elegir los niveles de tensión de entrada y alimentación.

En todos los casos debemos manejar tensiones tales que hagan que los diodos pasen de corte a saturación. En el primer caso (apartado a) una buena elección para la alimentación son por ejemplo 5 voltios que es un valor típico en electrónica digital. Para garantizar la conmutación, basta con que $V("0") < V_Y$ y $V("1") > V_Y$. Por ejemplo: $V("0")=0V$ y $V("1")=5V$.

En el segundo caso podemos coger $-V_{CC} = -5V$ y por lo tanto: $V("0")=-5V$ y $V("1")=0V$ aunque también puede ser igualmente válido: $-V_{CC} = 0V$ y $V("0")=0V$ y $V("1")=5V$. Esta última elección es también válida para la puerta OR del apartado c). En este último apartado elegimos los niveles de entrada y alimentación iguales a los del apartado a) por la similitud de la topología de la etapa de entrada (puerta AND) con la del primer apartado. Para la alimentación y las entradas de la puerta OR no podemos escoger $-V_{CC} = -5V$, $V("0")=-5V$ y $V("1")=0V$ ya que en este caso la entrada de las puertas OR (salida de las puertas AND) estará comprendida en el intervalo $(0.5, 5)V$ con lo que los diodos de esta segunda etapa (puerta OR) siempre estarán polarizados en directa. Debemos elegir por tanto otras tensiones de trabajo. Las comentadas anteriormente como segunda posibilidad para el apartado b) son perfectamente válidas en este caso. En la tabla de la figura (3.3.5) se resumen todos estos valores.

	caso a)	caso b)	caso c)
V_{CC}	5 V	◆	5 V
$-V_{CC}$	◆	-5 V ó 0V	0 V
$V("0")$	0 V	-5 V ó 0V	0 V
$V("1")$	5 V	0 V ó 5 V	5 V

Fig. 3.3.5 Tabla con el resumen de las tensiones elegidas para los niveles lógicos en los tres casos

Hay que señalar que aunque en los tres casos hemos elegido los niveles de entrada iguales a los de alimentación y tierra (nivel de referencia), no tiene por qué ser necesariamente así. Ejemplos que demuestran esto los veremos en el siguiente tema dedicado a las puertas ECL.

□ □ □ □

E.3.4 Puerta NAND en tecnología HTL

El circuito de la figura muestra una puerta HTL (High-Threshold-Logic) que se usa en aplicaciones industriales por su alta inmunidad al ruido. Se trata de una modificación de DTL en la que el diodo intermedio ha sido sustituido por un zener de 7 volts. Analizar el circuito, obtener su característica de transferencia y estimar los márgenes de ruido en el nivel "0" y en el "1".

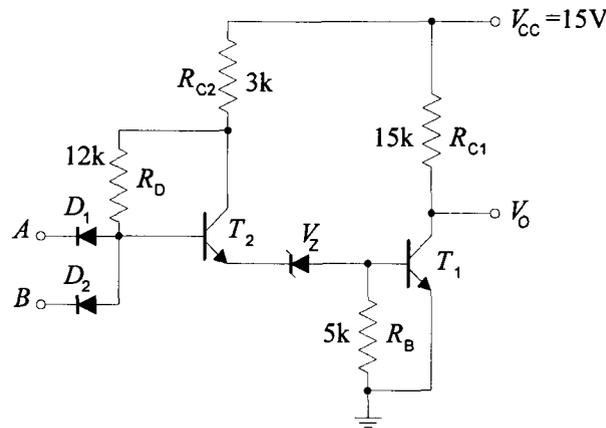


Fig. 3.4.1 Puerta en tecnología HTL

Solución:

El propósito de este problema es doble. Por un lado pretende contribuir a la comprensión de las puertas DTL que son la base de la familia TTL. Por otro lado intenta cubrir un hueco en la teoría explicando los aspectos fundamentales de la lógica de alto umbral que se usa en entornos industriales por su alta inmunidad al ruido. Esta inmunidad se consigue aumentando el valor de la fuente de alimentación de 5 a 15 voltios y usando un diodo zener de 7 voltios polarizado en inversa para

trasladar la zona de transición de la característica de transferencia hacia valores más altos de la tensión de entrada.

Veamos primero un análisis rápido del esquema a modo de acercamiento:

La lógica la realizan los diodos de entrada D_1 y D_2 y corresponde a una puerta AND como vimos en el problema E.3.3. El transistor T_2 actúa como un seguidor de tensión (configuración de Colector Común, entra la señal por Base y se toma la salida en el Emisor) y T_1 actúa como inversor ya que está en configuración de emisor común (la señal entra por Base y salida por Colector). Por lo tanto, el circuito corresponde a la función NAND. El diodo zener polarizado en inversa no conduce hasta que la tensión en sus extremos supera los siete voltios. Entonces conduce con una resistencia dinámica muy baja, de forma que su efecto en el circuito es el de una pila de 7 voltios en serie con una pequeña resistencia. Esto hace que la tensión en el emisor de T_2 debe superar en 7 voltios al valor de tensión necesaria en la base de T_1 para que este transistor de salida entre en conducción.

Para captar el funcionamiento cualitativo antes de obtener analíticamente los puntos clave de la característica de transferencia, presentamos el resultado de la simulación (fig. 3.4.2) usando como entradas dos señales sinusoidales:

$$\begin{aligned} A &= 15 \text{sen}(\omega_A t) & \omega_A &= 2\pi f_A, f_A = 1 \text{kHz} \\ B &= 15 \text{sen}(\omega_B t) & \omega_B &= 2\pi f_B, f_B = 2 \text{kHz} \end{aligned}$$

para conseguir que a lo largo del tiempo aparezcan en la entrada las cuatro configuraciones lógicas (00, 01, 10 y 11). Obsérvese que (11) significa $V_A > 7.5\text{V}$ y $V_B > 7.5\text{V}$, y (10) está presente cuando $V_A > 7.5\text{V}$ y $V_B < 7.5\text{V}$, etc. La onda rectangular de respuesta ilustra claramente el comportamiento NAND.

Para realizar la simulación se ha empleado el diodo zener D1N750 que incorpora la versión de educación de PSpice pero cambiando el valor de la tensión de ruptura (Bv) de 4,7 a 7,0 Voltios. Con objeto de hacer más abrupta la ruptura y acercarnos más al comportamiento del diodo zener ideal que consideraremos en el tratamiento analítico, se hizo IBVL=0, con lo que se agudiza el "codo" de la curva del diodo zener.

La figura (3.4.5) muestra la característica de transferencia obtenida con ayuda del análisis de transitorio del programa de simulación.

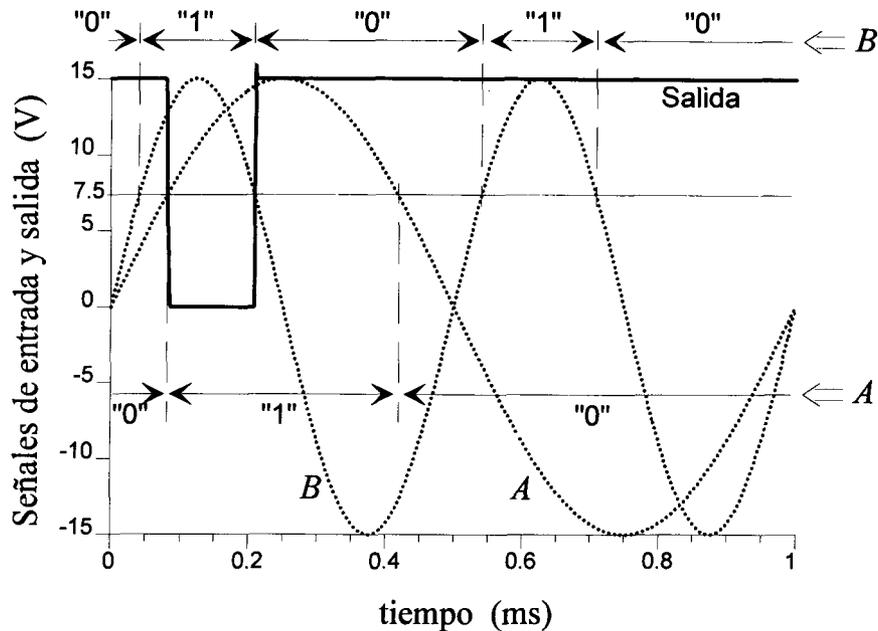


Fig. 3.4.2 Resultado de la simulación de la puerta NAND en tecnología HTL.

Las líneas discontinuas representan las dos señales de entrada A y B . La frecuencia de B es doble que la de A , con esto conseguimos obtener todas las combinaciones posibles a la entrada: "00", "01", "10" y "11". La curva continua representa la salida, que muestra claramente el comportamiento como puerta NAND. Se han indicado también las zonas en las que las señales valen "0" o "1". Estos cambios tienen efecto aproximadamente, cuando las señales de entrada cruzan la línea de 7,5 Voltios.

Veámoslo ahora analíticamente. Como en toda puerta NAND, mientras alguna de las entradas está en baja (00, 01 y 10), la salida permanece en alta y cuando todas las entradas están en alta (11), la salida pasa a baja. Los niveles lógicos son:

$$V("0") = V_{CE}|_{sat} = 0.2V$$

$$V("1") = V_{CC} = 15V$$

A) Configuraciones 00, 01 y 10:

Si una de las entradas está en baja ($V_i = 0.2V$) el diodo correspondiente conduce y fija la tensión en la base de T_2 a $V_{B2} = 0.2 + 0.7 = 0.9V$ como muestra la figura (3.4.3 a) en la que sólo hemos representado los transistores y uno de los diodos de entrada. Para que T_1 conduzca necesita en su base una tensión superior o igual a $0.5V$. Como en el zener caen $7V$, en el emisor de T_2 serían necesarios $7 + 0.5 = 7.5V$. Como T_2 es

también un transistor NPN, para que conduzca, necesita que su base sea al menos 0.5 voltios más positiva que el emisor. Es decir, necesitaríamos $7.5+0.5=8$ Voltios. Como sólo tenemos 0.9, es claro que T_2 está al corte y T_1 también. El circuito que nos queda es el de la figura (3.4.3 b), en el que T_1 y T_2 por estar al corte, no conducen presentando alta impedancia ($Z \gg$). Por R_{C1} prácticamente no circula corriente y por lo tanto: $V_O \approx V_{CC} = 15V$.

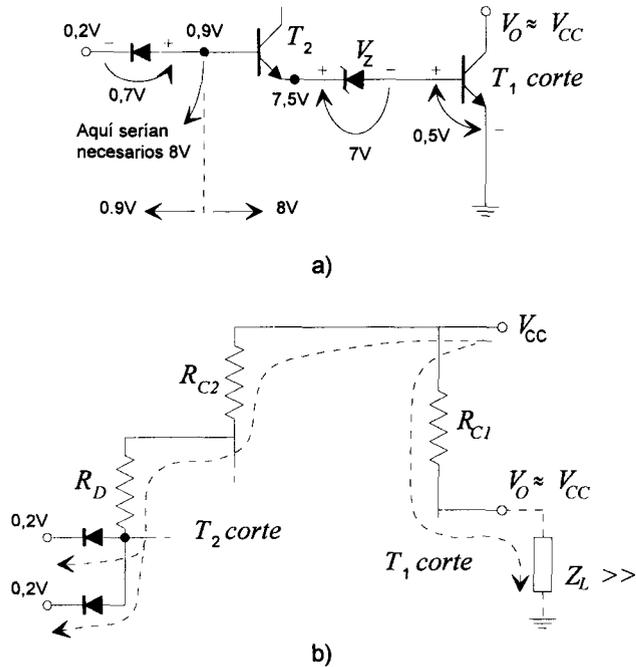


Fig. 3.4.3 Esquema simplificado para el estudio de los estados 00, 01 y 10

B) Configuración de entrada 11:

Supongamos ahora que a la entrada tenemos la configuración 11 y que T_1 está cortado. En este caso, la salida del circuito está en alta. Para que suceda ésto, la corriente de base de T_1 (corriente de emisor de T_2) debe ser muy pequeña. Como la ganancia en corriente de un transistor bipolar es muy grande, si la corriente de emisor de T_2 es muy pequeña su corriente de base será prácticamente despreciable, con lo que T_2 también estará cortado. Según ésto (T_1 y T_2 cortados) tendremos $V_{BE1} < 0.5V$ y $V_{BE2} < 0.5V$. Por otra parte si ambos están cortados y las entradas están en alta (\approx

15V), la base de T_2 estará a 15 Voltios, lo cual es imposible ya que en el diodo zener no pueden caer más de 7 voltios y las tensiones Base-Emisor de los dos transistores no superan los 0.5 V. Por lo tanto el transistor de salida no puede estar cortado. Tenemos por tanto un comportamiento NAND. Es decir, el transistor inversor de salida T_1 , debe estar en saturación $V_{CE1} = V_{CE1}|_{sat} \approx 0.2V$.

Si $V_A=V_B=15V$, tanto el diodo D_1 como D_2 están polarizados en inversa, no conducen y presentan alta impedancia, por lo que se pueden eliminar del circuito (fig. 3.4.4). Si miramos ahora desde la salida hacia la entrada, la tensión en el emisor de T_2 será:

$$V_{E2} = V_{BE1} + V_Z = 0.8 + 7 = 7.8V$$

puesto que suponemos que T_1 está saturado y por tanto: $V_{BE1}|_{sat} \approx 0.8V$.

Como la base de T_2 está conectada a la alimentación (15V) a través de $R_B=12k\Omega$ y $R_C=3k\Omega$, su tensión será suficiente para que T_2 conduzca. Al conducir nos asegura un valor de 0.7 voltios entre base y emisor con lo que:

$$V_{B2} = 7.8 + 0.7 = 8.5V$$

El circuito que nos queda en este caso es el de la figura (3.4.4).

Para calcular la característica de transferencia tendremos que calcular el valor de V_i (tensión de entrada) que empieza a sacar a T_1 del corte y el siguiente valor de V_i que hace entrar a T_1 en saturación. La conducción de T_2 empieza cuando su V_{BE2} es mayor que 0.5V. Es decir, cuando la V_i en su subida pasa por:

$$V_i = V_{BE1} + V_{zener} + V_{BE2} - V_{D1}|_{sat} \approx V_{BE1} + 7 + 0.5 - 0.8 = 6.7 + V_{BE1}$$

donde $V_{D1}|_{sat}$ es la tensión de saturación del diodo de entrada, que en este caso estará conduciendo ya que estamos viendo el paso de corte a conducción, paso de 0 a 1 de la puerta como consecuencia de pasar de una de las configuraciones 00, 01, 10 a la configuración 11.

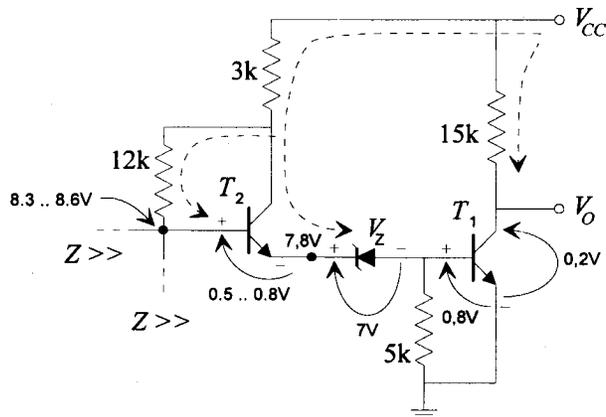


Fig. 3.4.4 Esquema simplificado para el estudio del estado 11

El valor de V_{BE1} va a encontrarse siempre entre 0.5 y 0.8. Para que empiece a conducir, $V_{BE1} \geq 0.5V$, luego en el inicio de la transición tendremos:

$$V_i = 6.7 + 0.5 = 7.2V$$

La transición termina cuando T_1 entra en saturación ($V_{BE1} = 0.8V$) y esto ocurre para un valor de V_i en la entrada de: $V_i = 6.7 + 0.8 = 7.5V$

La figura (3.4.5) muestra los resultados de la simulación en un entorno de la zona de transición, ilustrando los puntos de interés. Sobre la misma gráfica obtenida por simulación se ha superpuesto una interpolación aproximada a partir de los resultados obtenidos analíticamente. Obsérvese que las diferencias fundamentales aparecen en la zona de transición (entre 7,2 y 7,5 Voltios), que es precisamente la que descartamos en un primer curso de electrónica digital. No hay que olvidar que los valores calculados analíticamente son los puntos en los que la curva característica presenta los "codos", siendo el resto de puntos interpolados de forma aproximada, ya que no se ha realizado un estudio detallado de esas zonas.

Los márgenes de ruido en "0" y "1" son muy altos. Recordemos que se definen como la diferencia en tensión, medida en el eje de las V_i (entradas), entre el punto de funcionamiento y el de ganancia -1 más próximo (Ganancia en tensión A_v)

$$\text{con } A_v = \frac{\Delta V_o}{\Delta V_i} = -1 = \text{tg} \varphi \quad \Rightarrow \quad \varphi = -45^\circ$$

Así $NM_0 = 7.2 - 0.2 = 7V$ y $NM_1 = 15 - 7.5 = 6.5V$. En realidad, ambos números son algo menores debido a la dispersión de las curvas características y a la influencia de las impedancias de salida en ambos estados sobre la corriente de colector. La figura (3.4.6) recoge los aspectos más relevantes para el cálculo de los márgenes de ruido.

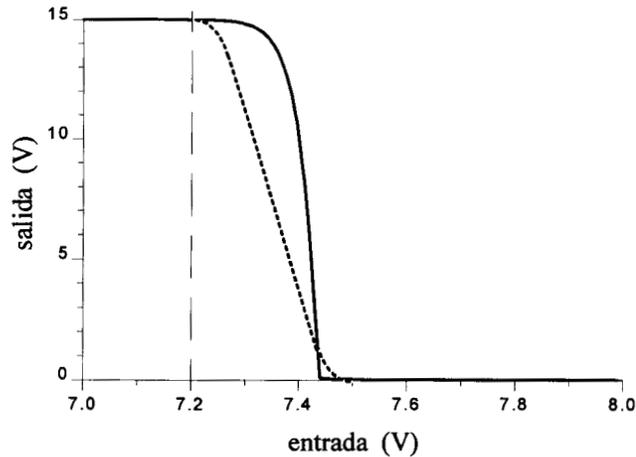


Fig. 3.4.5 Característica de transferencia obtenida por simulación (línea continua) y calculada analíticamente (línea discontinua)

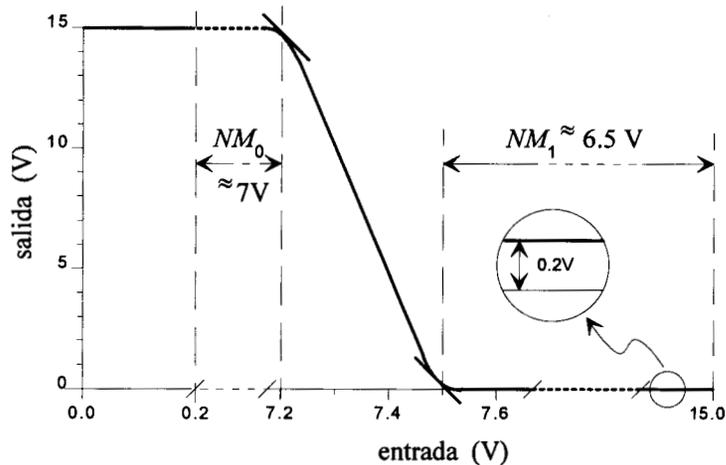


Fig. 3.4.6 Representación gráfica de los márgenes de ruido de la puerta HTL

□ □ □ □

E.3.5 Análisis de una puerta NAND en tecnología AS

El circuito de la figura (3.5.1) muestra el esquema de un puerta NAND en TTL Advanced Schottky (AS00). Seguir el camino de la señal desde la entrada hasta la salida para la configuración (00) y cualquiera de las otras (01, por ejemplo), comparando el análisis con el seguido en el tema para la puerta NAND TTL básica, resumido en las figuras 3.7, 3.8, y 3.9 del texto de teoría.

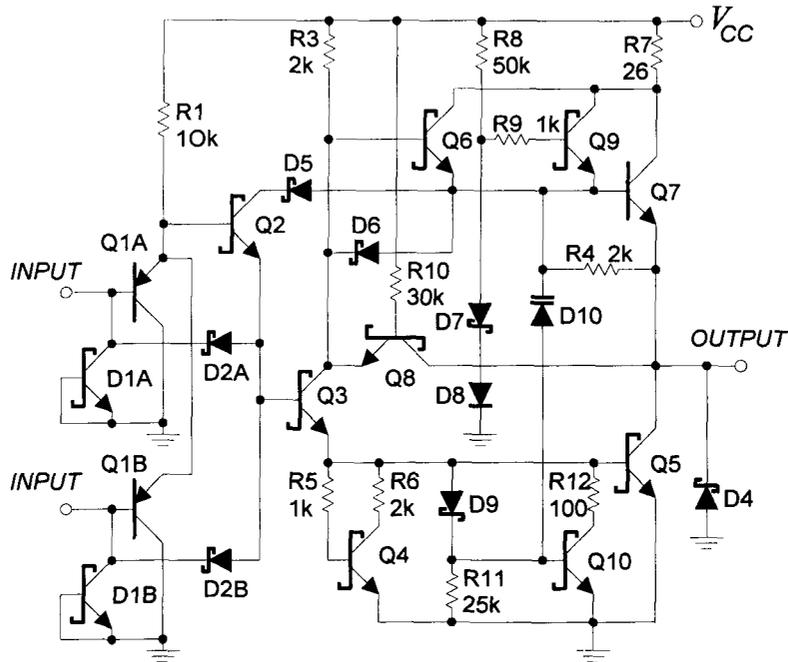


Fig. 3.5.1 Puerta NAND en tecnología TTL-Schottky

Solución:

El estudio del circuito resultará mucho más sencillo si lo descomponemos en sus partes fundamentales.

Veamos primero como funciona la etapa de entrada que, como es usual, es la que realiza la función lógica de las señales de entrada que en este caso será la función AND. Esta etapa está formada por los transistores Q_{1A} , Q_{1B} , D_{1A} y D_{1B} , como se muestra en la figura (3.5.2) en la que hemos considerado esta parte del circuito, así como los diodos D_{2A} , D_{2B} y los transistores Q_2 y Q_3 que conectan con ella.

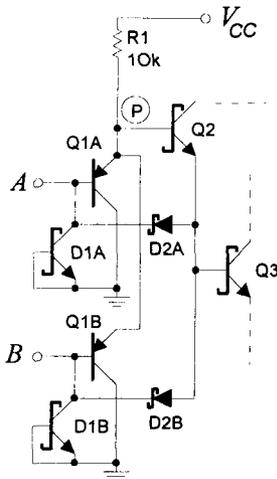


Fig. 3.5.2 Etapa de entrada de la puerta NAND Schotky

Vamos a suponer que los valores de las tensiones correspondientes al "0" y al "1" lógicos son $0.2V$ y V_{CC} respectivamente.

Los transistores D_{1A} y D_{1B} (NPN) están conectados como diodos (el de la unión Colector-Base), ya que sus uniones Base-Emisor están cortocircuitadas. Como la tensión de la señal de entrada va a tener los valores $0.2V$ ó V_{CC} , es decir, siempre positivas, estos diodos en condiciones normales de funcionamiento estarán polarizados en inversa, no conducen y presentan alta impedancia a la entrada del circuito. Su función es la de impedir que al circuito le entren señales negativas ya que en ese caso pasarán a estar polarizados en directa, conducirán y derivarán la señal a tierra, impidiendo que lleguen a los transistores de entrada.

La función lógica la realizan los transistores Q_{1A} y Q_{1B} (PNP). Veámoslo:

- 1.- **Supongamos que las dos entradas A y B están a "1"** ($V_A = V_B = V_{CC}$).
En este caso las uniones B-E de los transistores de entrada Q_{1A} y Q_{1B} , están polarizadas en inversa, los dos están al corte, presentando alta impedancia, de forma que en la base de Q_2 (punto P) aparece una tensión alta, que lo llevará a conducción. (A este punto volveremos más adelante).
- 2.- **Supongamos que una entrada está a "0" y la otra a "1"** (por ejemplo $A="0"$, $B="1"$ lo que supone $V_A=0.2V$ y $V_B=V_{CC}$). En este caso la unión B-E de Q_{1A} está polarizada en directa mientras que la unión C-E lo está en inversa, por tanto dicho transistor está polarizado en la zona activa directa por lo que estará en conducción. Sin embargo al ser $V_B=V_{CC}$, la unión B-E de Q_{1B} está en inversa y dicho transistor está al corte, presentando alta impedancia.

Como ambos están unidos al punto P, al estar uno conduciendo (presentar baja impedancia) y el otro estar al corte (alta impedancia) el que fija la tensión es el que conduce de forma que la tensión del punto P será:

$$V_P = V_A + V_{BE}|_{Q_{1A}} \approx 0.2 + 0.7 = 0.9V$$

Lo mismo ocurrirá para la configuración (1,0), solo que el transistor que conduce es Q_{1B} , pero la tensión V_p será la misma.

- 3.- **Sea ahora la configuración de entrada "00"**. Ahora los dos transistores conducen y el efecto es el mismo que en las configuraciones (0,1) y (1,0). Así podemos resumir el funcionamiento de la etapa de entrada en la tabla de la figura (3.5.3) en la que observamos que en el punto P aparece la función AND de A y B .

A	B	Q_{1A}	Q_{1B}	$V_P \equiv V_B(Q_2)$
0 ($V_A \approx 0.2V$)	0 ($V_B \approx 0.2V$)	Conducción	Conducción	$\approx 0.9V \rightarrow "0"$
0 ($V_A \approx 0.2V$)	1 ($V_B \approx V_{CC}$)	Conducción	Corte	$\approx 0.9V \rightarrow "0"$
1 ($V_A \approx V_{CC}$)	0 ($V_B \approx 0.2V$)	Corte	Conducción	$\approx 0.9V \rightarrow "0"$
1 ($V_A \approx V_{CC}$)	1 ($V_B \approx V_{CC}$)	Corte	Corte	$\approx V_{CC} \rightarrow "1"$

Fig. 3.5.3 Tabla de verdad de la etapa de entrada de la puerta Schottky.
Como se puede ver la etapa de entrada realiza la función AND

Sigamos analizando el circuito estudiando el siguiente módulo funcional en el recorrido de la entrada hacia la salida. Pasamos ahora a analizar el funcionamiento del transistor Q_2 y de los diodos D_{2A} y D_{2B} que están conectados a las entradas. Si nos quedamos con esta parte del circuito, como se muestra en la figura (3.5.4) vemos que cuando Q_{1A} y Q_{1B} no conducen (entrada 1,1), la tensión en la base de Q_2 tiene un valor alto que hace que este transistor conduzca mientras que los diodos D_{2A} y D_{2B} están polarizados en inversa y por lo tanto no conducen.

Sin embargo, las configuraciones de entrada (00, 01 y 10) hacen que la tensión en la base de Q_2 sea $V_B|_{Q_2} \approx 0.9V$, pero como al menos uno de los diodos D_{2A} o D_{2B} está polarizado en directa, se impide que Q_2 conduzca ya que resolviendo la malla formada por las uniones B-E de Q_{1A} y/o Q_{1B} y Q_2 y los diodos D_{2A} y/o D_{2B} vemos que se verifica que: $V_{EB}|_{Q_{1A}} = V|_{D_{2A}} + V_{BE}|_{Q_2}$

Para que Q_2 conduzca deberá ser $V_{BE}|_{Q_{1A}} = 2V_\gamma = 1V$ y el valor máximo que puede alcanzar es $0.8V$ que se alcanza cuando el transistor Q_{1A} está en saturación.

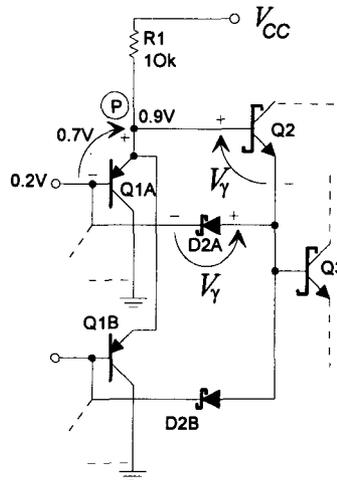


Fig. 3.5.4 Estudio del comportamiento de Q2 y Q3

En resumen, ante las configuraciones 00,01 y 10, el transistor Q_2 no conduce mientras que ante la configuración 11, si lo hace puesto que en este caso los diodos D_{2A} y D_{2B} están polarizados en inversa.

- 4.- Veamos ahora que ocurre con el resto del circuito cuando Q_2 está al corte.

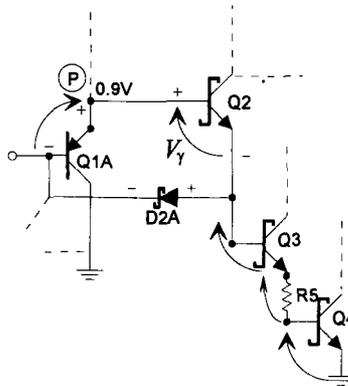


Fig. 3.5.5 Estudio del comportamiento con Q2 en corte

En este caso Q_3 y Q_4 tampoco conducen puesto que para que lo hagan la tensión en la base de Q_3 debe ser al menos el doble de la tensión de despeque de cada uno de ellos más la caída de tensión en R_5 ya que de la malla que va de la base de Q_3 a tierra obtenemos:

$$V_B|_{Q_3} = V_{BE}|_{Q_3} + i_{R_5} R_5 + V_{BE}|_{Q_4}$$

y como ya se ha visto Q_2 está cortado para las combinaciones de entrada 00, 01 y 10 y en estos casos la tensión en la base de Q_3 obtenida de la malla de entrada será:

$$V_B|_{Q_3} = V_{in}|_{"0"} + V_\gamma \approx 0.2V + V_\gamma$$

siendo V_γ la tensión correspondiente al diodo D_{2A} y/o D_{2B} que para estas configuraciones conducen. Obviamente esta tensión es insuficiente para hacer conducir Q_3 y Q_4 .

Como consecuencia de todo esto, los diodos D_5 y D_6 tampoco conducen, así como los transistores Q_5 y Q_{10} .

Como la etapa de salida es del tipo "totem pole" si Q_5 está al corte, Q_7 estará saturado y a la inversa. Así la etapa de salida que interviene ahora es la de la figura (3.5.6).

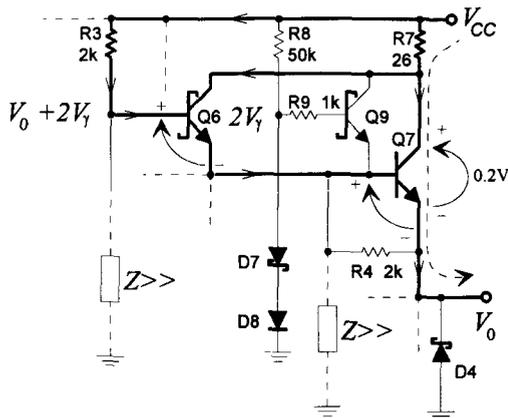


Fig. 3.5.6 Etapa de salida del tipo "totem pole" de la puerta Schottky

Realmente los transistores que tienen interés son Q_6 y Q_7 , que forman una configuración Darlington. Así la tensión a la salida tendrá un valor alto próximo a V_{CC} ya que para el transistor Q_7 su tensión Colector-Emisor es 0.2V que corresponde al estado de saturación, es decir:

$$V_0 = V_{CC} - I_C|_{sat} R_7 - V_{CE}|_{sat} = V_{CC} - I_C|_{sat} R_7 - 0.2$$

Obsérvese que se ha despreciado la corriente que deriva hacia Q_6 puesto que:

$$I_C|_{Q_6} \approx I_E|_{Q_6} = I_B|_{Q_7} \ll I_C|_{Q_7} \text{ (saturación)}$$

En este circuito queda por ver la función que realizan Q_9 y R_4 .

Antes de que Q_7 entre en conducción, lo hace Q_6 que a través de R_4 entrega corriente a la carga. Al iniciarse la conmutación el nivel de corriente es bajo y la caída que produce en R_4 también es baja. Cuando esta caída de tensión supera la tensión de despegue de la unión B-E el transistor Q_7 pasa a conducción y posteriormente a saturación, funcionando entonces la pareja $Q_6 - Q_7$.

- 5.- Estudiemos ahora el resto del circuito para el caso en que Q_2 conduce (fig. 3.5.7). Ahora Q_5 estará en saturación y los transistores Q_2 , Q_3 y Q_8 conducen.

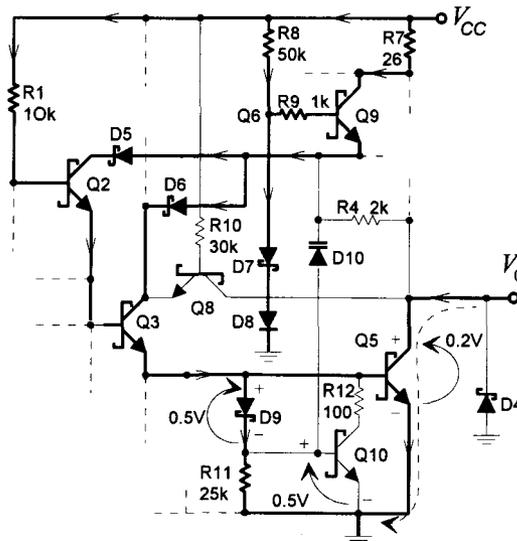


Fig. 3.5.7 Tensiones y corrientes principales para el apartado 5.-

Familias lógicas (II): ECL, MOS y CMOS

PROPÓSITO

Al llegar aquí hemos visto el modelo lógico soporte de la Electrónica Digital, las bases físicas de los dispositivos semiconductores trabajando en zona activa y entre corte y saturación, y un primer capítulo de familias lógicas basado esencialmente en la lógica transistor-transistor (TTL). Ahora vamos a repetir la metodología usada en TTL para las otras familias, la bipolar no saturada (ECL) y las de efecto campo (MOS y CMOS). El propósito es darle la oportunidad al alumno para que muestre y refuerce su grado de comprensión del funcionamiento de los circuitos básicos (AND, OR, puertas de transmisión, etc.) en distintas tecnologías.

De nuevo haremos uso del programa de simulación PSpice (versión reducida) para simular los distintos circuitos y comprobar sus comportamientos estáticos y/o dinámicos, la evolución temporal de sus salidas para señales de entrada en función del tiempo y las características de transferencia. El uso intencional de la versión de evaluación de un simulador tiene ventajas pero también algunos inconvenientes. Esencialmente, la limitación del número máximo de transistores que pueden incluirse en un circuito y la poca variedad en la selección de dispositivos, que no siempre son los más adecuados para su uso en conmutación. Sin embargo, el carácter pedagógico de este texto y el nivel de los estudios para los que está pensado hacen que estas limitaciones no sean relevantes. Las ventajas de usar un simulador de fácil adquisición son sin embargo evidentes.

Aconsejamos al alumno que se proponga y resuelva problemas análogos usando los "trucos" que encontrará en este tema, tales como sustituir etapas excitadoras previas por generadores de tensión variables entre los niveles lógicos "0" y "1" para evitar la exigencia de cuatro o seis transistores adicionales.



EJERCICIOS RESUELTOS

E.4.1 Análisis y simulación de un inversor en tecnología ECL

Con ayuda de las figuras y los comentarios referentes a la puerta NOR de la familia ECL del texto base, podemos diseñar como sería un inversor en esta tecnología (fig. 4.1.1). Realizar la simulación del circuito y obtener su característica de transferencia para comprobar que realmente se comporta como un inversor. Determinar con ayuda del simulador la función de los transistores T_3 y T_4 . ¿Por qué son necesarios?. ¿En que región trabajan?, ¿por qué?. Compárense las salidas inversoras y no inversoras con las tensiones en los nudos 1 y 2. ¿Cuál es la ventaja de disponer de salida inversora y no inversora?

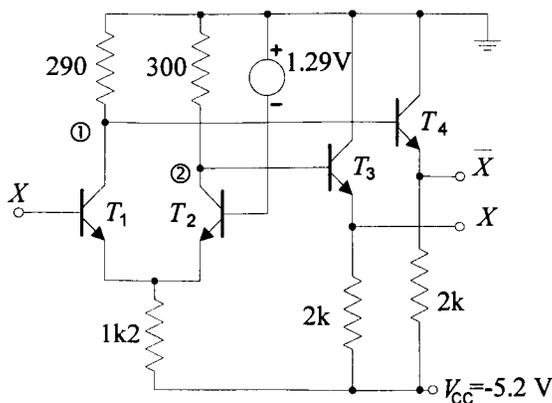


Fig. 4.1.1 Circuito propuesto como inversor en tecnología ECL

Solución:

Antes de realizar la simulación veamos primero el comportamiento cualitativo del circuito:

Obsérvese que la base del transistor T_2 está fija y es igual a $V_{ref} = -1.29V$. Como se ve en la figura (4.1.1) la etapa de entrada está constituida por un par diferencial. De esta forma, si el valor de la tensión de entrada es menor que este valor de referencia T_1 estará cortado y T_2 en conducción. Al sobrepasar la entrada el valor de la tensión de referencia, T_1 pasa a conducción y T_2 a corte con lo que el inversor conmuta.

Para obtener la característica de transferencia tenemos que estudiar el comportamiento del circuito en un margen de tensiones representativo. Como la entrada de todo dispositivo digital debe estar preparada para conectarse directamente a la salida de otros dispositivos de la misma familia, el margen de tensiones de entrada debe coincidir con el de salida. Como se vió en teoría, la familia ECL trabaja con señales negativas en un margen que se encuentra centrado en la mencionada tensión de referencia, ya que es alrededor de esta tensión donde se produce la conmutación.

Según esto, para obtener la característica de transferencia con ayuda de la simulación empleamos los parámetros de la tabla de la figura (4.1.2) donde V_{in} representa al generador conectado a la entrada.

Swept Var. Type:	Voltage Source	Name:	V_{in}
Swept type:	Linear	Start value:	-1.8V
		Stop value:	-0.8V
		Increment:	0.02V

Fig. 4.1.2 Parámetros empleados para obtener la característica de transferencia por simulación

En la figura (4.1.3) aparecen las características de transferencia de las salidas inversora y no inversora del circuito del enunciado, donde se puede comprobar la simetría que existe entre ambas. También se puede observar que la conmutación se produce cuando la tensión de entrada se acerca a la tensión de referencia y que los valores de tensión de salida son suficientes para recorrer completamente el margen de entrada de otra puerta de la misma familia. La mencionada simetría entre la característica inversora y la no inversora es consecuencia de la propia naturaleza de la etapa de entrada del circuito basada en un par diferencial.

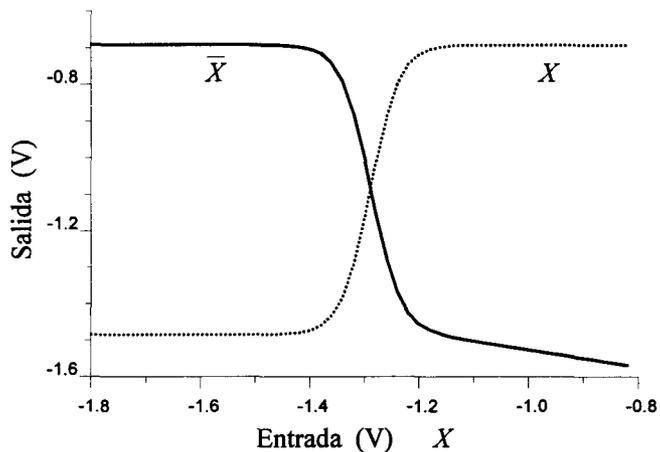


Fig. 4.1.3 Características de transferencia de la salida inversora y no inversora del circuito inversor ECL

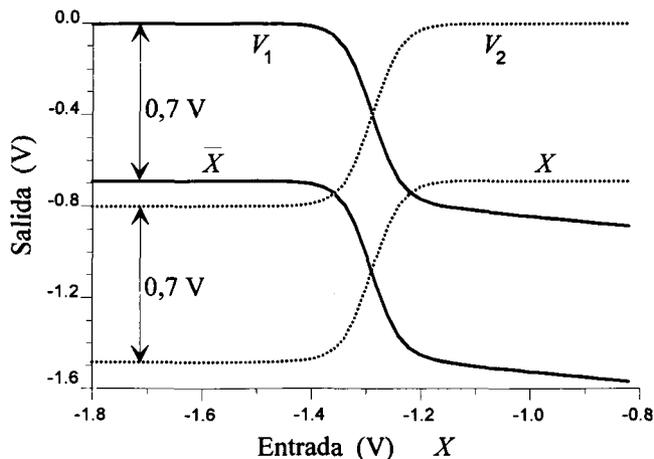


Fig. 4.1.4 Características de transferencia y tensiones en los nudos 1 y 2 para mostrar el efecto de los transistores T_3 y T_4

Las tensiones en los colectores de los transistores T_1 y T_2 (nudos 1 y 2) se muestran en la figura (4.1.4). En esta última figura se han superpuesto las características de transferencia para que se pueda observar claramente que la función de los transistores T_3 y T_4 es desplazar los niveles de tensión con objeto de que los niveles de salida garanticen el recorrido a lo largo de todo el margen de entrada como sucede si queremos obtener una puerta compatible con ella misma y el resto de la familia. Se

consigue también disminuir la impedancia de salida, con lo que aumenta la velocidad de conmutación.

La diferencia de tensión entre los dos pares de curvas es de 0.7V, como se indica en la figura, debido a que entre la salida inversora (no inversora) y el nudo 1 (2), únicamente encontramos la unión Base-Emisor del transistor T_3 (T_4) que está permanentemente polarizado en directa con lo que la caída de tensión en estas uniones será de 0.7 Voltios aproximadamente.

Vamos a comprobar que estos dos transistores (T_3 y T_4) trabajan en zona activa. Tomemos por ejemplo T_3 , ya que debido a la simetría del circuito, el comportamiento de T_4 será prácticamente idéntico: T_3 no puede estar cortado ya que su base está conectada al colector del transistor de entrada que aparece en serie con un divisor de tensión en el que la resistencia inferior es bastante mayor que la superior y además está la tensión C-E del mencionado transistor que en el peor de los casos sería la de saturación (0.2V). Es decir: $V_{BE}|_{T_3} > 0.5V$. Si estuviese saturado, tendríamos $V_{CE3}|_{sat} \approx 0.2V$ y por otra parte $V_{BE3}|_{sat} \approx 0.8V$. Es decir, la base debería estar a una tensión mayor que el colector, pero esto es imposible ya que el colector de T_3 está conectado directamente a la línea de tierra que es el punto de mayor potencial del circuito, con lo que este transistor y análogamente T_4 no pueden saturarse nunca. Esta es una de las características de la familia ECL, por lo que también se la conoce con el nombre de lógica no saturada. Esta característica permite conseguir una velocidad de conmutación mayor ya que al no haber saturación, la carga acumulada en las zonas de transición de los transistores es mucho menor y se extrae más rápidamente.

En tecnología ECL normalmente se dispone de la salida inversora y no inversora ya que evita la intervención de otra puerta adicional. Esta característica de conseguir una salida complementaria en ECL es realmente simple, basta con añadir un transistor y una resistencia, como puede observarse en la figura (4.1.1). No obstante hay una ventaja adicional mucho más importante y es que la generación de las dos salidas se produce simultáneamente sin añadir ningún retardo gracias a la naturaleza del par diferencial de entrada. Si obtuviésemos la inversión con un circuito inversor externo estaríamos introduciendo un retardo innecesario.



E.4.2 Análisis y simulación de la puerta NOR en tecnología ECL

La figura adjunta muestra el esquema mínimo de una puerta NOR en ECL, en el que además se ha separado el amplificador diferencial de entrada (T_1 , T_2 , T_3) de los dos transistores seguidores de emisor (T_4 y T_5) usados para desplazar los niveles de tensión y modificar las impedancias de salida.

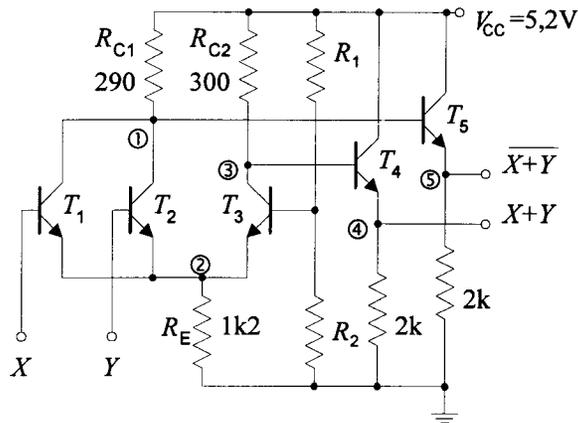


Fig. 4.2.1 Puerta OR-NOR en tecnología ECL

- Analizar primero el par diferencial y comprobar cualitativamente que en los puntos 1 y 3 aparecen las funciones NOR y OR de las entradas (X , Y).
- Calcular R_1 y R_2 para que el valor de la tensión de referencia sea 1'2volts.
- Analizar el comportamiento de T_4 y T_5 . ¿Invierten la señal?. ¿Cuál es la diferencia entre el potencial en 3 y en 4?. ¿Por qué?.
- Sabiendo que $V_{CC} = 5.2V$ y $V_{ref} = V_{CC} - 1.2V$, estimar los valores de las tensiones en los puntos 1, 2, 3, 4 y 5 cuando entra $X="1"$, $Y="0"$ y cuando entra $X=Y="0"$. ¿Qué valores consideras razonables para $V("0")$ y $V("1")$ sabiendo que $V_{ref} = 5.2V - 1.2V$ y que $V_{BE}|_{on} = 0.7V$, $V_{CE}|_{sat} = 0.2V$ y $V_{BE}|_{off} \leq 0.5V$.

Solución:

- Las resistencias R_1 y R_2 forman un divisor de tensión, de tal forma que en su punto medio tendremos una tensión proporcional a la alimentación y que vendrá fijada por la relación que exista entre ambas. Para que el divisor sea efectivo, es decir mantenga una tensión que únicamente dependa de la alimentación y de la relación entre R_1 y R_2 , la corriente que pasa a través de las dos resistencias debe ser la misma.

Esto obliga a suponer que la corriente de la base de T_3 sea despreciable frente a la que atraviesa ambas resistencias. Pero esto no es un problema ya que sabemos que la corriente de entrada en la base de un transistor es siempre pequeña y además podemos elegir las resistencias lo suficientemente pequeñas como para que siempre se cumpla la citada suposición.

Según este comentario previo, la corriente de base de T_3 es pequeña ($I_{B3} \ll I_{R2}$) $\Rightarrow I_{R1} \approx I_{R2}$ con lo que tenemos:

$$V_{ref} = V_{CC} \frac{R_2}{R_1 + R_2}$$

Que es la tensión en el punto medio de un divisor de tensión. Esta tensión V_{ref} es por tanto fija, ya que sólo depende de la alimentación V_{CC} y de la relación entre R_1 y R_2 . Como consecuencia de esto, la polarización de T_3 es también fija.

Tomemos ahora una de las entradas del par diferencial. De la malla que contiene las dos uniones Base-Emisor del par diferencial de entrada obtenemos:

$$V_{in} = V_{BE1} - V_{BE3} + V_{ref}$$

siendo V_{in} la tensión en la entrada X (igualmente se podría haber cogido la entrada Y ya que son equivalentes)

Del capítulo 2 del texto base tenemos que

$$V_{BE1} = \frac{KT}{q} \ln \frac{I_{C1}}{\alpha_{F1} I_{ES1}}$$

$$V_{BE3} = \frac{KT}{q} \ln \frac{I_{C3}}{\alpha_{F3} I_{ES3}}$$

Si, como debe ser, los transistores que forman el par diferencial son iguales, $\alpha_{F1} = \alpha_{F3}$ y $I_{ES1} = I_{ES3}$. Combinando estas expresiones tendremos:

$$V_{in} = \frac{KT}{q} \left(\ln \frac{I_{C1}}{\alpha_F I_{ES}} - \ln \frac{I_{C3}}{\alpha_F I_{ES}} \right) + V_{ref}$$

$$V_{in} = \frac{KT}{q} \ln \frac{I_{C1}}{I_{C3}} + V_{ref}$$

$$\ln \frac{I_{C1}}{I_{C3}} = \frac{(V_{in} - V_{ref})}{KT/q} \Rightarrow \frac{I_{C1}}{I_{C3}} = e^{\left(\frac{V_{in} - V_{ref}}{KT/q} \right)}$$

Como $I_{E1} \approx I_{C1}$ y $I_{E3} \approx I_{C3}$ tendremos que $I_E = I_{C1} + I_{C3}$. De estas últimas expresiones podemos obtener:

$$I_{C1} = \frac{I_E}{1 + e^{-\frac{(V_{in} - V_{ref})}{V_T}}} \quad \text{y} \quad I_{C3} = \frac{I_E}{1 + e^{\frac{(V_{in} - V_{ref})}{V_T}}}$$

donde $V_T = \frac{KT}{q}$ y I_E la corriente a través de la resistencia R_E .

En estas expresiones se puede ver que si V_{in} se aleja ligeramente de V_{ref} la corriente de uno de los transistores crecerá exponencialmente, mientras que la del otro decrecerá a la misma velocidad. De esta forma un transistor pasa rápidamente a corte y el otro conduce fuertemente pero sin llegar a la saturación. Si la diferencia entre V_{in} y V_{ref} es de signo contrario al anterior, el comportamiento de los dos transistores se invierte y el que antes iba al corte ahora irá a conducción y el otro hará lo contrario. Según esto, pequeñas variaciones de la entrada en torno a la tensión de referencia V_{ref} provocará el vuelco del par diferencial en un sentido o en otro.

Como este razonamiento se puede aplicar a cualquier entrada, bastará que una se aleje de V_{ref} para volcar el par diferencial.

Por otra parte, si cuando uno de los transistores de entrada está en corte el otro conduce y al revés, en los colectores de ambos transistores tenemos señales

complementarias. Si, como ya hemos explicado, para que el par diferencial vuelque basta con hacer conducir cualquier transistor de entrada, tendremos una función OR en el colector de T_3 y como consecuencia de la propia naturaleza del par diferencial tendremos la función NOR en los colectores de los transistores de entrada T_1 y T_2 .

B) Para que V_{ref} sea 4 Voltios debemos elegir R_1 y R_2 de forma que:

$$V_{ref} = V_{CC} \frac{R_2}{R_1 + R_2} = 4V \quad \Rightarrow \quad \frac{R_2}{R_1 + R_2} = \frac{V_{ref}}{V_{CC}}$$

de donde obtenemos:
$$R_1 = R_2 \left(\frac{V_{CC}}{V_{ref}} - 1 \right) = 0.3R_2$$

Cualquier par de resistencias que cumplan la expresión anterior será válido. Para que esto se cumpla y la tensión V_{ref} se mantenga constante, la corriente que deriva hacia la base de T_3 debe ser despreciable frente a la que pase a través de R_1 y R_2 . Por lo tanto, R_1 y R_2 deben ser lo suficientemente pequeñas para que esto sea cierto. Así por ejemplo podemos escoger $R_1 = 300\Omega$ y $R_2 = 1\text{ K}\Omega$.

C) La función de estos dos transistores (T_4 y T_5) ya se estudió en el ejercicio anterior (E.4.1) y es la de conseguir un desplazamiento de los niveles de tensión sin invertir la señal. Ambos transistores aparecen en el circuito en configuración de colector común o seguidor de tensión que también se vió en el ejercicio E.2.7, por lo que no insistiremos en ello.

D.1) Caso $X="1"$, $Y="0"$:

En este caso, la entrada X está en alta lo que hace que T_1 entre en conducción y T_3 vaya al corte, tal y como se explicó en la primera parte de la solución de este problema. La tensión en 1 será:

$$V_1 = V_{CE1} + i_E R_E$$

Para calcular $i_E \approx i_{E1}$ planteamos la ecuación de la malla de alimentación:

$$V_{CC} = i_{C1}(R_{C1} + R_E) + V_{CE1} \quad \Rightarrow \quad i_{C1} \approx i_E = \frac{V_{CC} - V_{CE1}}{R_{C1} + R_E}$$

Donde se ha tenido en cuenta que si $Y="0"$ el transistor T_2 estará cortado y por lo tanto la corriente de colector de T_1 será igual a la de la resistencia R_{C1} . Por otra parte i_{B1} es muy pequeña con lo que $i_{C1} \approx i_{E1}$. Si tenemos en cuenta que la etapa de entrada es un par diferencial, si T_1 conduce T_3 estará cortado, con lo cual toda la corriente que pase por la resistencia R_E (i_E) será debida a T_1 y por lo tanto $i_E \approx i_{E1}$.

Sustituyendo en V_1 :

$$V_1 = V_{CE1} + (V_{CC} - V_{CE1}) \frac{R_E}{R_{C1} + R_E}$$

Sustituyendo valores:

$$V_1 = V_{CE1} + 4.188\text{V} - 0.8054V_{CE1} = 4.188\text{V} + 0.1946V_{CE1}$$

Como T_1 estará cercano a la saturación $V_{CE1} \approx 0.2\text{V}$ con lo que $V_1 \approx 4.227\text{V}$.

No obstante en la familia ECL, como ya se ha comentado, los transistores no llegan a saturación con lo que la tensión Colector-Emisor y consiguientemente la tensión V_1 es ligeramente mayor. Dejamos como ejercicio que el lector compruebe este hecho mediante la simulación.

La tensión en 2 será: $V_2 = i_E R_E = V_1 - V_{CE1} < 4.027\text{V}$

La tensión en 3 será aproximadamente V_{CC} ya que T_3 está en corte.

La tensión en 4 será 0.7 V menor que la tensión en 3 tal y como se explicó en el apartado anterior con lo que: $V_4 \approx 5.2 - 0.7 = 4.5\text{V}$

La tensión en 5 será por la misma razón 0.7 V menor que la del nudo 1:

$$V_5 \approx 4.227 - 0.7 = 3.527\text{V}$$

D.2) Caso $X="0"$, $Y="0"$

En este caso ni T_1 ni T_2 conducen (están cortados) por lo que dada la naturaleza del par diferencial T_3 estará cercano a saturación.

Si T_1 y T_2 están cortados $\Rightarrow V_1 = V_2 \approx V_{CC} = 5.2 \text{ V}$

Si T_3 está cercano a saturación $\Rightarrow V_3 = 4.2 \text{ V}$ (como se vió en el apartado d.1 para el nudo 1)

Por los mismos motivos que en el caso anterior:

$$V_4 \approx V_3 - 0.7 = 3.5 \text{ V}$$

$$V_5 \approx V_{CC} - 0.7 = 4.5 \text{ V}$$

Por una parte, los valores razonables para $V("0")$ y $V("1")$ deben estar alrededor del valor de referencia V_{ref} , ya que es en torno a este valor donde se produce el volcado del par diferencial. Es decir debemos tener:

$$V("0") = V_{ref} - \Delta V$$

$$V("1") = V_{ref} + \Delta V$$

donde ΔV debe ser un valor de tensión lo suficientemente grande como para que el par diferencial vuelque.

Por otra parte, los valores para $V("0")$ y $V("1")$ deben estar comprendidos dentro del margen de la salida de la misma puerta (por compatibilidad de la familia). Esto nos impone un límite máximo para el valor de ΔV .

Según esto:

$$3.5\text{V} < V("0") = V_{ref} - \Delta V < V("1") = V_{ref} + \Delta V < 4.5\text{V}$$

Si elegimos $V \approx 0.3\text{V}$ tendremos:

$$V("0") = 3.7\text{V}$$

$$V("1") = 4.3\text{V}$$

Estos valores provocarán el volcado del par diferencial y además están dentro del margen de tensiones que puede proporcionar la salida (3.5V , 4.5V) con lo que son perfectamente válidos. Al realizar la simulación de esta puerta, de la misma forma

que se hizo en el problema anterior, se comprueba que los razonamientos realizados se cumplen con bastante aproximación.

Si se realiza el montaje experimental de esta puerta con transistores se pueden encontrar algunas dificultades derivadas del hecho de que los transistores del par diferencial deben ser tremendamente iguales. Esta igualdad sólo es posible conseguirla si los transistores han sido fabricados simultáneamente sobre un mismo circuito integrado.

□ □ □ □

E.4.3 Estudio de los circuitos de acoplo entre ECL y TTL

Explicar el funcionamiento de los circuitos de acoplo entre ECL y TTL que se muestran en la figura (4.3.1). Resolver el divisor de tensión de la figura (4.3.1 a) (con $R_1=180\Omega$, $R_2=270\Omega$ y $R_3=820\Omega$) usado para atenuar las salidas TTL hasta los niveles que requiere ECL. En la explicación del funcionamiento del circuito (4.3.1 b) conviene darse cuenta que los transistores usados en el par diferencial son PNP.

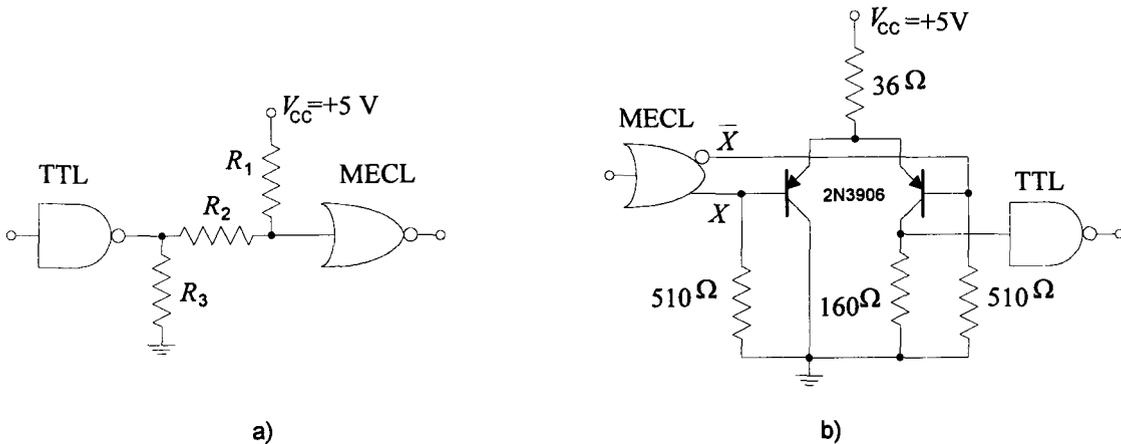


Fig. 4.3.1 Etapas adaptadoras entre las familias TTL y ECL. Esta última con alimentación positiva.

Solución:

- A) El circuito de la figura (4.3.1 a) emplea únicamente un divisor de tensión para adaptar los niveles de tensión entre TTL y ECL con alimentación positiva.

Debemos considerar los dos estados TTL: el estado bajo y el estado alto.

En estado bajo la tensión de salida de una puerta TTL viene fijada por el transistor e salida T_1 en saturación $V_{out}(TTL) \approx 0.2V$ (ver figura 4.3.2). En estado alto, si suponemos una salida Totem-pole como la de la figura (4.3.2) tendremos T_1 cortado y T_2 y el diodo D en saturación con lo que la salida en estado alto será aproximadamente:

$$V_{out}|_{TTL} = V_{CC} - V_{T_2}|_{sat} - V_D \approx 5 - 0.2 - 0.8 \approx 4V$$

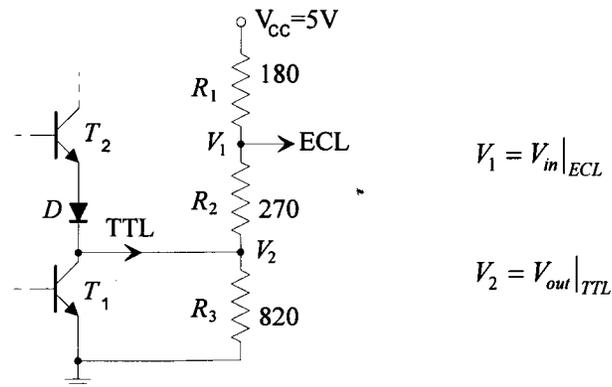


Fig. 4.3.2 Etapa adaptadora entre una salida TTL y la entrada de una puerta ECL

Como la impedancia de entrada de una puerta es muy alta, podemos despreciar la corriente que entra en la puerta ECL con lo que podemos escribir

$$V_1 = \frac{R_2}{R_1 + R_2}(V_{CC} - V_2) + V_2$$

En estado bajo, $V_2 \approx 0.2V \Rightarrow V_1 = 3.08V$

En estado alto, $V_2 \approx 4V \Rightarrow V_1 = 4.6V$

Como se ve, estos dos valores recorren completamente los valores de entrada de una puerta ECL con alimentación positiva como se vió en el problema anterior.

Podemos comprobar estos resultados por medio de la simulación. Como puerta ECL escogemos el inversor del problema E.4.1 y como puerta TTL empleamos una fuente de tensión que recorrerá los valores de 0.2 a 4 Voltios, ya que nos genera el rango completo de salida de la familia TTL. No podemos elegir una puerta TTL completa

ya que sobrepasaríamos la capacidad de la versión de evaluación si intentamos simular un circuito con tantos componentes simultáneamente.

No obstante, podemos ver que la sustitución es buena para nuestros propósitos si por otra parte empleamos una puerta TTL para atacar al divisor de tensión. En la figura (4.3.3) aparece un inversor TTL junto con la etapa adaptadora a la salida.

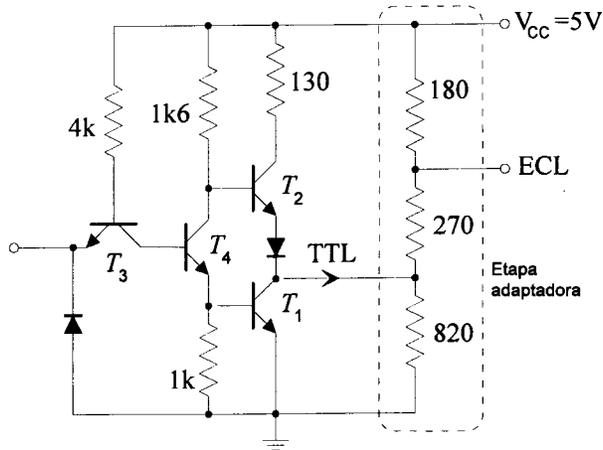


Fig. 4.3.3 Esquema del circuito empleado para comprobar el funcionamiento de la etapa adaptadora.

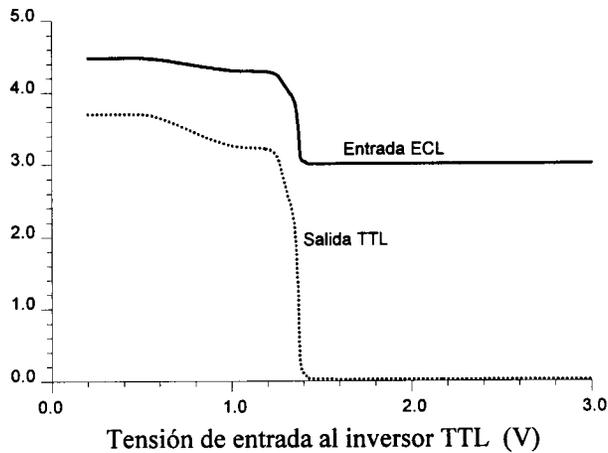


Fig. 4.3.4 Entrada y salida de la etapa adaptadora entre una puerta TTL real y una entrada ECL

En la figura (4.3.4) se puede ver la salida de la puerta TTL y la entrada a la ECL después de pasar a través de la etapa adaptadora, donde se puede comprobar que los valores proporcionados por la etapa adaptadora son correctos para recorrer toda la característica de transferencia y asegurar la conmutación de la puerta.

Pasamos ahora a comprobar que con la salida de la etapa adaptadora podemos conseguir que una puerta ECL conmute. Para realizar ésto en simulación empleamos, como ya se comentó, el inversor ECL del ejercicio E.4.1 conectando a la entrada la etapa adaptadora que es excitada a su vez, por un generador de tensión que barre los mismos valores que recorrería una puerta TTL real.

En la figura (4.3.5) se muestra el esquema del circuito empleado y en la figura (4.3.6) aparecen las características de transferencia tanto de la etapa adaptadora (red de acople) como del inversor empleado.

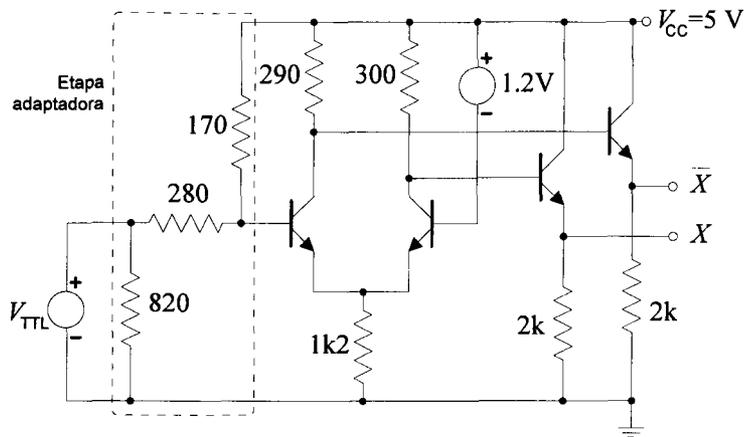


Fig. 4.3.5 Esquema empleado para comprobar la conmutación de la puerta ECL cuando es excitada por una salida TTL a través de la red de acople de la figura (4.3.1 a)

En esta figura (4.3.6) se puede comprobar que el comportamiento de la etapa adaptadora es puramente lineal, como cabría esperar, ya que está formada únicamente por resistencias que son elementos pasivos perfectamente lineales. Si observamos esta última figura junto con la obtenida anteriormente con el inversor TTL (fig. 4.3.4) vemos que cuando conmute la puerta TTL también lo hará la ECL con lo que se consigue el objetivo de adaptar ambos niveles. También se puede comprobar que las tensiones de entrada a la puerta ECL (proporcionadas por la etapa adaptadora) se mantienen aproximadamente en el mismo margen que las salidas de una puerta ECL

por lo que se evitan posibles daños a la puerta. Hay que tener en cuenta que no basta con que la salida de la etapa adaptadora recorra el margen de conmutación de la puerta que se conecta a su salida, también debe limitarse a ese mismo margen como protección de la misma.

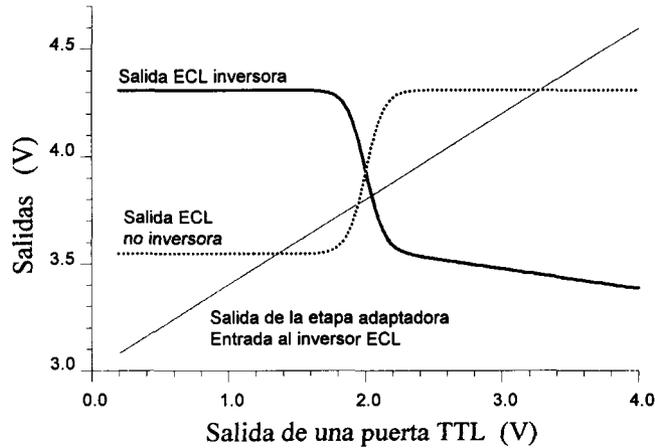


Fig. 4.3.6 Características de transferencia de la etapa de acople y del inversor ECL

- B)** Veamos ahora la etapa adaptadora de la figura (4.3.1 b). Consideremos primero que la salida no inversora de la puerta ECL está en estado alto. De la figura (4.3.6) del apartado anterior, o repitiendo el desarrollo del problema E.4.2 pero con alimentación $V_{CC}=+5V$ obtenemos las tensiones en las salidas inversora y no inversora:

$$V_X \approx 4.3V \text{ y } V_{\bar{X}} \approx 3.5V$$

que corresponden con una salida en estado alto y la otra en estado bajo, o viceversa. La etapa adaptadora es nuevamente un par diferencial y aunque esta vez está formada con transistores PNP, su comportamiento será idéntico.

Como a las entradas de este par diferencial (fig. 4.3.7) aplicamos tensiones muy diferentes, el par volcará quedando T_1 en corte y T_2 en saturación. En la malla de la base de T_2 podemos poner:

$$V_{CC} = i_E R_E + V_{EB2}|_{sat} + V_{\bar{X}}$$

de donde:

$$i_C \approx i_E = \frac{V_{CC} - V_{EB2}|_{sat} - V_{\bar{X}}}{R_E} = 19.5 \text{ mA}$$

y por tanto: $V_{sal} = i_c R_c = 3.11 \text{ V}$

Esta tensión es lo suficientemente alta como para que una puerta TTL entienda que hay un "1" a la entrada.

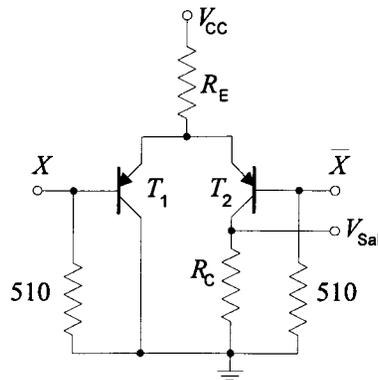


Fig. 4.3.7 Etapa adaptadora entre una salida ECL y la entrada a una puerta TTL

Si suponemos ahora que la salida no inversora está en estado bajo, la situación de T_1 y T_2 se invierte, con lo que T_1 estará saturado y T_2 en corte. Si T_2 está cortado no cae tensión en R_C y la salida será $V_{sal} \approx 0 \text{ V}$. Esta tensión es perfectamente válida como estado bajo para cualquier puerta TTL. Con todo esto, ya podemos construir la característica de transferencia. En la figura (4.3.8) se muestra la puerta ECL junto con la etapa adaptadora y en la figura (4.3.9) la característica de transferencia obtenida por simulación. En esta última podemos observar que la salida de la etapa adaptadora es prácticamente idéntica a la salida de una puerta TTL como la que se muestra en la figura (4.3.4) con la salvedad de que en ésta última figura, la salida pasa de "1" a "0" y en la de la figura (4.3.9) es al revés.

Para simular el par diferencial PNP se han empleado los transistores Q2N3906 de la biblioteca del PSpice de evaluación.

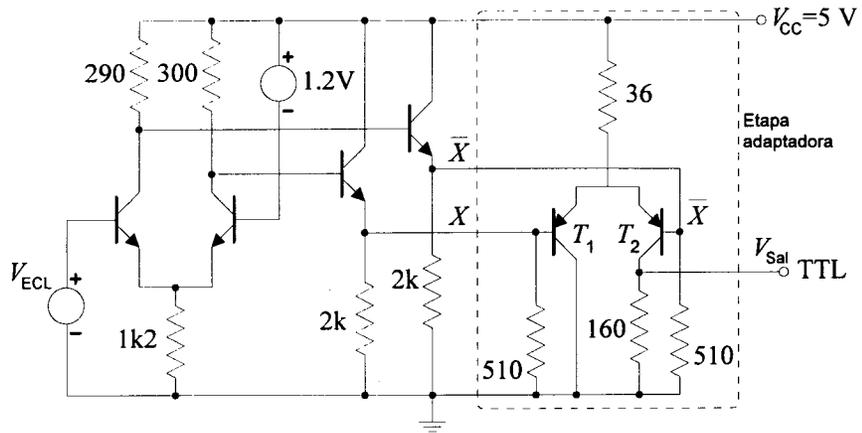


Fig. 4.3.8 Esquema de un inversor ECL atacando a la etapa adaptadora de la figura (4.3.1 b)

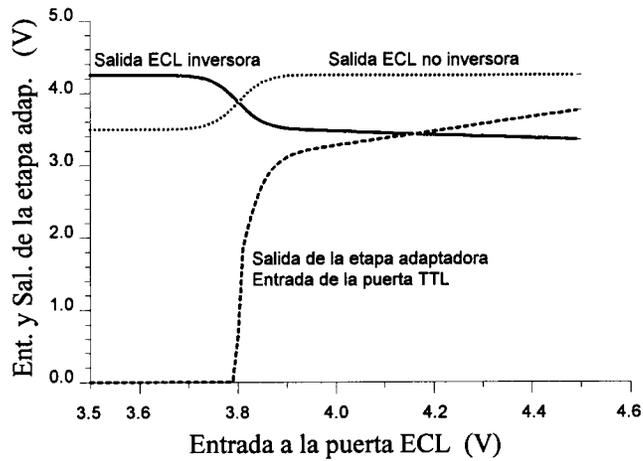
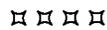


Fig. 4.3.9 Característica de transferencia del circuito de la figura (4.3.8)



E.4.4 Análisis detallado de un disparador Schmitt en tecnología ECL

Dado el circuito de la figura dibujar la característica de transferencia cuando la entrada pasa de estado bajo a estado alto. Vuélvase a calcular ahora pero suponiendo que la entrada pasa de estado alto a estado bajo. Discútanse los resultados obtenidos. ¿Para qué tipo de aplicaciones puede resultar práctica esta puerta?. Obténgase la característica de transferencia por simulación. Supónganse $V("0") = 3.5$ y $V("1") = 4.5$.

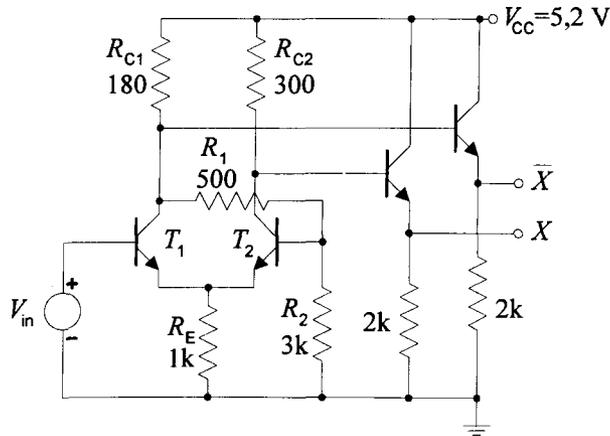


Fig. 4.4.1 Esquema de un disparador Schmitt en tecnología ECL

Solución:

Supongamos T_1 cortado cuando la entrada está en estado bajo $V_{B1} = 3.5V$. En este caso la tensión en el colector del transistor T_1 será $V_{C1} \approx V_{CC}$ y por lo tanto:

$$V_{ref} = V_{B2} = V_{C1} \frac{R_2}{R_1 + R_2} \approx V_{CC} \frac{R_2}{R_{C1} + R_1 + R_2} = 0.815V_{CC} = 4.238V$$

Como la diferencia de tensiones entre V_{B1} y V_{B2} es significativa, el par estará desequilibrado y T_1 estará en corte y T_2 en zona activa cercano a saturación.

Esto lo podemos confirmar viendo la tensión V_{BE1} :

$$V_{BE1} = V_{B1} - V_E = V_{B1} - (V_{ref} - V_{BE2})$$

$$V_{BE1} = 3.5 - (4.24 - 0.65) = -0.09 < 0.5$$

Como $V_{BE1} < 0.5$, T_1 estará cortado tal y como habíamos supuesto. Para que T_1 comience a conducir será necesario que $V_{BE1} > 0.5$ con lo que V_{B1} debe aumentar en $0.09 + 0.5 = 0.59\text{V}$. Es decir, para que T_1 conduzca se debe cumplir que:

$$V_{B1} > 3.5 + 0.59 = 4.09\text{V}$$

Esto nos da el punto de conmutación cuando pasamos de estado bajo a estado alto.

Supongamos ahora una entrada alta $V_{B1} \approx 4.5\text{V}$ y que T_2 está cortado y T_1 en zona activa cercano a saturación. Para comprobarlo, calculamos las tensiones V_{C1} y V_{ref} y las corrientes a través del divisor de tensión. De la malla de alimentación obtenemos:

$$V_{CC} = i_{RC1}R_{C1} + i_1R_1 + i_2R_2$$

Como

$$i_{B2} = 0 \Rightarrow i_1 = i_2 = i$$

tendremos:

$$V_{CC} = i_{RC1}R_{C1} + i(R_1 + R_2)$$

En la malla de la base de T_1 tenemos, suponiendo que están en zona activa:

$$V_{B1} = V_{BE1} + (i_{C1} + i_{C2})R_E$$

con $i_{E1} \approx i_{C1}$ e $i_{E2} \approx i_{C2}$ ya que las corrientes de base son siempre mucho menores.

Si T_2 está cortado entonces $i_{C2} \approx 0$, tendremos: $i_E = i_{E1} + i_{E2} \approx i_{C1} + i_{C2} = i_{C1}$

y por lo tanto: $V_{B1} = V_{BE1} + i_E R_E$

con lo que obtenemos:
$$i_E = \frac{V_{B1} - V_{BE1}}{R_E} = \frac{4.5 - 0.65}{1000} = 3.85\text{mA}$$

donde se ha supuesto que T_1 está en zona activa, ya que en la lógica ECL los transistores no se saturan ($V_{BE1}|_{act} \approx 0.65\text{V}$).

En el nudo del colector de T_1 se debe cumplir (fig. 4.4.2):

$$i_{RC1} = i_E + i \Rightarrow i = i_{RC1} - i_E$$

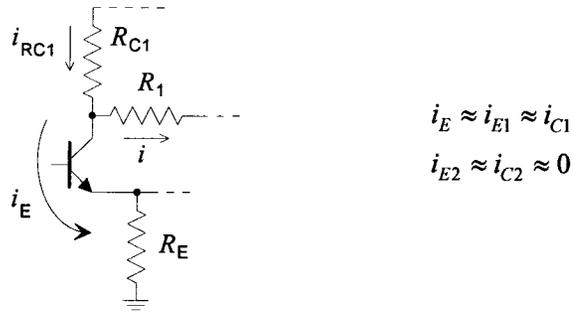


Fig. 4.4.2 Detalle del transistor de entrada que pone de manifiesto el reparto de corrientes en el nudo de colector del mismo

Sustituyendo en la malla de alimentación obtenemos i_{RC1} :

$$V_{CC} = i_{RC1}R_{C1} + i(R_1 + R_2)$$

$$V_{CC} = i_{RC1}R_{C1} + (i_{RC1} - i_E)(R_1 + R_2) = i_{RC1}R_{C1} + i_{RC1}(R_1 + R_2) - i_E(R_1 + R_2)$$

$$V_{CC} = i_{RC1}(R_{C1} + R_1 + R_2) - i_E(R_1 + R_2)$$

$$i_{RC1} = \frac{V_{CC} + i_E(R_1 + R_2)}{R_{C1} + R_1 + R_2} = \frac{5.2 + 3.85 \cdot 10^{-3}(3500)}{3680} = 5.07 \text{ mA}$$

Por lo tanto:

$$V_{C1} = V_{CC} - i_{RC1}R_{C1} = 4.29 \text{ V}$$

$$i = i_{RC1} - i_E = 1.22 \text{ mA}$$

$$V_{ref} = iR_2 = 3.66 \text{ V}$$

$$V_E = i_E R_E = 3.85 \text{ V}$$

La tensión V_{BE2} será:

$$V_{BE2} = V_{B2} - V_E = V_{ref} - V_E = -0.19$$

Como $V_{BE2} = -0.19 \text{ V} < 0.5 \text{ V}$ tenemos que T_2 debe estar cortado, tal como se supuso inicialmente. Todos estos valores se pueden comprobar en la simulación como se verá más adelante.

Ahora vamos a ver la tensión V_{B1} necesaria para que la puerta conmute.

Hay que darse cuenta que ahora V_{ref} es variable ya que depende del estado de T_1 . En los problemas anteriores se ha visto que V_{ref} era fija ya que se obtenía a partir de la alimentación, pero ahora está unida al colector de T_1 . De la malla que contiene las bases de los dos transistores obtenemos:

$$V_E = V_{B1} - V_{BE1} = V_{B2} - V_{BE2} = V_{ref} - V_{BE2} = V_{C1} \frac{R_2}{R_1 + R_2} - V_{BE2}$$

La tensión en el colector de T_1 será: $V_{C1} = V_{CC} - i_{RC1} R_{C1}$

con
$$i_{RC1} = i_E + i = \frac{V_{B1} - V_{BE1}}{R_E} + \frac{V_{C1}}{R_1 + R_2}$$

de donde se obtiene:

$$V_{C1} = V_{CC} - R_{C1} \left[\frac{V_{B1} - V_{BE1}}{R_E} + \frac{V_{C1}}{R_1 + R_2} \right]$$

Despejando V_{C1}

$$V_{C1} = \frac{V_{CC} R_E (R_1 + R_2) - R_{C1} (R_1 + R_2) (V_{B1} - V_{BE1})}{R_E (R_1 + R_2 + R_{C1})}$$

Esto puede simplificarse a: $V_{C1} = A - B(V_{B1} - V_{BE1})$

donde:
$$A = \frac{V_{CC} (R_1 + R_2)}{R_1 + R_2 + R_{C1}} = 4.946 \text{ V}$$

y
$$B = \frac{R_{C1} (R_1 + R_2)}{R_E (R_1 + R_2 + R_{C1})} = \frac{0.63 \cdot 10^6}{3.68 \cdot 10^6} = 0.17$$

Sustituyendo en la expresión de $V_E = V_{B1} - V_{BE1}$ tendremos:

$$V_E = (V_{B1} - V_{BE1}) = [A - B(V_{B1} - V_{BE1})] \frac{R_2}{R_1 + R_2} - V_{BE2}$$

de donde despejando obtenemos:

$$(V_{B1} - V_{BE1}) = \frac{AR_2 - V_{BE2}(R_1 + R_2)}{R_1 + R_2(1 + B)}$$

$$V_{B1} = \frac{AR_2 - V_{BE2}(R_1 + R_2)}{R_1 + R_2(1 + B)} + V_{BE1} = 3.26\text{V} + V_{BE1}$$

Para que T_2 salga del corte se necesita $V_{BE2} > 0.5$ y por otra parte T_1 pasará por la zona activa hacia el corte, es decir: $V_{BE1} < 0.65$. Según esto, la conmutación se producirá cuando:

$$V_{B1} < 3.26 + 0.65 = 3.9\text{V}$$

En el momento en que $V_{B1} < 3.9$, T_2 saldrá del corte, y comenzará a conducir haciendo que T_1 vaya rápidamente al corte al volcar el par diferencial. Obsérvese que la tensión necesaria para pasar de estado bajo a estado alto era $V_{B1} > 4.09\text{V}$ y sin embargo para pasar de estado alto a bajo se precisa que $V_{B1} < 3.9$.

Esto es consecuencia de no tener una tensión de referencia (V_{ref}) fija. Ya se indicó que V_{ref} dependía del estado de T_1 ya que se toma de su colector y la tensión en este punto es distinta si la entrada está en estado alto o bajo. Tendremos por tanto dos curvas de transferencia distintas según que V_{B1} sea creciente ($V("0") \rightarrow V("1")$) o decreciente ($V("1") \rightarrow V("0")$).

Para realizar la simulación podemos emplear como siempre un análisis de continua, pero en este caso sólo podemos obtener una de las dos características pues este tipo de análisis sólo permite incrementar la fuente de barrido en un sentido (bien sea creciente o decreciente). Sin embargo, podemos obtenerlas juntas si procedemos del siguiente modo:

- 1.- Consideremos una excitación producida por un pulso triangular y realicemos un análisis de transitorio. En la figura (4.4.3) aparecen la señal de excitación y la salida no inversora de la puerta.

En la gráfica de transitorio ya se puede ver que la conmutación de estado bajo a estado alto se produce a distinta tensión que la inversora, pero se puede ver mejor en la característica de transferencia.

- 2.- Para obtener ahora la característica de transferencia a partir del análisis de transitorio basta con recordar que la característica de transferencia es la curva $V_{salida} = V_{salida}(V_{entrada})$. Pues bien, se puede hacer uso de la flexibilidad del programa de presentación gráfica del PSpice y cambiar el eje de abscisas de forma que podamos representar cualquier variable en función de la que especifiquemos como eje X en esta opción (opción X Variable del menú Axis). De esta forma podemos visualizar cualquier variable (tensión, corriente, fase, potencia, etc.) en función de cualquier otra. Al establecer como variable X la señal de entrada obtenemos una gráfica de la salida en función de la entrada. En la figura (4.4.4) aparece el resultado obtenido.

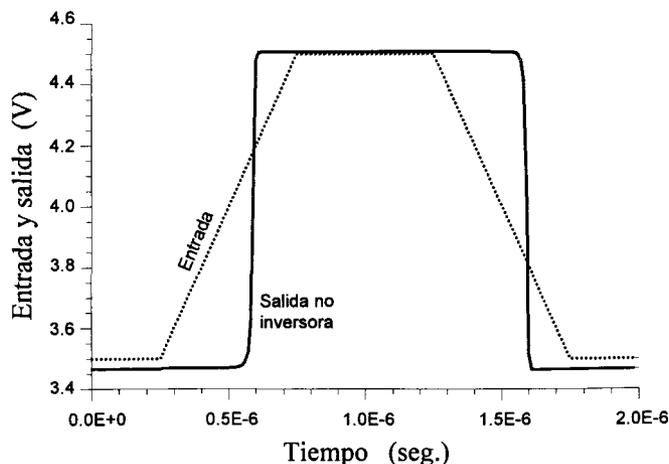


Fig. 4.4.3 Salida del disparador Schmitt de la figura (4.4.1) cuando se excita a la entrada con un pulso

Este efecto se conoce con el nombre de histéresis y resulta especialmente interesante cuando la señal de entrada contiene ruido. También pueden emplearse para reconstruir la forma de una señal que se ha deteriorado al pasar a través de un canal de comunicaciones con características capacitivas. Las puertas que presentan esta doble característica de transferencia reciben el nombre de disparador Schmitt y están

disponibles en todas las tecnologías. Sin embargo, hay que señalar que aumentan la inmunidad al ruido a costa de aumentar también el retardo.

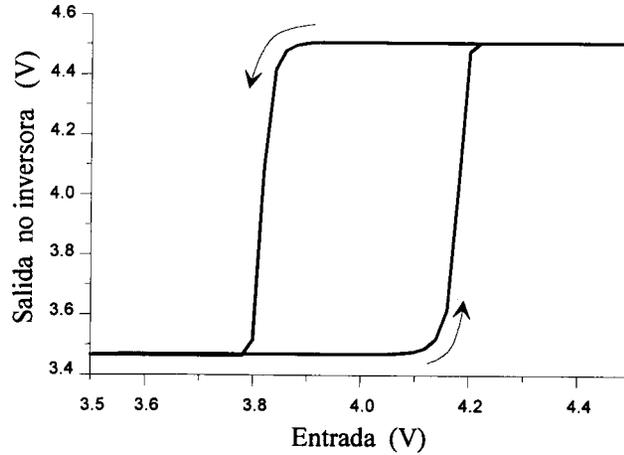


Fig. 4.4.4 Característica de transferencia del disparador Schmitt

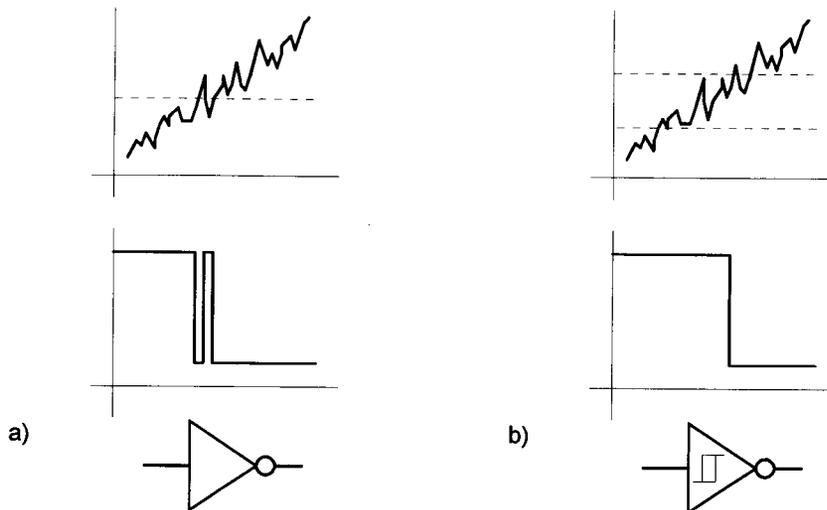


Fig. 4.4.5 Comportamiento de un inversor convencional a) y de un inversor Schmitt b) frente a una entrada ruidosa. También se muestran los símbolos que representan a ambos tipos de inversores como elementos de circuito

En la figura (4.4.5) se muestra una señal ruidosa alrededor del nivel de referencia. En la parte central, aparece la salida que se obtiene con un inversor convencional (izquierda) y con un inversor Schmitt (derecha). En esta parte de la figura se puede ver que el inversor convencional sigue los cambios de la entrada y conmuta cada vez que la entrada cruza dicho nivel, introduciendo pulsos no deseados. Esto no sucede en el caso del inversor Schmitt por presentar un nivel de referencia distinto cuando la entrada pasa de alta a baja a cuando lo hace de baja a alta.

□ □ □ □

E.4.5 Aplicación de las reglas de transformación para puertas CMOS

La figura 4.14 del texto de teoría muestra las reglas de transformación para puertas CMOS NAND y NOR. Aplicarlas ahora proponiendo las soluciones complementarias a las de la siguiente figura:

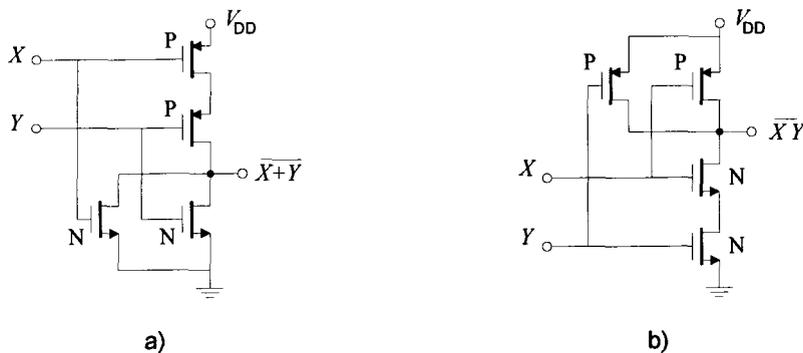


Fig. 4.5.1 a) Puerta NOR en tecnología CMOS b) Puerta NAND en tecnología CMOS

Solución:

Para simplificar las gráficas, sustituimos el símbolo de cada transistor por una línea y una letra que hace referencia al tipo de MOS (canal P o N). De esta forma, para el circuito de la figura (4.5.1 a) obtenemos el esquema de la figura (4.5.2 a). Si cambiamos el tipo de los transistores obtenemos la figura (4.5.2 b). El siguiente paso es invertir el esquema (fig. 4.5.2 c). Por último no queda más que restablecer las conexiones y sustituir los símbolos de los transistores correspondientes, con lo que obtenemos el esquema de la figura (4.5.2 d) que corresponde al de una puerta NAND en tecnología CMOS.

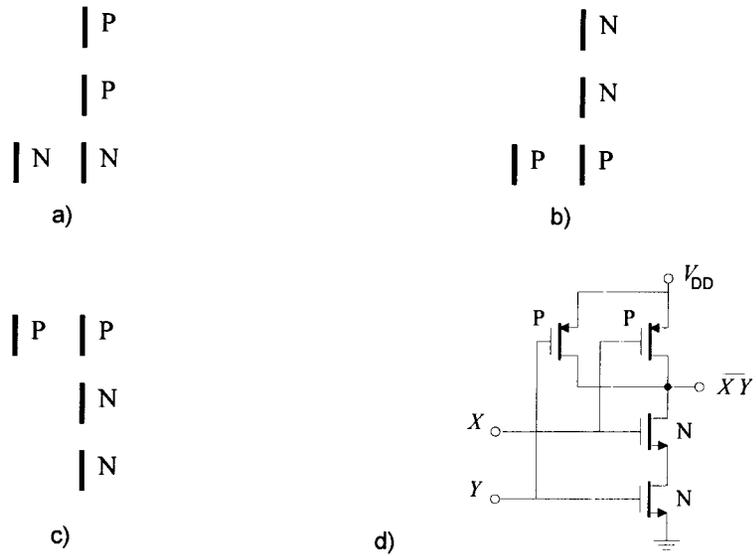


Fig. 4.5.2 Aplicación de las reglas de transformación al esquema de la figura (4.5.1 a)

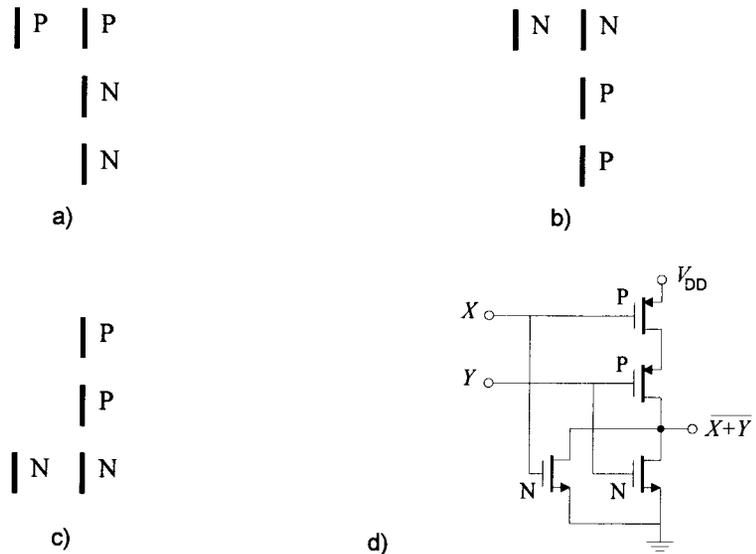


Fig. 4.5.3 Aplicación de las reglas de transformación al esquema de la figura (4.5.1 b)

Obsérvese que en estas figuras, la alimentación y la tierra no han sufrido modificación. Por eso no aparecen en las figuras intermedias (4.5.2 a,b,c). Realmente

cuando se describe el método de transformación en el libro de teoría se establece que hay que cambiar la alimentación por la tierra y viceversa. Sin embargo, como también se habla de invertir el circuito, dada la posición relativa de la alimentación y la tierra, el efecto de intercambiarlas es el mismo que el de darles la vuelta cambiándolas de sitio, por lo que es como si se quedasen de la misma forma que estaban inicialmente. Hay que tener cuidado sin embargo en restablecer las conexiones de forma adecuada, ya que lo que si hay que seguir manteniendo es que lo que inicialmente estuviese conectado a la alimentación al final deberá estarlo a tierra y a la inversa.

Si hacemos lo mismo, pero partiendo del esquema de la puerta NAND de la figura (4.5.1) obtenemos en la figura (4.5.3 d) el esquema de la puerta NOR.

□ □ □ □

E.4.6 Estudio de la característica de transferencia del inversor CMOS

La figura (4.6.1) muestra las características de transferencia del inversor CMOS. Comprueba que las comprendes contestando a las siguientes cuestiones:

- a) ¿Cuál es el significado físico de las tensiones V'_{TP} y V_{TN} ?
- b) En la característica hay marcadas cinco regiones que corresponden a distintas configuraciones en los estados de los transistores T_P y T_N (corte, saturación, triodo). Haz una tabla mostrando la configuración correspondiente a cada una de esas regiones. Usa como apoyo las figuras 4.12.a y 4.11 del libro de teoría.

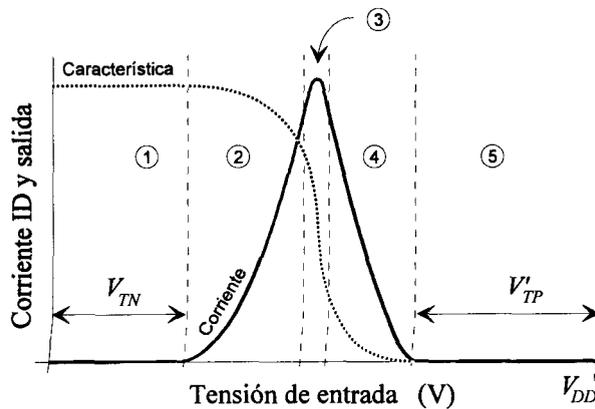


Fig. 4.6.1 Característica de transferencia (línea discontinua) y corriente en un inversor CMOS (línea continua)

Solución:

A) V_{TN} y V_{TP} son las tensiones umbrales de un transistor MOS de realce de canal N y de canal P respectivamente. Si $V_G > V_{TN}$ se crea el canal de inversión en el MOS de acumulación de canal N y comienza a pasar corriente. Si $V_G < V_{TN}$ no hay canal y por consiguiente la corriente es nula. En un MOS de canal P se produce una situación análoga pero ahora las tensiones están cambiadas de signo. En la figura se muestra la tensión V_{TP} medida desde la tensión de alimentación. Sea $V_{TP} = V_{DD} - V'_{TP}$. Si $V_G > V_{TP}$ no hay canal y la corriente es nula, con lo que la conducción se producirá cuando $V_G < V_{DD} - V'_{TP} = V_{TP}$, que es la situación análoga a la de V_{TN} pero cambiando el valor de la tensión de alimentación por el nivel de tierra ($V_G > 0 + V_{TN}$). Si $V_G < V_{TP}$ comienza a crearse el canal de inversión y la corriente aumenta. Hay que señalar que estas tensiones umbrales (V_{TN} , V_{TP}), son características del dispositivo, mientras que V_{TP} depende también de la alimentación.

B) En la zona 1:

$$V_{GS}|_N < V_{TN} \Rightarrow T_N \text{ cortado} \Rightarrow V_{DS}|_N \approx V_{DD}$$

El transistor T_p está en conducción ya que $V_{GS}|_P < V_{TP}$ y puesto que casi toda la tensión cae en el MOS de canal N , entonces $V_{DS}|_P \approx 0 \Rightarrow T_p$ en zona óhmica.

En la zona 2:

$V_{GS}|_N > V_{TN}$, con lo que T_N empieza a conducir y como $V_{DS}|_N \approx V_{DD}$ entonces T_N está en saturación. Al empezar a conducir la tensión $V_{DS}|_N$ disminuye y $V_{DS}|_P$ aumenta. Por tanto, T_N se acercará a zona óhmica y T_p se acerca a saturación.

En la zona 3:

Los dos transistores están en conducción, y además $V_{DS}|_N$ y $V_{DS}|_P$ se acercan hasta cruzarse con lo que:

$$V_{DS}|_N \approx V_{DS}|_P \approx \frac{V_{DD}}{2}$$

Como los dos conducen y están sometidos a una tensión drenador-fuente igual a $\frac{V_{DD}}{2}$ ambos están en saturación.

Zona	Transistor T_N	Transistor T_P
1	$V_{GS} _N < V_{TN} \Rightarrow T_N$ cortado, $I_D \approx 0$ $V_{DS} _N \approx V_{DD}$	$V_{GS} _P < V_{TP} \Rightarrow T_P$ en conducción $V_{DS} _P \approx 0 \Rightarrow T_P$ en zona óhmica
2	$V_{GS} _N \geq V_{TN}$ \Downarrow T_N empieza a conducir $V_{DS} _N \approx V_{DD} \Rightarrow$ saturación $V_{DS} _N \downarrow$	T_P sigue en zona óhmica acercándose a la saturación ya que $V_{DS} _P \uparrow$
3	$V_{GS} _N > V_{TN} \Rightarrow T_N$ conduce $V_{DS} _N \approx V_{DS} _P = \frac{V_{DD}}{2}$ Los dos en saturación $V_{DS} _N \downarrow$	$V_{GS} _P < V_{TP} \Rightarrow T_P$ conduce $V_{DS} _N \approx V_{DS} _P = \frac{V_{DD}}{2}$ Los dos en saturación $V_{DS} _P \uparrow$
4	T_N entra en la zona óhmica debido a que $V_{DS} _N \rightarrow 0$	$V_{GS} _P \geq V_{TP}$ T_P sigue saturado acercándose al corte ya que $V_{GS} _P \rightarrow V_{TP}$
5	$V_{GS} _N > V_{TN} \Rightarrow T_N$ conduce $V_{DS} _N \approx 0 \Rightarrow$ zona óhmica	$V_{GS} _P > V_{TP} \Rightarrow T_P$ cortado, $I_D \approx 0$ $V_{DS} _P \approx V_{DD}$

Fig. 4.6.2 Tabla resumen de los valores de las tensiones en los transistores T_N y T_P , junto con sus tendencias (\uparrow, \downarrow) en las distintas zonas.

En la zona 4:

La tensión $V_{DS}|_N$ sigue decreciendo y $V_{DS}|_P$ aumentando con lo que T_N entra en zona óhmica y T_P está en saturación pero acercándose al corte ya que $V_{GS}|_P$ se acerca a V_{TP} . En el límite con la zona 5, $V_{GS}|_P = V_{TP}$.

En la zona 5:

$V_{GS}|_P > V_{TP}$ por tanto T_P estará cortado y entonces $V_{DS}|_P \approx V_{DD}$. Como $V_{DS}|_P \approx V_{DD}$ tendremos: $V_{DS}|_N \approx 0$ con lo que T_N está en zona óhmica.

En la tabla de la figura (4.6.2) se resume el estado de los transistores T_N y T_P en las cinco zonas de acuerdo con los comentarios que hemos realizado.

□ □ □ □

E.4.7 Utilización del integrado 4007UB para conseguir distintas operaciones lógicas

El circuito integrado 4007UB de la figura (4.7.1) contiene tres transistores canal P y tres de canal N trabajando en modo de realce y con sus terminales accesibles desde el exterior para poder configurar al circuito en la realización de distintas funciones.

¿Cómo deberían realizarse las conexiones externas para obtener:

- Tres inversores independientes.*
- Una puerta NOR de 3 entradas.*
- Una puerta NAND de 3 entradas.*
- Una puerta de transmisión bidireccional*
- Un inversor de tres estados con la siguiente tabla de control:*

ENTRADA	HABILITACIÓN / INHIBICIÓN	SALIDA
1	0	0
0	0	1
X	1	abierta

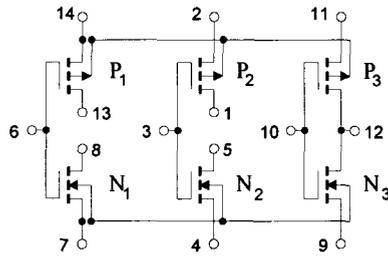


Fig. 4.7.1 Esquema interno del circuito CMOS 4007UB

Solución:

A) Tres inversores independientes.

El conexionado que hay que realizar en este caso es realmente simple, ya que dos de los transistores incorporados ya se encuentran formando un inversor CMOS (transistores P_3 y N_3). Para conseguir otros dos inversores basta realizar las conexiones de la figura (4.7.2), es decir, unir el drenador de N_1 con el de P_1 (terminales de 8 al 13) y el de N_2 con P_2 (terminales de 5 al 1). Así mismo, hay que unir los terminales para la alimentación de cada inversor, o sea, unir los terminales 2 y 11 con el 14 y el 4 y 9 con el 7.

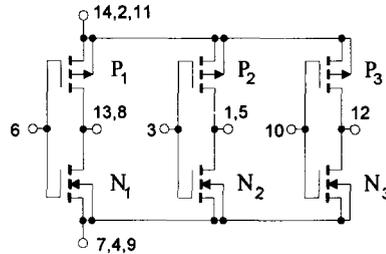


Fig. 4.7.2 Conexionado de terminales para conseguir tres inversores CMOS con el integrado 4007UB

B) Puerta NOR de tres entradas:

En la figura (4.7.3 a) se muestra el diagrama de conexionado necesario para obtener la puerta NOR de tres entradas.

En este caso, como puede verse en la figura se han conectado todos los transistores de tipo N en paralelo (todas las fuentes a tierra y todos los drenadores al nudo de salida) y todos los transistores de tipo P han sido conectados en serie entre la alimentación y

el nudo de salida. Las puertas se han conectado por pares (una de un transistor de tipo N con otra de un transistor tipo P) obteniéndose así los puntos de entrada.

C) Puerta NAND de tres entradas:

La figura (4.7.3 a) muestra la forma en que deben conectarse los terminales para obtener la puerta NAND de tres entradas.

En este caso son los transistores de tipo P los que han sido conectados en paralelo entre la alimentación y el nudo de salida y los de tipo N en serie entre este nudo de salida y tierra.

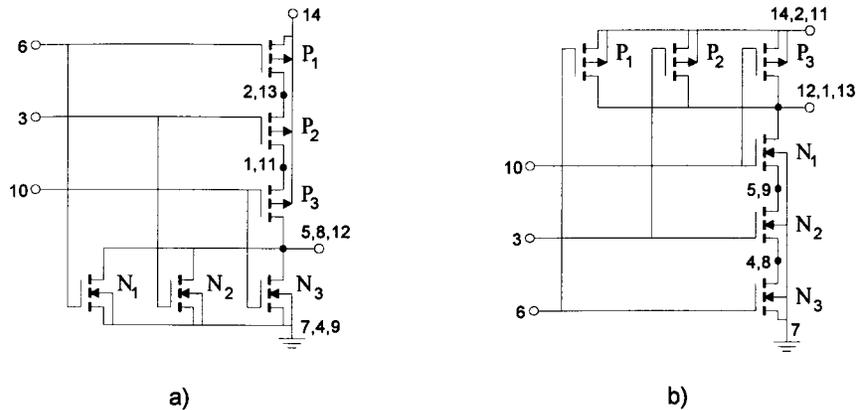


Fig. 4.7.3 a) Puerta NOR de 3 entradas obtenida con el integrado 4007UB.
 b) Puerta NAND de 3 entradas conseguida con el mismo integrado.

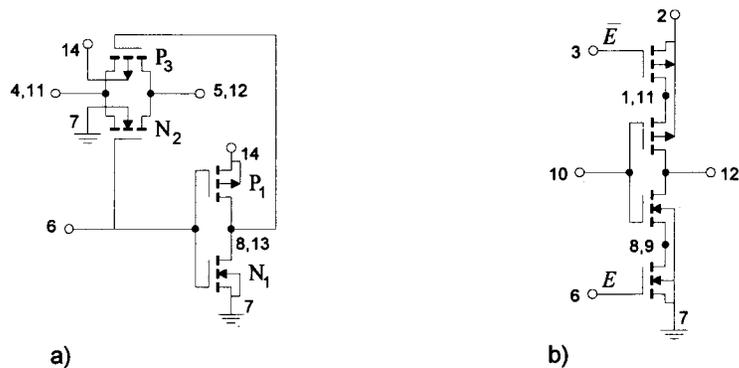


Fig. 4.7.4 Puerta de transmisión bidireccional a) e inductor tristado b) obtenidos con el integrado 4007UB

D) Puerta de transmisión bidireccional:

El conexionado necesario se muestra en la figura (4.7.4 a).

E) Inversor tri-estado:

La figura (4.7.4 b) muestra cómo deben conectarse los terminales del integrado 4007UB para obtener el inversor tri-estado.

□ □ □ □

E.4.8 Obtención en simulación de la curva de transferencia de un inversor CMOS

Realícese la simulación del inversor CMOS y obténgase la característica de transferencia y la corriente $I_D = I_D(V_G)$. Calcúlense gráficamente las tensiones umbrales de los dos transistores que intervienen (V_{TN}, V_{TP}) y los márgenes de ruido a partir de los datos obtenidos en simulación.

Solución:

Se pretende estudiar el comportamiento del circuito de la figura (4.8.1) con ayuda de la simulación.

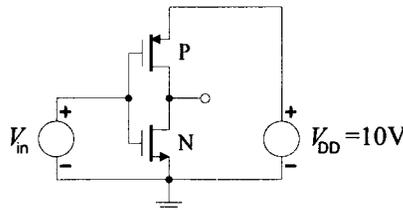


Fig. 4.8.1 Inversor en tecnología CMOS

La fuente de tensión V_{in} puede ser cualquier tipo de fuente ya que sus parámetros los establecemos con el propio análisis.

Como en los casos anteriores, para obtener una característica de transferencia empleamos un análisis de continua con los parámetros que se recogen en la tabla de la figura (4.8.2).

Con estos parámetros y tras realizar la simulación obtenemos la curva de transferencia que se muestra figura (4.8.3).

Swept Var. Type: Voltage Source	Name: Vin
Swept type: Linear	Start value: 0V
	Stop value: 10V
	Increment: 0.01V

Fig. 4.8.2 Parámetros empleados para el análisis de continua que permite obtener la característica de transferencia del inversor CMOS de la figura (4.8.1) mediante simulación

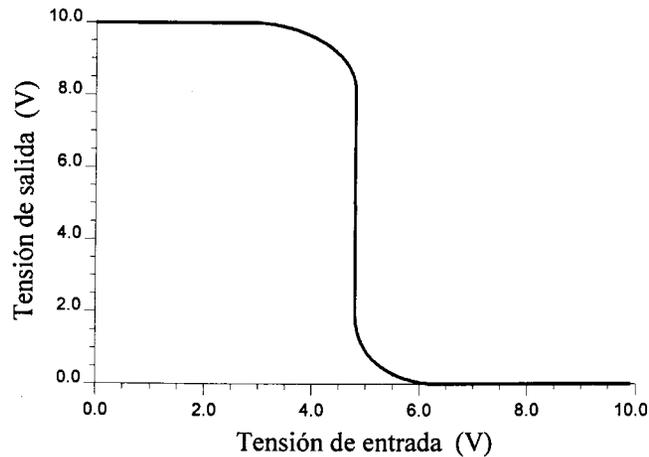


Fig. 4.8.3 Característica de transferencia del inversor CMOS obtenida por simulación

En la figura (4.8.4) se muestra la corriente que circula por el circuito en función de la tensión de entrada aplicada a las puertas de los dos transistores que forman el inversor. En esta gráfica se puede observar la similitud con la curva que fue objeto de estudio en el ejercicio E.4.6.

En este caso, los niveles de corriente resultan tremendamente elevados debido a que los transistores MOS que incorpora el programa PSpice en su versión de evaluación (irf150 el NMOS e irf9140 el PMOS) son de tipo POWER MOS que presentan una resistencia en conducción extraordinariamente baja debido a que la sección del canal es muy grande y son capaces de soportar elevadas tensiones y altas corrientes.

Este tipo de transistores difiere en sus valores de los empleados en electrónica digital pero el comportamiento y los principios físicos que los gobiernan son los mismos. Se puede comprobar que la corriente de drenador es prácticamente despreciable si no se

alcanza la tensión umbral del transistor de canal N o si se sobrepasa la tensión umbral del de canal P. De la gráfica que se muestra en la figura (4.8.4) se puede obtener:

$$V_{TN} \approx 2.93V$$

$$V_{TP} \approx -3.67V$$

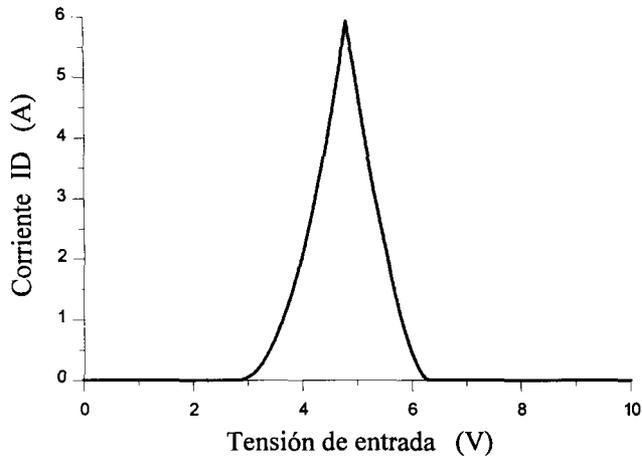


Fig. 4.8.4 Corriente que circula por el inversor CMOS obtenida por simulación

Para calcular los márgenes de ruido debemos encontrar primero los puntos de la característica de transferencia en los que la pendiente es -1. Esto se puede realizar si visualizamos la derivada de la tensión de salida. Si hemos llamado SAL al nudo de salida, para ver su derivada basta con añadir la traza $d(V(SAL))$ y el programa de presentación gráfica que forma parte del paquete del PSpice de evaluación nos dibujará la derivada de la tensión de salida.

Sin embargo, como la corriente de transferencia presenta una pendiente muy elevada, su derivada alcanzará unos valores excesivamente elevados para presentarlos en la misma gráfica, por lo que se hace necesario añadir un nuevo eje (opción Add Y del menú Axis). De esta forma podemos visualizar simultáneamente dos curvas que presenten valores relativos distantes, ya que las curvas asociadas a cada eje se escalarán de acuerdo con el eje al que estén asociadas.

En la figura (4.8.5) se muestra la característica de transferencia, junto con su derivada y los puntos en los que ésta última vale -1 que permiten calcular los márgenes de ruido.

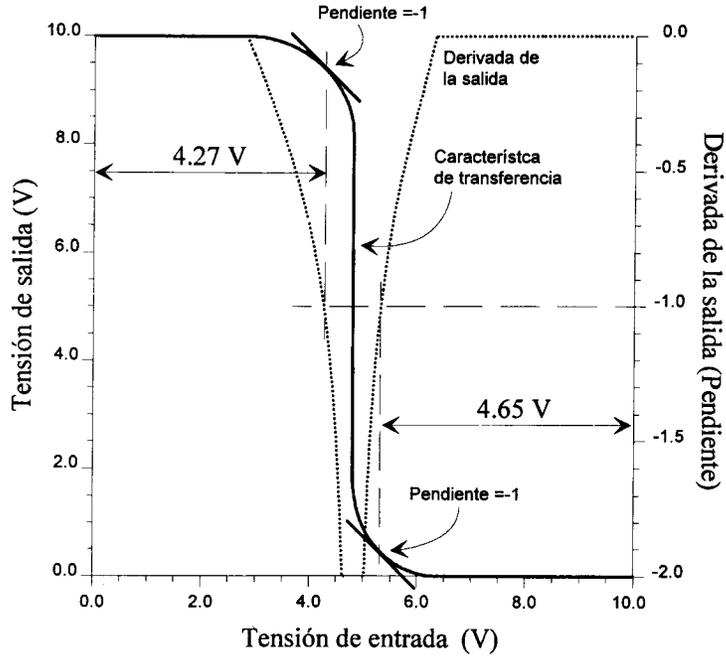


Fig. 4.8.5 Cálculo de los márgenes de ruido del inversor CMOS a partir de los datos obtenidos en simulación



E.4.9 Análisis de un circuito lógico CMOS y obtención de la función que realiza

Dado el circuito lógico de la figura (4.9.1) determinar la función lógica que realiza. Comprobar los razonamientos mediante la simulación.

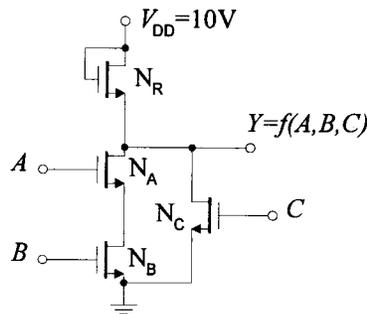


Fig. 4.9.1 Circuito correspondiente al ejercicio E.4.9

Solución:

Obsérvese que todos los transistores son MOS de canal N, con lo que para que conduzcan es preciso que $V_G > V_T$. La salida estará a nivel alto cuando no circule corriente por ninguna de las ramas. En este caso, en N_R no cae tensión y tendremos $Y \approx V_{DD}$. Para que no circule corriente por ninguna rama N_C debe estar cortado y o bien N_A o N_B debe estar cortado. Si alguna de las ramas entra en conducción la salida caerá, $Y \approx 0$. Por lo tanto, para que $Y \rightarrow 0$ basta que N_C conduzca, o conduzcan N_A y N_B simultáneamente.

Con estos razonamientos cualitativos podemos crear una tabla de verdad donde aparezca la salida para cada una de las combinaciones de entrada. Según lo que hemos comentado anteriormente si $C \approx V_{DD}$ entonces $Y \approx 0$ independientemente del estado de los transistores N_A y N_B . Si $C \approx 0$ entonces N_C está en corte y el estado de Y depende únicamente de N_A y N_B ya que N_C se podría suprimir del circuito por presentar una impedancia muy alta.

Con esto obtenemos la salida en cuatro casos (fig. 4.9.2 a)

A	B	C	Y
0	0	0	
0	0	1	0
0	1	0	
0	1	1	0
1	0	0	
1	0	1	0
1	1	0	
1	1	1	0

a)

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

b)

Fig. 4.9.2 Tabla de verdad del circuito del ejercicio E.4.9

Para que la rama que contiene a N_A y N_B conduzca es preciso que lo hagan los dos simultáneamente. Es decir, esta rama sólo conducirá si $A \approx B \approx V_{DD}$ y para el resto de

combinaciones o bien N_A ó N_B ó ambos están cortados, y la salida estará en estado alto (recordar que ahora estamos considerando los casos en que N_C está cortado). Tenemos pues que N_A y N_B forman una puerta NAND.

Añadiendo la tabla de verdad de una puerta NAND a la de la figura (4.9.2 a) obtenemos la tabla de verdad de la figura (4.9.2 b). La función lógica que realiza la puerta será, expresada como suma de productos:

$$y = \bar{A} \bar{B} \bar{C} + \bar{A} B \bar{C} + A \bar{B} \bar{C}$$

$$y = (\bar{A} \bar{B} + \bar{A} B + A \bar{B}) \bar{C} = [(\bar{A} + A) \bar{B} + \bar{A} B] \bar{C} = (\bar{B} + \bar{A} B) \bar{C} =$$

$$= (\overline{\overline{\bar{B} + \bar{A} B}}) \bar{C} = (\overline{\bar{B} \bar{A} B}) \bar{C} = [\overline{B(A + \bar{B})}] \bar{C} = \overline{BA + B\bar{B}} \bar{C} = \overline{BA} \bar{C} = \overline{AB + C}$$

En la figura (4.9.3) aparece la misma minimización pero aplicando Karnaugh.

		BC			
		00	01	11	10
A	0	1			1
	1	1			
		0	1	3	2
		4	5	7	6

$$y = \bar{A} \bar{C} + \bar{B} \bar{C} = (\bar{A} + \bar{B}) \bar{C} = \overline{AB} \bar{C} = \overline{AB + C}$$

Fig. 4.9.3 Minimización de la función empleando diagramas de Karnaugh

Para realizar la simulación recuérdese que los transistores empleados son de tipo N por lo que debemos usar el transistor tipo IRF150 o cualquier otro que represente un transistor MOS de acumulación de canal N. Para generar toda la tabla de verdad podemos atacar las entradas A , B , y C con generadores de pulsos con los parámetros de la tabla que se muestra en la figura (4.9.4).

Al elegir t_r y t_f iguales a cero se producirán unos picos de sobretensión en las conmutaciones que son debidos a las capacidades parásitas de los dispositivos. Podemos evitarlos si elegimos t_r y t_f mayores que cero acercándose más incluso a una situación real donde no existen señales de pendiente infinita. No obstante, si prescindimos de los picos transitorios, se puede comprobar que se cumple completamente la tabla de verdad obtenida cualitativamente.

Parámetro	A	B	C
v1	0	0	0
v2	$V_{DD} = 10$	$V_{DD} = 10$	$V_{DD} = 10$
td	1 E-3	0.5 E-3	0.25 E-3
tr	0	0	0
tf	0	0	0
pw	1 E-3	0.5 E-3	0.25 E-3
per	2 E-3	1 E-3	0.5 E-3

Fig. 4.9.4 Parámetros empleados para definir los generadores de pulsos que se conectan en las entradas A, B y C para conseguir todas las configuraciones de entrada posibles

□ □ □ □

E.4.10 Análisis de una puerta de transmisión MOS

Realícese la simulación de una puerta de transmisión MOS. ¿Qué diferencia hay entre la señal a la entrada y a la salida cuando excitamos con señal sinusoidal?

$$x = \frac{1}{2}(V_{DD} + V_{DD} \text{sen} 2\pi ft)$$

Añádase ahora una resistencia a la salida. ¿Qué diferencia hay ahora entre la entrada y la salida?. Aprovechese este efecto para calcular la resistencia de la puerta en conducción a partir de los datos obtenidos en simulación. Compruébese la simetría de la puerta cambiando la entrada por la salida.

Solución:

El esquema de la puerta de transmisión, incluyendo el inversor necesario para atacar uno de los transistores MOS aparece en la figura (4.10.1).

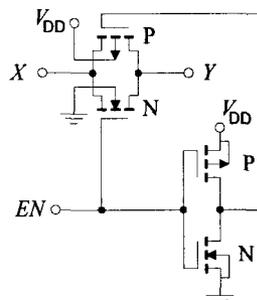


Fig. 4.10.1 Esquema de una puerta de transmisión bidireccional en tecnología CMOS

Como puede observarse, se precisan unos transistores que no tengan el sustrato conectado internamente a la fuente, por lo que para realizar la simulación no nos sirven los tipos irf150 e irf9140 como hasta ahora.

No obstante, en la librería `breakout-s1b` podemos encontrar los dispositivos que necesitamos bajo los nombres `MbreakN` y `MbreakP`.

Para realizar la simulación conectamos un generador de pulsos a la puerta de habilitación y una señal arbitraria en la entrada X . Para comprobar que la puerta tiene un carácter general respecto del tipo de señales de entrada y que no se limita únicamente a señales digitales, podemos conectar, como sugiere el enunciado, una señal sinusoidal. Los parámetros de estas dos fuentes de tensión aparecen en la tabla de la figura (4.10.2).

Ven	Vin
v1=0	voff=5 V
v2=0	vampl=5 V
td=0.25 E-3 s	freq=2000
tr=0	
tf=0	
pw=0.5 E-3 s	

Fig. 4.10.2 Parámetros empleados para definir los generadores que se conectan a la entrada de habilitación (Ven) y a la entrada de señal (Vin)

Si realizamos un análisis de transitorio durante un milisegundo obtenemos las curvas de la figura (4.10.3).

En la gráfica se puede comprobar que si la entrada de habilitación EN está en estado bajo, la salida es nula y cuando EN pasa a estado alto la salida es idéntica a la entrada sin que se puedan apreciar diferencias significativas. No obstante, esta igualdad es consecuencia de que la puerta no está cargada, es decir, la puerta no suministra corriente a la salida. Sin embargo, si tal como dice el enunciado añadimos una resistencia de carga la situación cambia, ya que al extraer corriente de la puerta, se producirá una caída de tensión en la misma debido a su resistencia interna.

El valor de esta resistencia lo podemos calcular viendo la proporción de tensión que cae en la puerta frente a la que cae en la carga. En la figura (4.10.4) aparece la gráfica obtenida con una resistencia de 10 kΩ.

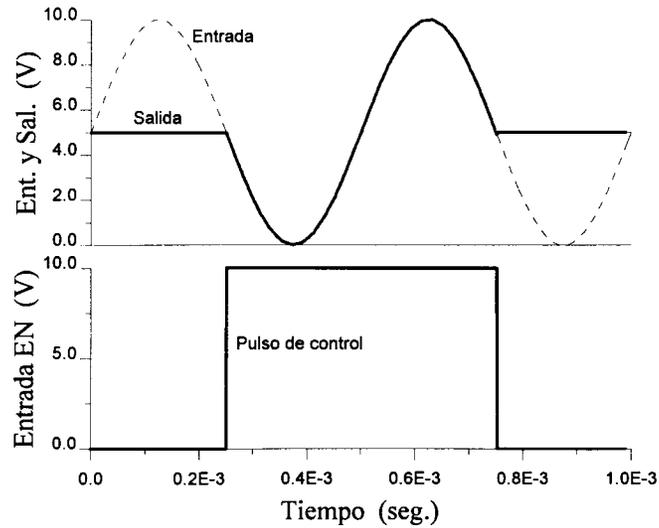


Fig. 4.10.3 Formas de onda de entrada y de salida de la puerta de transmisión CMOS

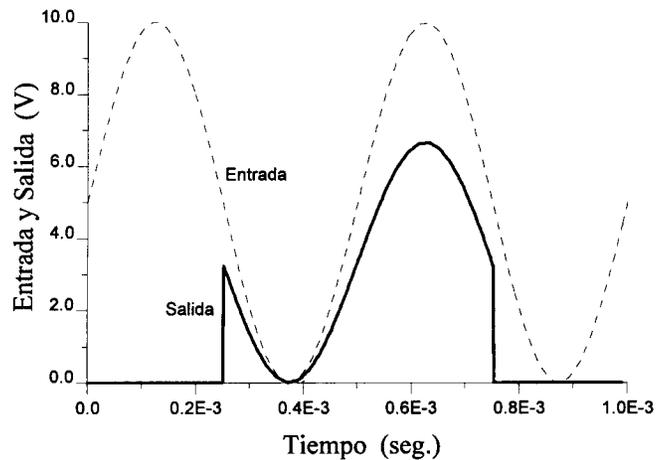


Fig. 4.10.4 Formas de onda y salida de la puerta de transmisión cuando cargamos la salida con una resistencia de 10kΩ

De la figura (4.10.5) podemos obtener una expresión que nos proporciona el valor de R_{on} (resistencia de la puerta en conducción).

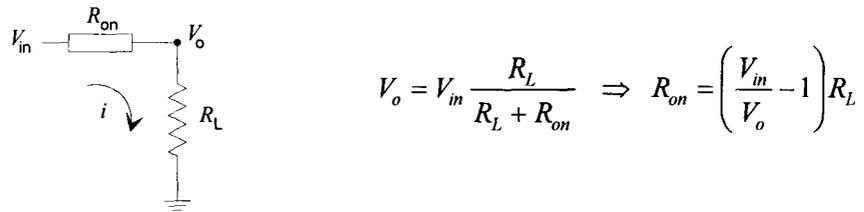


Fig. 4.10.5

Para realizar el cálculo escogemos el punto de la gráfica en el que el valor de V_{in} (o V_o) es máximo para minimizar el error.

Podemos repetir la experiencia con distintas resistencias para comprobar la linealidad de la resistencia en conducción frente a la corriente de salida. En la tabla de la figura (4.10.6) tenemos los valores obtenidos para distintas resistencias.

R_L (Ω)	$V_o _{max}$ (V)	R_{on} (Ω)
1 M	9.92	8064
500 k	9.871	6534
100 k	9.4951	5317
50 k	9.0635	5166
10 k	6.6466	5045
5 k	4.9849	5030

Fig. 4.10.6 Tabla con las resistencias empleadas y los valores obtenidos para R_{on} en cada caso

Como puede verse, la resistencia interna varía con la carga. Para eliminar este problema la salida no se conecta directamente sino a través de un amplificador que mantenga una impedancia de entrada elevada y constante y pueda suministrar la corriente necesaria a la carga. De esta forma se consigue que la salida de la puerta de transmisión no se vea afectada por la carga, ya que ésta es muy elevada (la impedancia de entrada de un amplificador es muy grande) y constante.

Si tal como dice el enunciado intercambiamos entrada con salida comprobamos que la puerta es completamente simétrica, tanto si realizamos la experiencia con carga como si la hacemos en vacío.

Hay que observar además, otra diferencia entre las curvas de las figuras (4.10.3) y (4.10.4) y es que cuando la puerta está cortada (entrada *EN* en estado bajo) en el primer caso la tensión en la salida es 5V y sin embargo al añadir la carga es 0V. Esto es debido a que en el primer caso, desde el nudo de salida tenemos una impedancia altísima a tierra con lo que la tensión queda establecida al punto medio entre las tensiones de los sustratos de ambos transistores. Al añadir la resistencia, establecemos una conexión entre la salida y tierra. Como por esta resistencia no pasa corriente, la caída de tensión en la misma es nula y por lo tanto la tensión en la salida es nula.

* * * *

TEMA 5

Lógica combinacional (I): Funciones aritmético-lógicas

PROPÓSITO

*Este capítulo es el primero de la lógica combinacional. Tras estudiar las familias lógicas en los capítulos III y IV, empezamos ahora la síntesis de funciones de **ruta de datos** que conducen la información desde las entradas o de la memoria a la zona de cálculo y de operaciones **aritmético-lógicas** sobre esos datos. Estudiamos primero las operaciones aritmético-lógicas y después veremos la ruta de datos. En ambos casos el objetivo de los problemas es:*

- (1) Obtener la representación de las funciones lógicas correspondientes a sumadores, restadores, comparadores y ALU's.*
- (2) Proponer su síntesis con NAND, NOR, XOR, etc.*
- (3) Proponer algunos casos de cambios de representación.*
- (4) Conectar con el mundo real haciendo referencia a circuitos integrados concretos en MSI que realizan esas funciones que hemos sintetizado aquí usando puertas lógicas del nivel de integración inferior.*

Para todas las funciones aritmético-lógicas se estudia primero la versión mínima (es decir, suma o resta de palabras de un bit). Después se pasa a palabras de n bits, haciendo énfasis

en el problema de la velocidad que, para una familia lógica concreta, siempre está asociado al problema del arrastre.

Lo ideal sería que una operación con palabras de n -bits no tuviera más retardo que el correspondiente a la misma operación con palabras de un solo bit. Para ello el arrastre debe procesarse en paralelo. El precio que se paga es la mayor complejidad del circuito correspondiente.



EJERCICIOS RESUELTOS

E.5.1 Circuitos semisumador y sumador completo usando puertas NAND

Obtener los circuitos semisumador y sumador completo usando sólo puertas NAND.

Solución:

A) Semisumador:

La suma y el acarreo del semisumador son representadas por las funciones lógicas $S = A \oplus B$, $C_{i+1} = A \cdot B$, respectivamente.

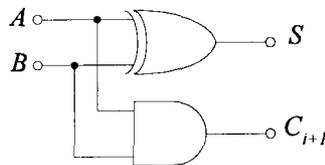


Fig. 5.1.1 Semisumador

Para representarla con puertas NAND, se expresarán las funciones en términos NAND. Así:

$$S = A \oplus B = \overline{A}B + A\overline{B} = \overline{(\overline{\overline{A}B})(\overline{A\overline{B}})},$$

$$C_{i+1} = A \cdot B = \overline{\overline{AB}}, \quad \text{y} \quad \overline{\overline{A}} = \overline{AA}.$$

Por lo tanto, el circuito necesario para la realización de estas funciones es el que aparece en la figura (5.1.2):

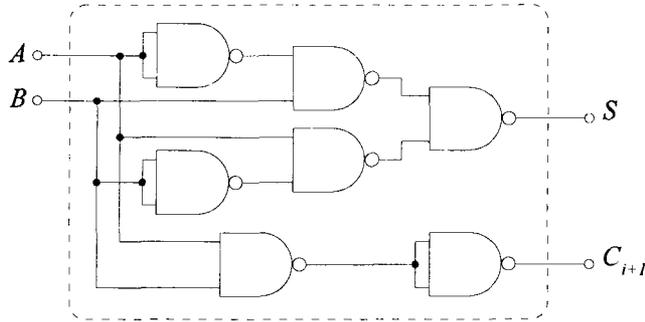


Fig. 5.1.2 Semisumador con puertas NAND

B) Sumador completo:

Para el sumador completo, $S = A \oplus B \oplus C_i$, $C_{i+1} = AB + C_i(A \oplus B)$. Con lo que obtenemos el esquema de la figura (5.1.3):

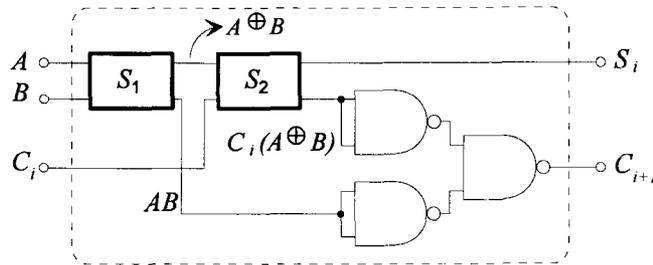


Fig. 5.1.3 Sumador completo. S_1 y S_2 son circuitos semisumadores como los de la figura (5.1.2)

ya que
$$C_{i+1} = \overline{(AB)(C_i(A \oplus B))}$$

□ □ □ □

E.5.2 Diseño del circuito restador

El mismo desarrollo propuesto para explicar los circuitos sumadores completos a partir de semisumadores puede realizarse para el estudio de los circuitos restadores. Vamos a comprobarlo en este ejercicio. Las reglas para restar dos bits (A-B) produciendo un bit de diferencia (D) y un acarreo (C) son las de la tabla adjunta (fig. 5.2.1).

- a) ¿Cuáles son las funciones lógicas del semirrestador que genera C y D a partir de A y B ?
- b) ¿Cómo podemos obtener un restador completo, (FS) a partir de dos semirrestadores?
- c) ¿Cómo deben conectarse distintos FS para obtener un restador paralelo de cuatro bits?
 Recuérdese que cuando se transfiere el acarreo de una etapa a la siguiente, se resta el sustraendo del minuendo, disminuyendo a continuación el resultado en 1.

A_i	B_i	D_i	C_{i+1}
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Fig. 5.2.1 Tabla de verdad del semirrestador

Solución:

A) Semirrestador:

Las reglas de la resta, suponiendo que A es el minuendo y B el sustraendo, corresponden a la tabla de verdad, donde D es el bit diferencia y C el acarreo con lo que las funciones del semirrestador serán:

$$D_i = \overline{A_i}B_i + A_i\overline{B_i} = A_i \oplus B_i$$

$$C_{i+1} = \overline{A_i}B_i$$

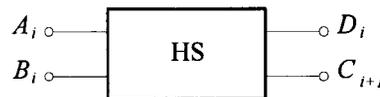


Fig. 5.2.2 Diagrama de bloques del circuito semirrestador

B) Restador completo:

De forma análoga al caso del sumador completo, un restador completo es un circuito que acepta como entradas el minuendo (A_i), el sustraendo (B_i) y el acarreo (C_i) de la etapa anterior y genera la diferencia (D_i) y el acarreo para la etapa siguiente (C_{i+1}). La figura (5.2.3) muestra su tabla de verdad. Como del minuendo hemos de restar el sustraendo y el acarreo de la etapa anterior, primero

sumaremos el sustraendo y el acarreo (que a su vez da lugar a un acarreo C'_i) y el resultado lo restaremos del minuendo, obteniendo la diferencia con su correspondiente acarreo C''_i que sumado con C'_i nos dará el acarreo total para la etapa siguiente.

A_i	B_i	C_i	$B_i + C_i$	C'_i	$D_i = A_i - (B_i + C_i)$	C''_i	$C_{i+1} = C'_i + C''_i$
0	0	0	0	0	0	0	0
0	1	0	1	0	1	1	1
1	0	0	0	0	1	0	0
1	1	0	1	0	0	0	0
0	0	1	1	0	1	1	1
0	1	1	0	1	0	0	1
1	0	1	1	0	0	0	0
1	1	1	0	1	1	0	1

Fig. 5.2.3 Tabla de verdad del restador completo en la que se incluyen, por razones pedagógicas, no sólo las entradas (A_i , B_i , C_i) y las salidas (D_i , C_{i+1}), sino también las variables intermedias ($B_i + C_i$, C'_i , C''_i)

Escribiendo primero la forma canónica como suma de productos para D_i y C_{i+1} y reagrupando después los términos para que nos aparezcan las expresiones correspondientes a los semirestadores, obtenemos

$$D_i = \overline{C}_i(A_i \oplus B_i) + C_i(\overline{A_i} \oplus \overline{B_i}) = C_i \oplus A_i \oplus B_i$$

$$\begin{aligned} C_{i+1} &= \overline{C}_i \overline{A_i} B_i + C_i \overline{A_i} \overline{B_i} + C_i \overline{A_i} B_i + C_i A_i B_i = \overline{A_i} B_i + C_i (\overline{A_i} \overline{B_i} + A_i B_i) \\ &= \overline{A_i} B_i + C_i (A_i \oplus \overline{B_i}) \end{aligned}$$

El circuito correspondiente se muestra en el esquema de la figura (5.2.4) donde se detallan los operadores intermedios al igual que se hizo en el caso del sumador completo.

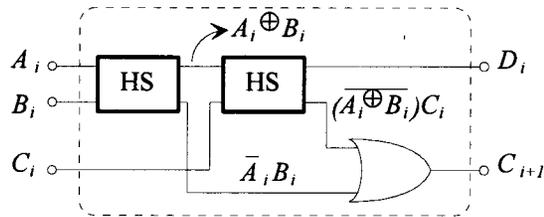


Fig. 5.2.4 Restador completo

C) Restador paralelo:

De forma análoga a la propuesta en teoría para el caso de los sumadores podemos también enlazar los acarros de los restadores. El circuito resultante es:

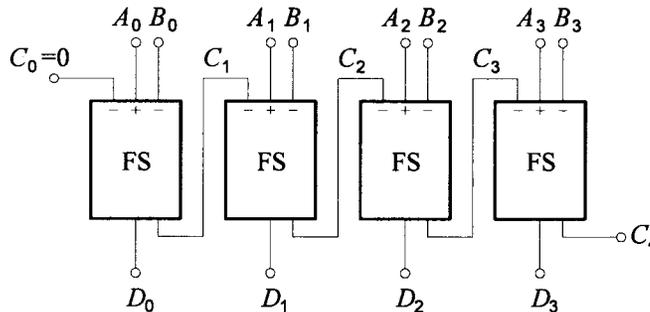


Fig. 5.2.5 Restador paralelo



E.5.3 Diseño del circuito sumador-restador

¿Cómo podríamos realizar un circuito que fuera a la vez sumador y restador?. Proponer una solución para palabras de cuatro bits y representación en complemento a 2.

Solución:

Detrás del problema de los circuitos restadores está el problema de la representación de los números negativos. Al fin y al cabo restar ($A - B$) es sumar a A el número $(-B)$. Sin embargo, hasta ahora hemos trabajado sólo en binario puro, por lo que sólo podríamos representar números positivos.

Hay tres formas básicas que permiten la representación conjunta de números positivos y negativos: (1) Magnitud y signo (S-M), (2) Complemento a 1 (C-1) y (3) Complemento a 2 (C-2). Obviamente, la forma de representación define el circuito que sintetiza el restador correspondiente.

Las tres formas de representación usan el bit más significativo para codificar el signo del número. Los números que empiezan por cero son positivos y los que empiezan por uno son negativos. El resto de los bits codifican su magnitud. Por consiguiente, en el formato *signo-magnitud* la codificación es inmediata. Primero se pone el signo (0=positivo, 1=negativo), y después los bits de magnitud.

En la representación en *complemento a 1*, los números negativos se obtienen complementando uno a uno todos los bits de la representación del número positivo correspondiente. Así $+3 = \underline{0}011$ y $-3 = \underline{1}100$.

En la representación por *complemento a 2* (a la base de numeración), los números positivos se representan colocando un cero a la izquierda de los bits que representan la magnitud, como en las otras dos representaciones. Los números negativos se representan a partir de los positivos correspondientes complementando todos los bits y sumando un "1" al resultado. Para comparar las tres representaciones conviene observar la tabla de la figura (5.3.1), viendo las analogías y diferencias para palabras de cuatro bits (tres de magnitud y uno de signo).

En la columna "binario puro" aparece el valor decimal equivalente cuando la palabra de cuatro bits se interpreta en la codificación binaria usual, sin admitir números negativos. En las otras tres columnas, sólo nos quedan tres bits para la magnitud, por lo que representamos del 0 al 7 y del -0 al -7 (en S-M y C-1) o del 0 al 7 y del -1 al -8 (en C-2). La figura (5.3.2) ilustra la transformación para las tres representaciones correspondientes al -3, partiendo de su representación positiva (+3).

Podemos usar cualquiera de estas representaciones. Lo importante es que mantengamos la consistencia e interpretemos adecuadamente los resultados. El problema fundamental es el del "*rebose*" (overflow) que se produce cuando el

resultado de una operación genera un número que no cabe en la representación para un cierto tamaño de palabra. Por ejemplo, $(-7) + (-7) = -14$.

Signo	Magnitud	Binario Puro	S-M	C-1	C-2
0	000	0	+0	+0	+0
0	001	1	+1	+1	+1
0	010	2	+2	+2	+2
0	011	3	+3	+3	+3
0	100	4	+4	+4	+4
0	101	5	+5	+5	+5
0	110	6	+6	+6	+6
0	111	7	+7	+7	+7
1	000	8	-0	-7	-8
1	001	9	-1	-6	-7
1	010	10	-2	-5	-6
1	011	11	-3	-4	-5
1	100	12	-4	-3	-4
1	101	13	-5	-2	-3
1	110	14	-6	-1	-2
1	111	15	-7	-0	-1

Fig. 5.3.1 Formas básicas de representación de números positivos y negativos

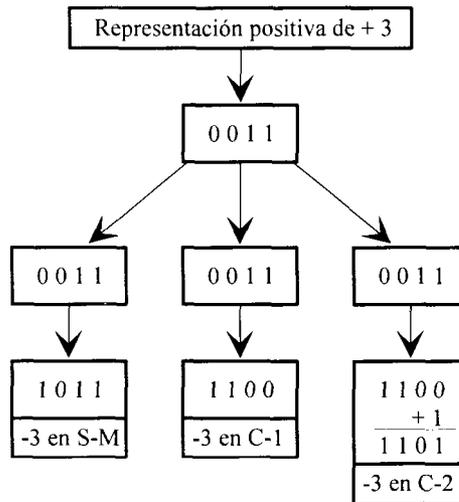


Fig. 5.3.2 Transformación para las tres representaciones correspondientes al -3, partiendo de su representación positiva (+3)

Volvamos ahora al enunciado del problema y supongamos que los números que tenemos que sumar y restar están representados en complemento a dos (C-2). La suma de números en C-2 se obtiene a partir de una misma operación de suma sobre todos los bits de los operandos. Sólo puede haber rebose cuando ambos operandos son positivos (bits de signo = 0) y la suma es negativa (signo = 1), o bien cuando ambos operandos son negativos (bit de signo = 1) y la suma es positiva (signo = 0). Estas situaciones se detectan comprobando el signo del resultado. Si este signo es correcto, no hay rebose.

Si el circuito debe poder actuar como sumador y como restador, necesitamos una señal de control, \bar{S}/R , que nos facilita una u otra operación. Así:

\bar{S}/R	Operación
1	$A - B$
0	$A + B$

Si la operación es de suma ($\bar{S}/R = 0$), el operando B se deja pasar sin complementar y se suma al A . En cambio, si la operación es de resta, el operando B se complementa bit a bit y se le suma 1. La operación de complementación de B se puede conseguir directamente a través del *O-exclusivo* entre la señal de control y B (fig. 5.3.3).

\bar{S}/R	B_i	$B_i(-)$
0	0	0
0	1	1
1	0	1
1	1	0

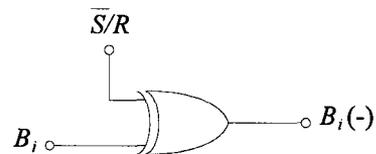


Fig. 5.3.3 Operación de complementación

En efecto, observando la tabla de la figura (5.3.3), vemos que cuando $\bar{S}/R = 0$, el bit B_i se queda como estaba (pasa directamente al sumador). En cambio, cuando $\bar{S}/R = 1$, el bit B_i se complementa antes de entrar al sumador, con lo que obtenemos la resta. El uno que necesitamos sumar en la representación C-2 lo podemos obtener de la propia señal \bar{S}/R que para el caso de resta vale 1 y lo

sumamos a B_0 a través del acarreo inicial del sumador (C_m), de forma que el circuito completo será el que se muestra en la figura (5.3.4):

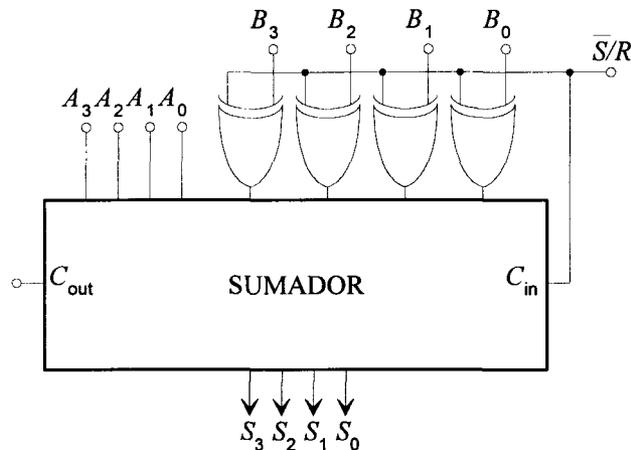


Fig. 5.3.4 Circuito sumador/restador completo

Existen circuitos integrados, como el MC10108 de la serie 10K de lógica de emisor acoplado (ECL) que realizan esta doble función para un bit. Cada entrada puede seleccionarse en este caso, como minuyendo o sustrayendo.

□ □ □ □

E.5.4 Diseño recursivo de un comparador

¿Existe una ley recursiva que permita sintetizar un comparador de magnitud para palabras de n bits (para cualquier valor de n) a partir de un único tipo de módulo de comparación entre palabras de un solo bit?

- A) *Cuál es esa ley y cuál es el circuito interno de ese módulo que permite el diseño recursivo.*
- B) *Qué estructura debería tener un módulo universal de cuatro bits, y cómo deberían conectarse estos módulos de cuatro bits para expandirse a palabras de 16 bits. ¿Y para 24 bits?.*

El objetivo de este ejercicio es conseguir que el alumno repase, profundice y complemente los conocimientos asociados a la función de comparación a través del estudio de los procedimientos de extensión del número de bits. Se entiende que comparamos magnitudes. Si quisieramos tener en cuenta los números negativos, el procedimiento de comparación se modificaría en función del formato (complemento a dos, complemento a uno o signo-magnitud).

Solución:

- A) Recordemos que un comparador de dos palabras de n bits (A, B) es un circuito que acepta estas palabras como entrada y produce tres salidas binarias dependiendo de si A es mayor, menor o igual que B . Para hacer modular al circuito deberemos tener en cuenta entradas y salidas de arrastre. Como buscamos una solución modular y recursiva, tendremos que empezar con palabras de un solo bit. Para ello revisaremos la teoría del apartado 5.3 del texto base viendo primero la tabla de verdad del circuito comparador para palabras de un bit.

A_i	B_i	$(A_i > B_i)$	$(A_i = B_i)$	$(A_i < B_i)$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Fig. 5.4.1 Tabla de verdad del circuito comparador

Es decir:

$$\begin{array}{lll}
 A_i > B_i & \text{si} & \overline{A_i B_i} = C = 1 \\
 A_i = B_i & \text{si} & \overline{A_i \oplus B_i} = E = 1 \\
 \text{y} & A_i < B_i & \text{si} & \overline{A_i} B_i = D = 1.
 \end{array}$$

Estas expresiones son las que ya conocíamos de teoría de forma que el aspecto inicial del circuito comparador de un bit es el de la figura (5.4.2) que coincide con la figura 5.7.a del texto base. Sólo le hemos añadido fuera del recuadro los circuitos que producirán las salidas para bits sucesivos y aceptarán los resultados del $>$, $<$ e $=$ de bits previos.

Veamos ahora qué tenemos que añadirle a este módulo para que sirva también como comparador del segundo bit (A_1, B_1) en palabras de dos bits, (A_1, A_0) y (B_1, B_0). Veremos como al ir aumentando el número de bits el módulo debe permitir la extensión de las tres condiciones ($>$, $=$, $<$). La forma de extender una condición está íntimamente relacionada con la función lógica que la detecta para un solo bit. Así, la extensión de la igualdad se consigue introduciendo un nuevo AND en el módulo para ampliar con la igualdad del nuevo bit la igualdad que ya

se arrastraba de los bits anteriores. De forma análoga, la extensión del $A > B$ y del $A < B$ se obtiene incluyendo en el módulo dos puertas AND y dos puertas OR que acumulen las desigualdades de los bits anteriores con la calculada dentro del módulo para el nuevo bit ($A_i \bar{B}_i$ y $\bar{A}_i B_i$).

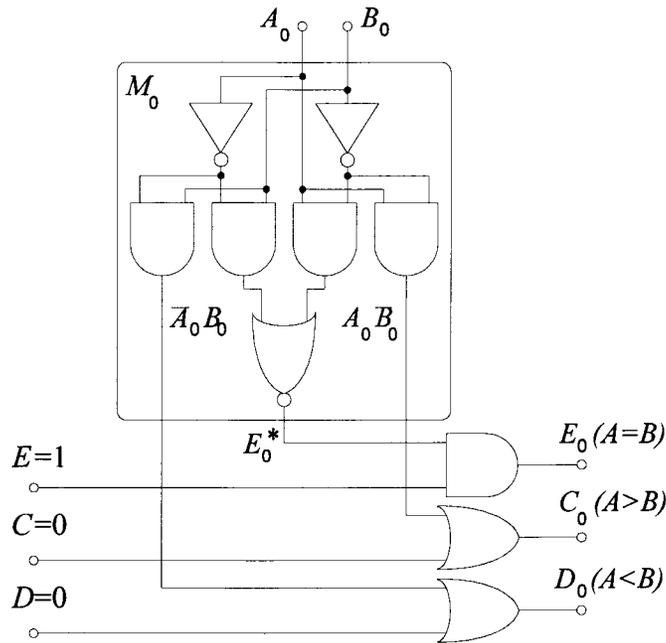


Fig. 5.4.2 Estructura inicial del módulo comparador de un bit

En efecto:

$$\text{A.1)} \quad (A_1, A_0) = (B_1, B_0) \Rightarrow A_0 = B_0 \text{ y } A_1 = B_1.$$

La detección de $A_1 = B_1$ se realiza dentro del módulo y la igualdad $A_0 = B_0$ se arrastra del cálculo sobre el bit anterior. Basta entonces una nueva puerta AND para acumular la igualdad.

$$\begin{aligned} \text{A.2)} \quad (A_1, A_0) > (B_1, B_0) &\Rightarrow A_1 > B_1 \Rightarrow C_1^* = A_1 \bar{B}_1 = 1 \\ \text{o bien} \quad A_1 = B_1 &\Rightarrow E_1^* = 1 \text{ y } C_0^* = A_0 \bar{B}_0 = 1 \end{aligned}$$

La detección del mayor necesita entonces que dentro del módulo se calcule el OR de C_1^* con el AND de C_0^* (arrastre) y E_1^* .

$$C_1 = A_1 \overline{B_1} + E_1^* A_0 \overline{B_0}$$

A.3) Análogamente, para la condición $(A_1, A_0) < (B_1, B_0)$, obtendríamos:

$$D_1 = \overline{A_1} B_1 + E_1^* \overline{A_0} B_0$$

Al introducir estas modificaciones en el módulo de la figura (5.4.2), obtenemos el segundo módulo de la figura (5.4.3) que ya es completo y nos permite un diseño recursivo.

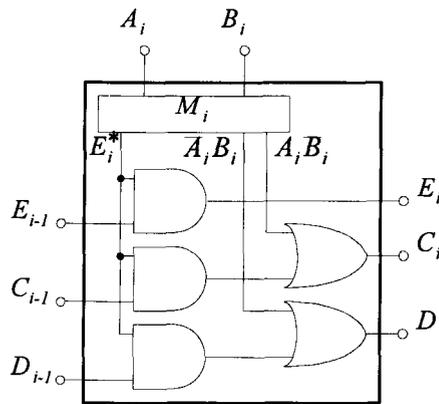


Fig. 5.4.3 Comparador de un bit para diseño modular y recursivo

Hemos visto de forma parcialmente intuitiva que sí que existe un comparador universal concatenable. Veámoslo ahora de forma analítica estudiando el caso que ya vimos en teoría del comparador para cuatro bits y observando como se repite un mismo módulo. Lo desarrollamos para la condición C , $(A > B)$. La condición D , $(A < B)$, se obtiene de forma análoga y la E es trivial $(E = E_0^* E_1^* E_2^* E_3^*)$.

Para que (A_3, A_2, A_1, A_0) sea mayor que (B_3, B_2, B_1, B_0) se tiene que cumplir:

- 1) que $A_3 > B_3 \Rightarrow C_3 = A_3 \overline{B_3} = 1$, o bien que
- 2) $A_3 = B_3 \Rightarrow E_3^* = 1$ y $A_2 > B_2 \Rightarrow E_3^* = A_2 \overline{B_2} = 1$, o bien que
- 3) $A_3 = B_3$ y $A_2 = B_2$ y $A_1 > B_1 \Rightarrow E_3^* E_2^* A_1 \overline{B_1}$, o bien que

4) $A_3 = B_3$ y $A_2 = B_2$ y $A_1 = B_1$ y $A_0 > B_0 \Rightarrow E_3^* E_2^* E_1^* A_0 \overline{B_0}$.
 Sumando estas condiciones obtenemos:

$$C_3 = A_3 \overline{B_3} + E_3^* A_2 \overline{B_2} + E_3^* E_2^* A_1 \overline{B_1} + E_3^* E_2^* E_1^* A_0 \overline{B_0}$$

Como buscamos una expresión recursiva en la que el cálculo para el bit i -ésimo sólo use términos del propio bit (A_i, B_i, E_i^*) y términos resultado del cálculo sobre el bit anterior (C_{i-1}), dejaremos los términos de subíndice 3 y sacaremos factor común al resto:

$$C_3 = A_3 \overline{B_3} + E_3^* (A_2 \overline{B_2} + E_2^* (A_1 \overline{B_1} + E_1^* A_0 \overline{B_0}))$$

es decir

$$C_3 = A_3 \overline{B_3} + E_3^* C_2 \text{ y } C_2 = A_2 \overline{B_2} + E_2^* C_1,$$

y de forma general tenemos que: $C_i = A_i \overline{B_i} + E_i^* C_{i-1}$

Análogamente, para la condición D , ($A < B$), tendríamos: $D_i = \overline{A_i} B_i + E_i^* D_{i-1}$

La figura (5.4.4) muestra la forma de unir dos módulos como el de la figura (5.4.3) y así comparar palabras de dos bits.

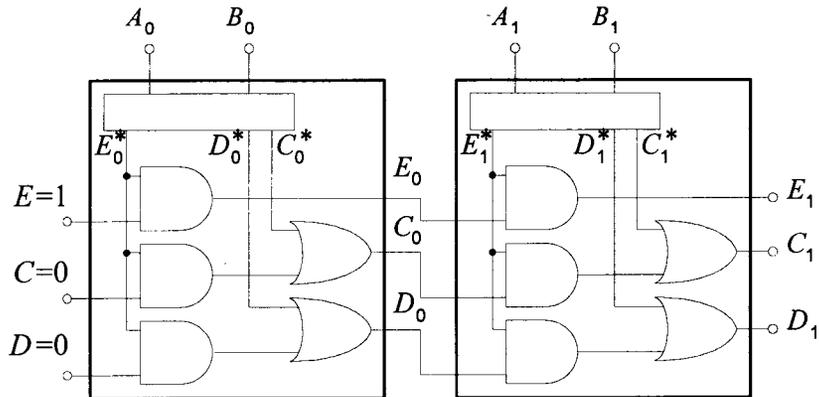


Fig. 5.4.4 Forma de concatenar dos módulos, usando siempre el mismo circuito

- B) Al igual que hemos obtenido el módulo universal para un bit (por razones pedagógicas), podríamos haber dejado las expresiones correspondientes para cuatro bits, añadiéndole a la entrada el arrastre de comparaciones anteriores que actúan como bit menos significativo. Se podría obtener también conectando cuatro módulos de un bit, tal como se muestra en la figura (5.4.5).

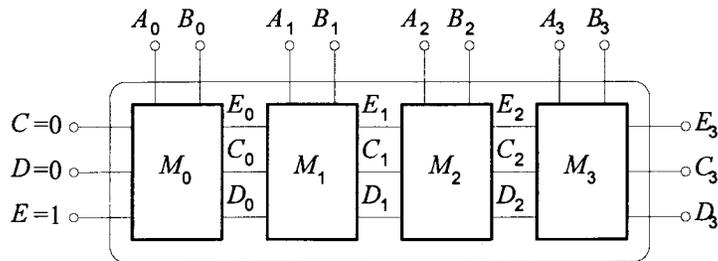


Fig. 5.4.5 Comparador de 4 bits a partir de comparadores de un bit

Sin embargo, existen soluciones comerciales, tipo SN7485, en las que se simplifica algo el diseño al no necesitar hacer accesibles los resultados de la comparación de los bits intermedios. Esto permite, por ejemplo, usar menos puertas AND y OR, pero de más entradas. El circuito correspondiente se muestra en la figura (5.4.6). Este circuito permite la comparación en binario puro y en BCD (código 8-4-2-1) y la expansión a cualquier número de bits sin puertas externas adicionales.

Si ahora queremos pasar de cuatro a 16 bits, basta conectar cuatro comparadores de cuatro bits de forma que se reparten los bits en bloques de cuatro ($A_0 - A_3$, $A_4 - A_7$, $A_8 - A_{11}$, $A_{12} - A_{15}, \dots$), se establecen las condiciones iniciales en el bloque de bits menos significativo ($E=1$, $C=D=0$), se conectan las salidas del bloque menos significativo a las entradas de arrastre del bloque siguiente y se toma como salida final, la comparación realizada por el bloque de bits más significativos ($A_{12} - A_{15}$; $B_{12} - B_{15}$), tal como se muestra en la figura (5.4.7).

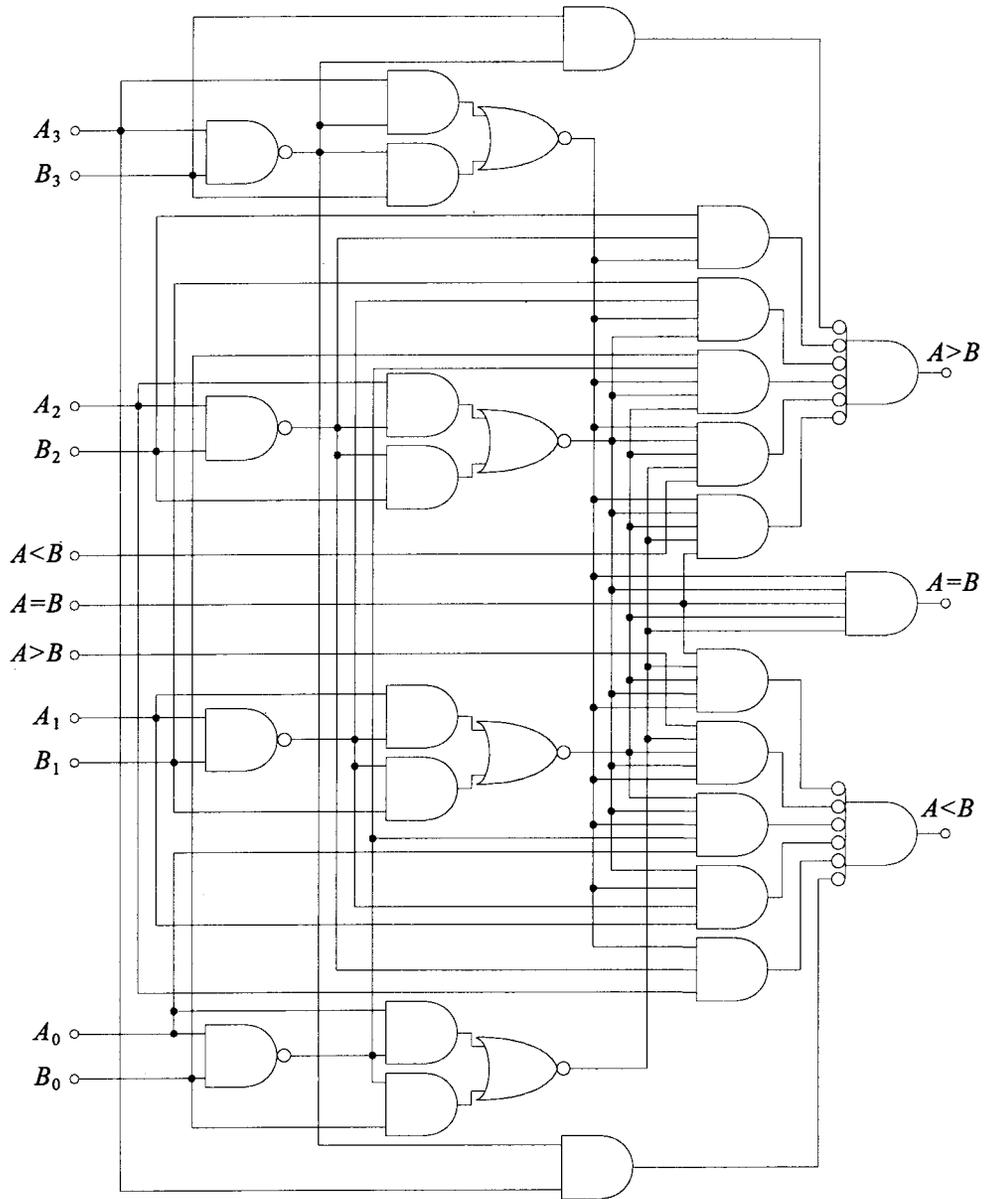


Fig. 5.4.6 Esquema del comparador SN7485

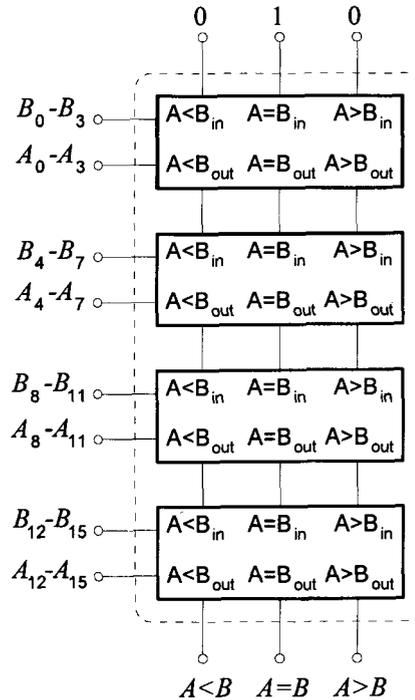


Fig. 5.4.7 Obtención de un comparador de palabras de 16 bits usando cuatro comparadores de cuatro bits tipo SN7485

Finalmente, para la expansión de cuatro a 24 bits, podemos usar la solución de la figura (5.4.8), en la que se manejan dos niveles. En el primer nivel se usan cinco comparadores y en el segundo un solo comparador que integra los resultados de la comparación de los cinco bloques del nivel anterior. Obsérvese que en este procedimiento de extensión en cascada usamos las entradas C ($A > B$) y D ($A < B$) como si fueran un bit más (de hecho el menos significativo), de forma que el circuito SN7485 actúa en realidad como comparador de palabras de cinco bits, salvo en el bloque menos significativo (A_0, \dots, A_3 ; B_0, \dots, B_3), en el que las entradas C y D se fijan a cero.

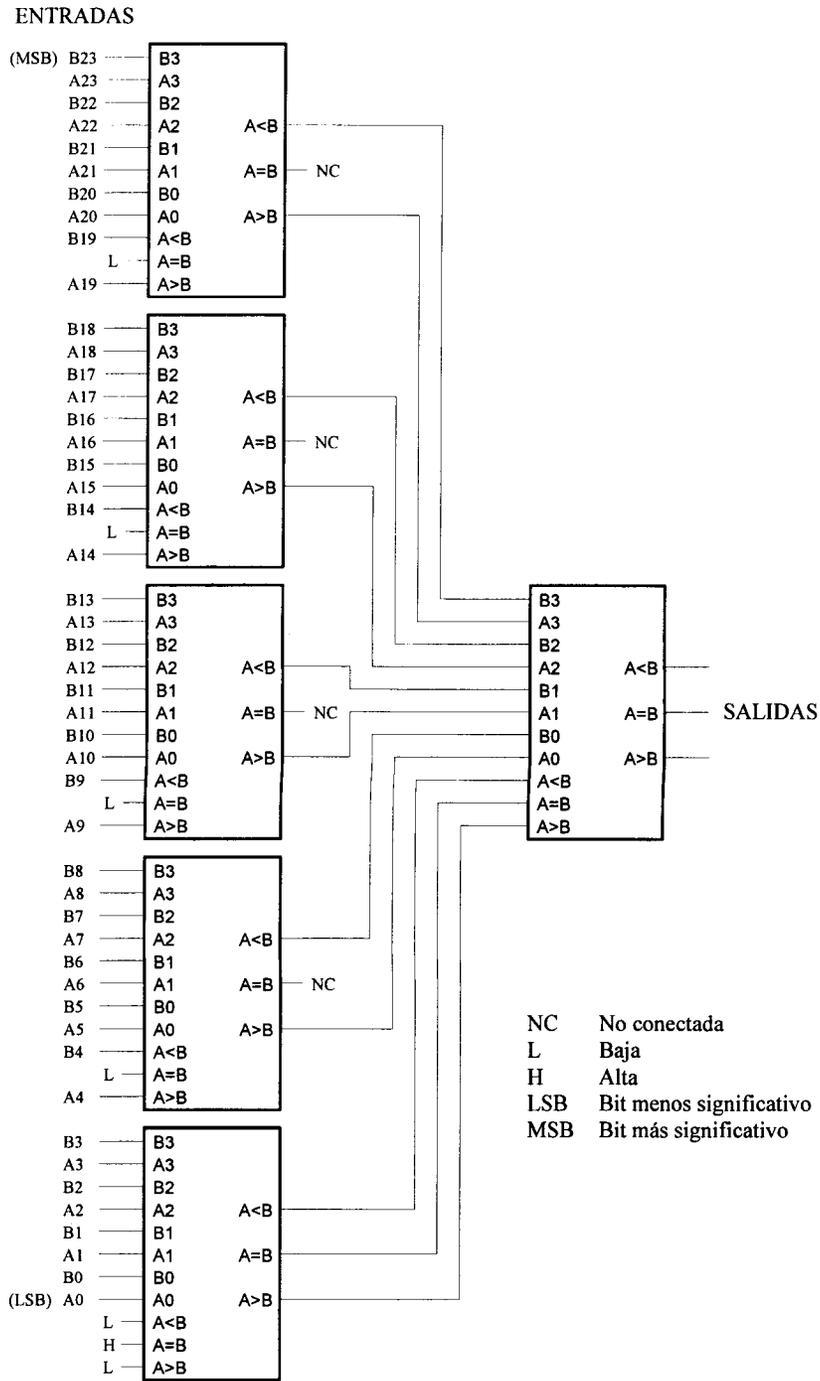


Fig. 5.4.8 Obtención de un comparador de palabras de 24 bits, a partir de módulos comparadores de 4 bits

En la figura (5.4.8) se incluye, junto al esquema de la conexión, el significado de los terminales: NC (no conectada), L (entrada en estado bajo), H (entrada en estado alto), LSB (bit menos significativo) y MSB (bit más significativo).



E.5.5 Análisis del generador-detector de paridad

El circuito SNALS280 de la figura (5.5.1) es un generador/detector de paridad para nueve líneas de datos. Analizar las funciones lógicas para las tres vías (A, B, C), (D, E, F) y (G, H, I) y obtener la ecuación que define la paridad (terminal 5 en alta y terminal 6 en baja). Esta respuesta debe darse para 0, 2, 4, 6 u 8 líneas en alta. Probar por ejemplo para dos líneas. Inversamente, para que el terminal 6 esté en alta, el número de líneas de datos en alta deben ser, 1, 3, 5, 7 ó 9. Probar, por ejemplo, para una línea en alta.

Solución:

El esquema divide la detección de paridad en tres vías de tres bits cada una. Cada vía detecta si el número de bits en alta es par o impar. Así, $f_1 = 1$ si el número de líneas en alta entre (ABC) es par, y $f_1 = 0$ si es impar.

Del análisis del circuito se obtiene la siguiente expresión para f_1

$$\begin{aligned} f_1 &= (\overline{ABC})(\overline{AB\overline{C}})(\overline{A\overline{B}C})(\overline{A\overline{B}\overline{C}}) = (\overline{A + B + C})(\overline{A + B + C})(\overline{A + B + C})(\overline{A + B + C}) \\ &= \prod M(7,4,2,1) \text{ expresada como producto de maxterms.} \end{aligned}$$

Si la expresamos como suma de minterms obtenemos

$$f_1 = \overline{A}BC + A\overline{B}C + ABC\overline{C} + \overline{A}\overline{B}\overline{C} = \sum m(3,5,6,0)$$

Como puede observarse f_1 será par si dos de los tres bits están en alta, o si ninguno lo está. Análogamente, del análisis del circuito obtenemos las expresiones de f_2 y f_3 :

$$\begin{aligned} f_2 &= (\overline{DEF})(\overline{D\overline{E}\overline{F}})(\overline{D\overline{E}F})(\overline{D\overline{E}F}) \\ f_3 &= (\overline{GHI})(\overline{G\overline{H}\overline{I}})(\overline{G\overline{H}I})(\overline{G\overline{H}I}) \end{aligned}$$

Pasemos ahora a analizar la segunda parte del circuito. La salida (5), es decir, la salida *par* será:

$$\text{Salida (5)} = \text{par} = \overline{f_1 \overline{f_2} \overline{f_3}} + \overline{f_1 f_2 f_3} + \overline{f_1 \overline{f_2} f_3} + \overline{f_1 f_2 \overline{f_3}}$$

Análogamente para la salida (6) *impar* obtenemos:

$$\text{Salida (6)} = \text{impar} = \overline{f_1 f_2 f_3} + \overline{f_1 \overline{f_2} \overline{f_3}} + \overline{f_1 \overline{f_2} f_3} + \overline{f_1 f_2 \overline{f_3}}$$

Si analizamos estas expresiones vemos que ambas salidas son complementarias, por tanto podemos expresarlas como

$$\text{impar} = \overline{\text{par}} = \overline{f_1 \overline{f_2} \overline{f_3}} + \overline{f_1 f_2 f_3} + \overline{f_1 \overline{f_2} f_3} + \overline{f_1 f_2 \overline{f_3}}$$

Es decir, la salida es *no par*, en la salida (5) se obtiene 0, cuando las tres funciones son impares o cuando dos son pares y una impar, en otro caso será par.

Del mismo modo, la salida es par (no impar), en la salida (6) se obtiene 0, cuando las tres funciones son pares o si dos de ellas son impares y la otra par.

$$\text{par} = \overline{\text{impar}} = f_1 f_2 f_3 + f_1 \overline{f_2} \overline{f_3} + \overline{f_1} f_2 \overline{f_3} + \overline{f_1} \overline{f_2} f_3$$

Veamos ahora el resultado para dos líneas en alta. Supongamos que son la *A* y la *F*. En este caso:

$$f_1 = \overline{A}BC + A\overline{B}C + AB\overline{C} + \overline{A}\overline{B}\overline{C} = 0$$

$$f_2 = 0$$

$$f_3 = 1$$

Sustituyendo estos valores en cualquiera de las expresiones de par e impar obtenemos:

$$\text{par} = \overline{f_1 f_2 f_3} + \overline{f_1 \overline{f_2} \overline{f_3}} + \overline{f_1 \overline{f_2} f_3} + \overline{f_1 f_2 \overline{f_3}} = \overline{0+0+0+0} = 1$$

$$\text{impar} = 0$$

Si suponemos una sola línea en alta, sea por ejemplo la línea H, obtenemos:

$$f_1 = 1, \quad f_2 = 1, \quad f_3 = 0, \quad \text{par} = 0, \quad \text{impar} = 1$$

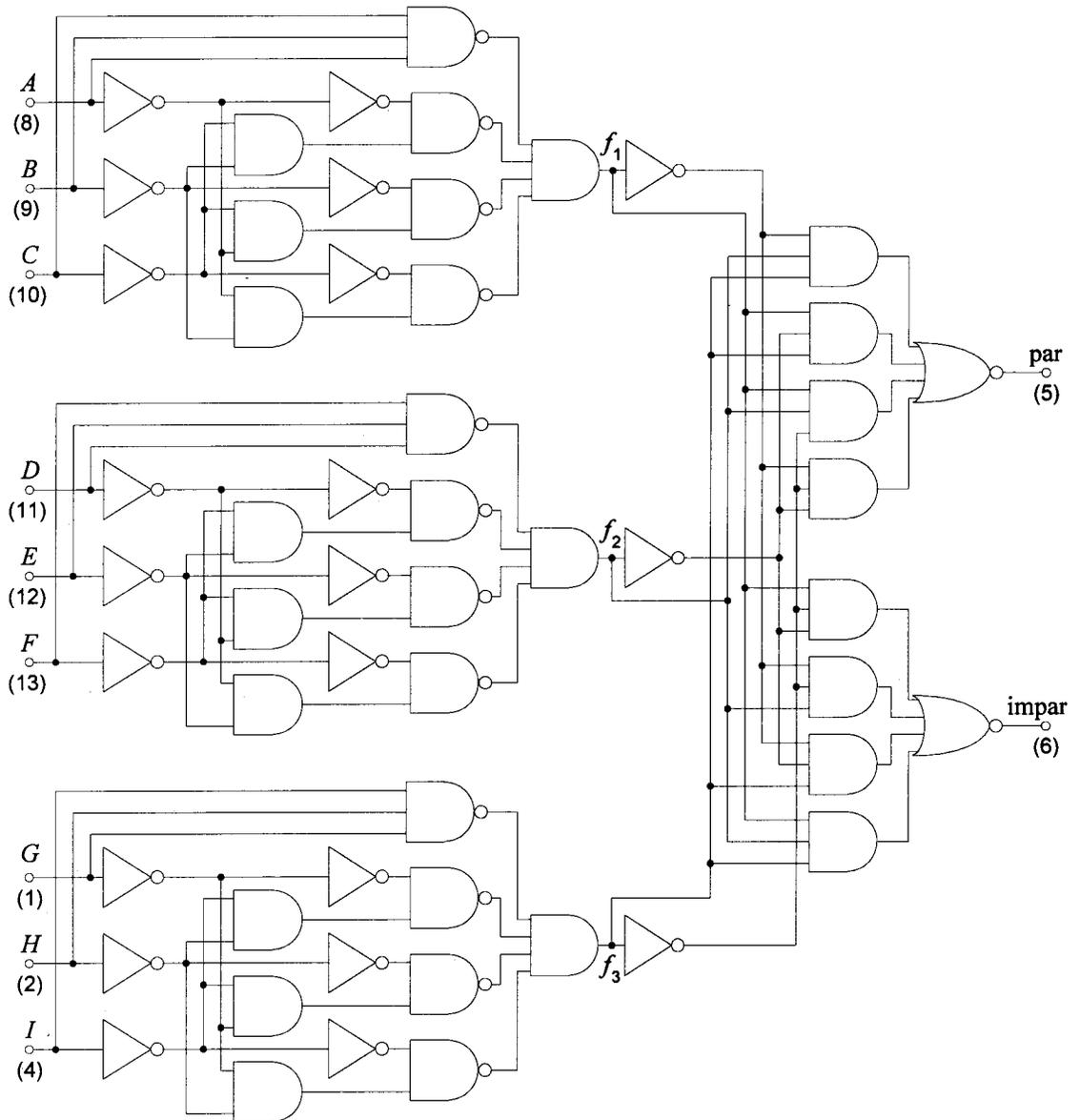


Fig. 5.5.1 Esquema lógico del circuito SNALS280 para el ejercicio E.5.5

□ □ □ □

E.5.6 Utilización de la ALU-AS181

En la figura (5.6.1) se muestra la tabla de verdad de la ALU (AS181) junto con el valor de las variables de control (S_3, S_2, S_1 y S_0) y la selección de modo.

SELECCIÓN					DATO ACTIVO EN ALTA		
S_3	S_2	S_1	S_0	Funciones Lógicas	$M=H$	Operaciones Aritméticas	
						$M=L$	
						$\bar{c}_n = H$ (sin acarreo)	$\bar{c}_n = L$ (con acarreo)
L	L	L	L	$F = \bar{A}$	$F = A$	$F = A \text{ PLUS } 1$	
L	L	L	H	$F = \overline{A+B}$	$F = A+B$	$F = (A+B) \text{ PLUS } 1$	
L	L	H	L	$F = \bar{A}B$	$F = A+\bar{B}$	$F = (A+\bar{B}) \text{ PLUS } 1$	
L	L	H	H	$F = 0$	$F = \text{MINUS } 1$ (comp. a 2)	$F = \text{ZERO}$	
L	H	L	L	$F = \bar{A}\bar{B}$	$F = A \text{ PLUS } \bar{A}\bar{B}$	$F = A \text{ PLUS } \bar{A}\bar{B} \text{ PLUS } 1$	
L	H	L	H	$F = \bar{B}$	$F = (A+B) \text{ PLUS } \bar{A}\bar{B}$	$F = (A+B) \text{ PLUS } \bar{A}\bar{B} \text{ PLUS } 1$	
L	H	H	L	$F = A \oplus B$	$F = A \text{ MINUS } B \text{ MINUS } 1$	$F = A \text{ MINUS } B$	
L	H	H	H	$F = \bar{A}\bar{B}$	$F = \bar{A}\bar{B} \text{ MINUS } 1$	$F = \bar{A}\bar{B}$	
H	L	L	L	$F = \overline{A+B}$	$F = A \text{ PLUS } AB$	$F = A \text{ PLUS } AB \text{ PLUS } 1$	
H	L	L	H	$F = \overline{A \oplus B}$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } 1$	
H	L	H	L	$F = B$	$F = (A+\bar{B}) \text{ PLUS } AB$	$F = (A+\bar{B}) \text{ PLUS } AB \text{ PLUS } 1$	
H	L	H	H	$F = AB$	$F = AB \text{ MINUS } 1$	$F = AB$	
H	H	L	L	$F = 1$	$F = A \text{ PLUS } A$	$F = A \text{ PLUS } A \text{ PLUS } 1$	
H	H	L	H	$F = A+\bar{B}$	$F = (A+B) \text{ PLUS } A$	$F = (A+B) \text{ PLUS } A \text{ PLUS } 1$	
H	H	H	L	$F = A+B$	$F = (A+\bar{B}) \text{ PLUS } A$	$F = (A+\bar{B}) \text{ PLUS } A \text{ PLUS } 1$	
H	H	H	H	$F = A$	$F = A \text{ MINUS } 1$	$F = A$	

Fig. 5.6.1 Tabla de verdad para lógica positiva de la ALU 181

Diseñar los siguientes circuitos:

A) El circuito de la siguiente figura, donde A y B son las entradas de datos y x_1 y x_2 las de control, Se dispone de tres ALU's y de cuantas puertas NOR se consideren necesarias.

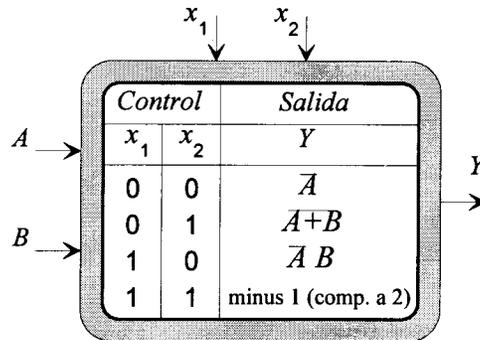


Fig. 5.6.2 Especificaciones del circuito a diseñar en el apartado a) del ejercicio E.5.6

B) Considerando ahora cuatro palabras de cuatro bits ($A_0...A_3$; $B_0...B_3$; $C_0...C_3$; $D_0...D_3$) como datos de entrada y las mismas dos variables de control, (x_1 , x_2), diseñar un circuito que realice la siguiente función:

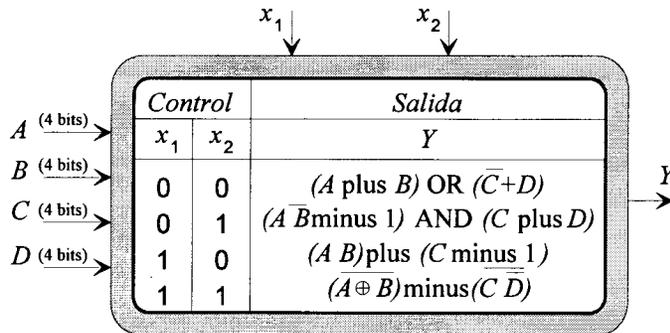


Fig. 5.6.3 Especificaciones del circuito a diseñar en el apartado b) del ejercicio E.5.6

Se dispone de tres ALU's y de cuantas puertas AND, OR e inversores se consideren necesarias.

C) Supongamos que podemos disponer de una secuencia de control en la que las dos variables, (x_1 y x_2) recorren de forma cíclica sus cuatro valores posibles (00, 01, 10, 11) (veremos más adelante que esta secuencia se consigue de forma muy sencilla mediante un contador binario), ¿qué forma de onda se obtiene a la salida (F_0 , F_1 , F_2 , F_3) del circuito de la figura (5.6.4)?

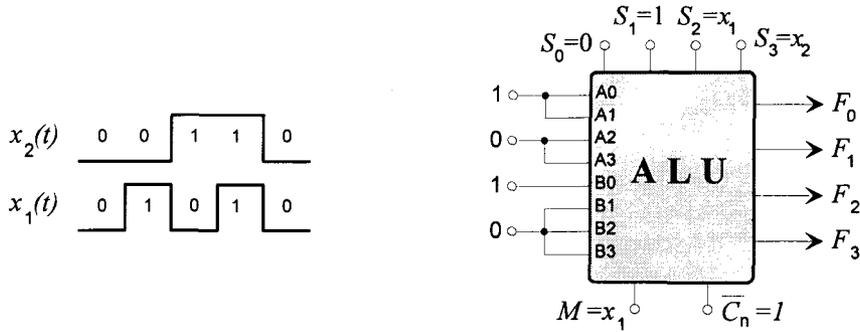


Fig. 5.6.4 Circuito y entradas a analizar en el apartado c) del ejercicio E.5.6

Solución:

A) El objetivo de este problema es ayudar al alumno a manejar la información incluida en la tabla de control de la ALU. Las unidades aritmético lógicas son los circuitos más completos de toda la lógica combinatorial no programable ya que incluyen la posibilidad de realizar todas las operaciones aritméticas con representación de números negativos y todas las operaciones lógicas. Admiten además trabajar en lógica positiva y negativa y extender fácilmente el número de bits conectando el arrastre de salida de un circuito con el de entrada del siguiente.

Para hacer más accesible el uso de la tabla se proponen problemas como este en el que sólo se piden cuatro operaciones y por consiguiente sólo se necesitan cuatro configuraciones de control generadas por dos variables lógicas, x_1 y x_2 . La solución se obtiene por simple inspección de la tabla (lógica positiva).

x_1	x_2	y
0	0	\overline{A}
0	1	$A + B$
1	0	\overline{AB}
1	1	minus 1 (comp. 2)

Fig. 5.6.5 Tabla de operaciones

Hay cuatro variables de control (S_0, S_1, S_2 y S_3) pero para realizar las cuatro operaciones seleccionadas sólo necesitamos dos (S_0 y S_1) para esas cuatro

operaciones las otras variables siempre han de estar en baja ($S_2 = S_3 = 0$, como puede verse en la tabla de verdad). Lo único que tenemos que hacer es diseñar el circuito que pasa de las variables propuestas (x_1, x_2) a las internas de la ALU (S_1, S_0).

Afortunadamente, basta con hacer $x_1 = S_1$ y $x_2 = S_0$, sólo que las tres primeras operaciones son lógicas y la cuarta es aritmética por lo que ante la configuración de control ($x_1 = 1, x_2 = 1$), deberemos conmutar la ALU del modo lógico ($M=H$) al modo aritmético ($M=L$). Además, como la operación aritmética seleccionada es sin arrastre y el terminal $\overline{c_n}$ está activo en baja, tendremos que poner $\overline{c_n} = H$.

La entrada M es también sencilla de sintetizar ya que es el NAND de las entradas de control:

x_1	x_2	M
0	0	1
0	1	1
1	0	1
1	1	0

Fig. 5.6.6 Tabla de verdad de la entrada M

Como por razones académicas el problema exige que se usen sólo puertas NOR, el circuito final queda así (Fig. 5.6.7):

$$\overline{x_1 x_2} = \overline{x_1} + \overline{x_2} = \overline{\overline{\overline{\overline{x_1} + x_2}}}$$

- B)** En este caso se necesitan tres ALU's. Una para realizar las operaciones entre A y B , otra para las operaciones entre C y D y la tercera para enlazar los resultados parciales de las otras dos. Usando la tabla de acuerdo con el esquema del apartado anterior (ver si la operación es lógica o aritmética y si el arrastre debe ponerse a 0 ó a 1, etc...), se obtiene la tabla de verdad de la figura (5.6.8). Los elementos con x en la columna $\overline{c_n}$ representan, como hasta ahora, situaciones en las que no importa el valor del arrastre. El arrastre en estos casos es pues intrascendente o irrelevante.

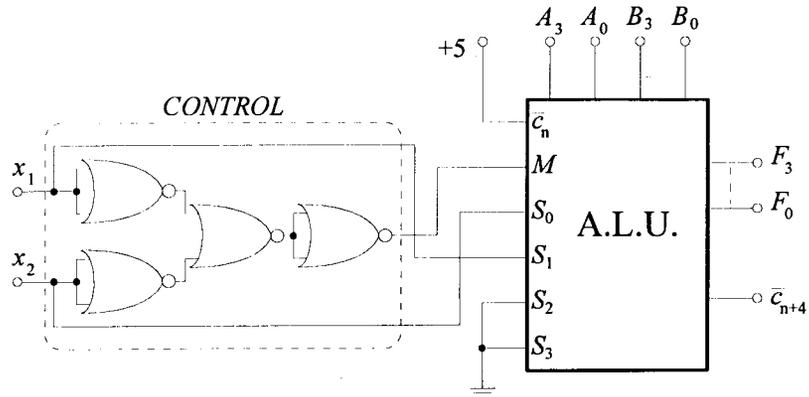


Fig. 5.6.7 Circuito con puertas NOR

ALU-1 (operaciones con A y B)

Operación	x_1	x_2	S_3	S_2	S_1	S_0	M	\bar{c}_n
A plus B	0	0	1	0	0	1	0	1
$A\bar{B}$ minus 1	0	1	0	1	1	1	0	1
AB	1	0	1	0	1	1	1	x
$\overline{A \oplus B}$	1	1	1	0	0	1	1	x

Fig. 5.6.8 Tabla de verdad de las operaciones con A y B correspondientes a la ALU-1

Por simple inspección de la tabla vemos que las funciones correspondientes a las cuatro variables de control interno de la ALU-1 son:

$$S_3 = \overline{x_1 x_2}; \quad S_2 = \overline{x_1 x_2};$$

$$S_1 = \overline{x_1} x_2 + x_1 \overline{x_2}; \quad S_0 = 1$$

De forma análoga, la selección del modo y la condición de arrastre son respectivamente:

$$M = x_1; \quad \bar{c}_n = 1$$

Veamos ahora el proceso de simplificación de la tabla general de la figura (5.6.1) para la segunda ALU (ALU-2), encargada de realizar las operaciones con las palabras C y D .

ALU-2 (operaciones con C y D):

$$S_3 = 1; \quad S_2 = x_1 \bar{x}_2; \quad S_1 = S_2 = x_1 \bar{x}_2; \quad S_0 = x_1 \oplus x_2$$

$$M = \overline{x_1 x_2} + x_1 x_2 = \overline{x_1 \oplus x_2}; \quad \bar{c}_n = 1$$

Operación	x_1	x_2	S_3	S_2	S_1	S_0	M	\bar{c}_n
$\bar{C} + D$	0	0	1	0	0	0	1	x
C plus D	0	1	1	0	0	1	0	1
C minus 1	1	0	1	1	1	1	0	1
$\overline{\bar{C}D} = \bar{C} + D$	1	1	1	0	0	0	1	x

Fig. 5.6.9 Tabla de verdad de las operaciones con C y D correspondientes a la ALU-2

Finalmente, repitiendo el proceso para la ALU-3, obtenemos la tabla de la figura (5.6.10) y de ella las ecuaciones de control.

ALU-3 (conexión ALU1-ALU2):

$$S_3 = \overline{x_1 x_2}; \quad S_2 = \overline{x_1 x_2} + x_1 x_2 = \overline{x_1 \oplus x_2}; \quad S_1 = \overline{x_1 x_2}; \quad S_0 = x_1 \oplus x_2$$

$$M = \overline{x_1}; \quad \bar{c}_n = \overline{x_2}.$$

Operación	x_1	x_2	S_3	S_2	S_1	S_0	M	\bar{c}_n
(E) OR (F)	0	0	1	1	1	0	1	x
(E) AND (F)	0	1	1	0	1	1	1	x
(E) plus (F)	1	0	1	0	0	1	0	1
(E) minus (F)	1	1	0	1	1	0	0	0

Fig. 5.6.10 Tabla de verdad de la ALU-3, encargada de la conexión de los resultados de las ALU's 1 y 2

En la síntesis de estas funciones de control vamos a usar puertas AND, OR e inversores para simplificar.

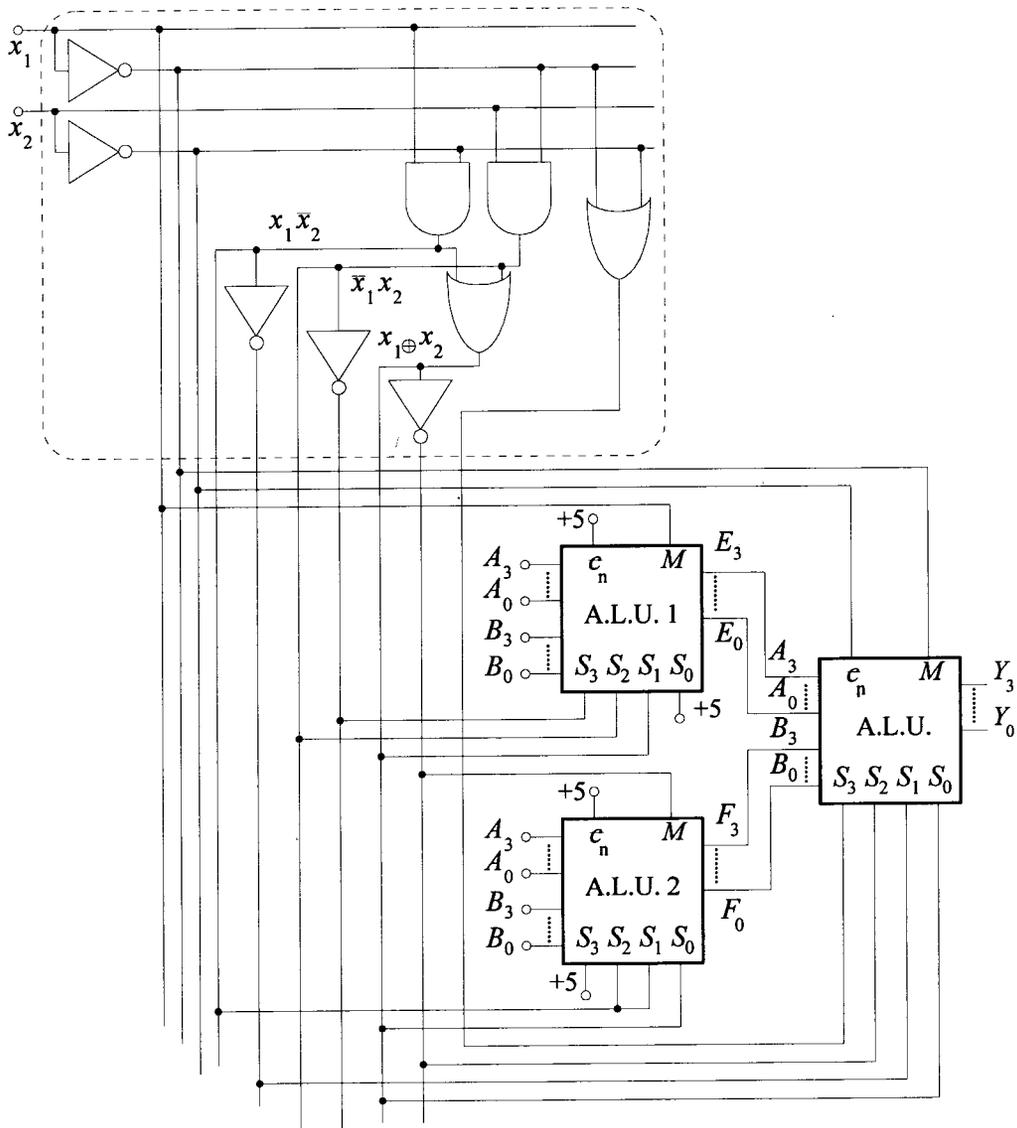


Fig. 5.6.11 Circuito completo

- C) En este caso dejamos fijas las entradas a la ALU y hacemos que las señales de control S_2 y S_3 recorran sus cuatro configuraciones posibles (00, 01, 10 y 11). Como consecuencia del cambio de configuración, cambia la función y el modo (ya que x_1 entra también en M). Esto provoca cambios en las variables de salida y nos piden que representemos la evolución temporal de esos cambios.

Para su solución vamos a mirar en la tabla general de la ALU y ver cuál es la secuencia temporal de función.

$S_3 = x_2$	$S_2 = x_1$	S_1	S_0	$M = x_1$	Función
0	0	1	0	0	$A + \bar{B}$
0	1	1	0	1	$A \oplus B$
1	0	1	0	0	$(A + \bar{B}) \text{ PLUS } AB$
1	1	1	0	1	$A + B$

Fig. 5.6.12 Tabla de verdad de la función

Es decir, primero calcula $(A + \bar{B})$, después $A \oplus B$, después $(A + \bar{B}) \text{ PLUS } AB$ y finalmente $(A + B)$. Como sabemos los valores de A y B que permanecen fijos podemos escribir la secuencia en $F_0 \dots F_3$:

Función	A_3	A_2	A_1	A_0	B_3	B_2	B_1	B_0	F_3	F_2	F_1	F_0
$A + \bar{B}$ (arit.)	0	0	1	1	0	0	0	1	0	0	0	1
$(A + \bar{B}) \text{ plus } AB$ (arit.)	0	0	1	1	0	0	0	1	0	1	0	0
$A \oplus B$ (log.)	0	0	1	1	0	0	0	1	0	0	1	0
$A + B$ (log.)	0	0	1	1	0	0	0	1	0	0	1	1

Fig. 5.6.13 Secuencia

con lo que las formas de onda generadas serán las mostradas en la figura (5.6.14).

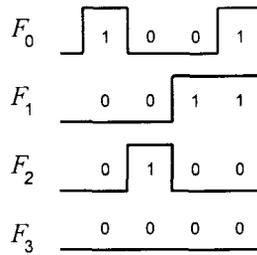


Fig. 5.6.14 Formas de onda obtenidas con la ALU cuando fijamos las entradas de datos y dos de control mientras que en el resto introducimos las señales procedentes de un contador binario de dos bits, tal y como se muestra en la figura (5.6.4).

TEMA

6

Lógica combinatorial (II): Ruta de datos

PROPÓSITO

En este capítulo estudiamos las funciones combinatoriales de ruta de datos en lógica no programable. Esencialmente los multiplexos y demultiplexos que están basados en la apertura y cierre de puertas bajo el control de términos mínimos de un conjunto de variables de control.

El objetivo de los ejercicios propuestos es ilustrar las funciones de convergencia-divergencia y su uso en la síntesis de funciones lógicas de propósito general. Conectaremos con el mundo real haciendo referencia a los circuitos convertidores de código más usados. Una etapa posterior correspondiente al uso de circuitos transmisores-receptores de canal, tipo ALS-760 queda fuera del alcance de este libro de problemas que sólo pretende hacer énfasis en los fundamentos de la Electrónica Digital.



EJERCICIOS RESUELTOS

E.6.1 Diseño de un MUX de 4 a 1 con puertas lógicas

Diseñar e implementar con puertas un MUX de 4 a 1 con puertas. Utilizarlo para realizar la función combinacional:

$$f(x_1, x_2, x_3, x_4) = \sum m(4,5,6,7,8,13,14,15)$$

Solución:

Los MUX de 4 a 1 son circuitos que realizan la función combinacional mostrada en la siguiente tabla de verdad (fig. 6.1.1).

x_1	x_2	Salida
0	0	e_0
0	1	e_1
1	0	e_2
1	1	e_3

Fig. 6.1.1 Tabla de verdad de un multiplexor de 4 a 1

Por tanto, el circuito correspondiente será el mostrado en la figura (6.1.2).

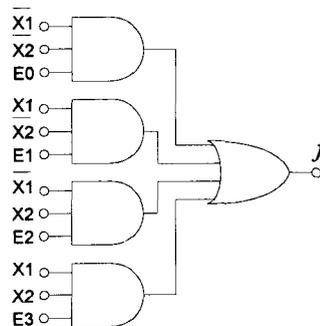


Fig. 6.1.2 Multiplexor de 4 a 1 con lógica de dos niveles. (Puertas AND y OR)

Para realizar una función lógica cualquiera mediante MUX en primer lugar se eligen las variables de control. Cuando estas pueden tomarse arbitrariamente es útil hacer uso de un mapa de Karnaugh para *visualizar* la contribución de minterms. Así, en este caso, para $f(x_1, x_2, x_3, x_4)$ obtenemos el diagrama de la figura (6.1.3).

		$x_3 x_4$			
$x_1 x_2$		00	01	11	10
00					
		0	1	3	2
01		1	1	1	1
		4	5	7	6
11			1	1	1
		12	13	15	14
10		1			
		8	9	11	10

Fig. 6.1.3 Diagrama de Karnaugh correspondiente a la función propuesta

Si se toman x_1 y x_2 como variables de control se observa que para 00 $f=0$, y $f=1$ para 01. Para 10 contribuye el término $\overline{x_3} \overline{x_4}$ y para 11 el complementario $\overline{\overline{x_3} \overline{x_4}}$. Así, se obtiene la siguiente tabla:

x_1	x_2	f
0	0	0
0	1	1
1	0	$\overline{x_3} \overline{x_4}$
1	1	$\overline{\overline{x_3} \overline{x_4}}$

Fig. 6.1.4

Por lo tanto el circuito resultante es el representado en la figura (6.1.5 a). Si eliminamos la negación de las entradas, podemos emplear todas las variables de forma directa. De esta forma obtenemos el circuito de la figura (6.1.5 b).

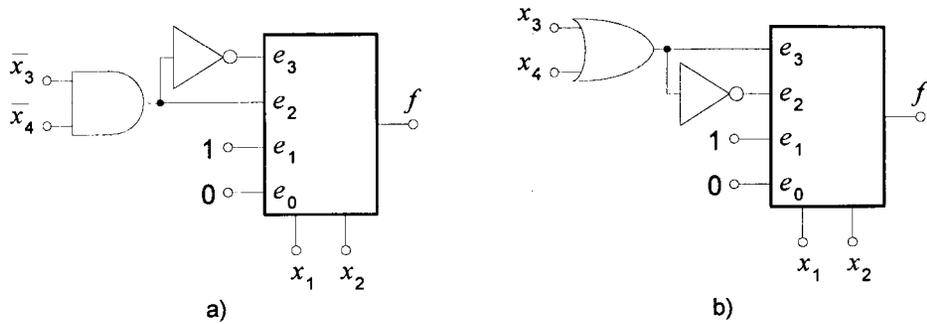


Fig. 6.1.5 Primera solución a la implementación de la función combinacional

Debe observarse que no se realiza minimización alguna para las cuatro variables, sino que el mapa de Karnaugh se utiliza para ver las contribuciones de x_3 y x_4 una vez fijados x_1 y x_2 .

En el mismo mapa de Karnaugh pueden observarse las contribuciones de x_1 y x_2 cuando usamos x_3 y x_4 como variables de control. Así, para 01, 10, y 11 son iguales, y la entrada es x_2 . Para 00, la entrada es $\bar{x}_1 x_2 + x_1 \bar{x}_2 = x_1 \oplus x_2$. Entonces el circuito es el que se muestra en la figura (6.1.6).

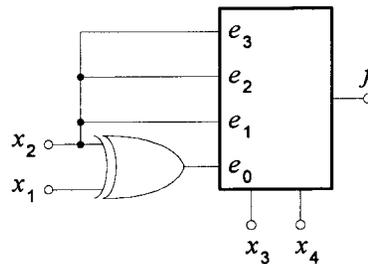


Fig. 6.1.6 Segunda solución a la implementación de la función combinacional

□ □ □ □

E.6.2 Diseño en dos niveles mediante MUX

Diseñar en dos niveles usando MUX de 4 entradas a una salida las siguientes funciones lógicas:

$$f_1 = \bar{x}\bar{y} + u\bar{v}xy\bar{z} + \bar{w}(x + y + z)$$

$$f_2(x, y, z, u, v) = x\bar{y}z\bar{u}v + \bar{x}y\bar{z}u\bar{v} + x\bar{z}(u + v)$$

Solución:

- A) Al disponer de MUX de cuatro entradas es necesario realizar el circuito en dos niveles.

Paso primero: Para sintetizar el segundo nivel hemos de elegir dos señales de control. Sean estas u, v (podríamos haber elegido otras dos cualesquiera). Como hay un término $\bar{x}\bar{y}$ en el que no figuran las variables de control elegidas (u, v) hemos de expandirlo para que aparezcan los términos mínimos de dichas variables de control. Así, expandiendo en términos mínimos tenemos:

$$\begin{aligned} f_1 &= \bar{x}\bar{y}(u + \bar{u})(v + \bar{v}) + u\bar{v}xy\bar{z} + \bar{w}(x + y + z) = \\ &= \bar{x}\bar{y}u\bar{v} + \bar{x}\bar{y}\bar{u}v + \bar{x}\bar{y}uv + \bar{x}\bar{y}\bar{u}\bar{v} + xy\bar{z}u\bar{v} + \bar{w}(x + y + z) = \\ &= \bar{u}\bar{v}(\bar{x}\bar{y}) + \bar{u}v(\bar{x}\bar{y} + x + y + z) + u\bar{v}(\bar{x}\bar{y} + xy\bar{z}) + uv(\bar{x}\bar{y}) = \\ &= \bar{u}\bar{v}D_0 + \bar{u}vD_1 + u\bar{v}D_2 + uvD_3 \end{aligned}$$

Paso segundo: Vamos ahora a sintetizar las D_i y así obtener los MUX del primer nivel. De las tres variables que tenemos (x, y, z), dos las usamos para el control y la tercera será la entrada. Usamos como variables de control x e y (aunque podríamos haber elegido otra pareja), y como variable de entrada z .

$$D_0 = \bar{x}\bar{y} = \bar{x}\bar{y}(1) + \bar{x}\bar{y}(0) + x\bar{y}(0) + xy(0) \Rightarrow \text{MUX } 0.$$

$$D_1 = \bar{x}\bar{y} + x + y + z = \bar{x}\bar{y} + \bar{x}\bar{y} + \bar{x}y + xy + z = (1 + z) = 1 \Rightarrow \text{MUX innecesario.}$$

$$D_2 = \bar{x}\bar{y} + xy\bar{z} = \bar{x}\bar{y}(1) + \bar{x}\bar{y}(0) + x\bar{y}(0) + xy(\bar{z}) \Rightarrow \text{MUX } 1.$$

$$D_3 = \bar{x}\bar{y} = D_0 \Rightarrow \text{MUX no necesario puesto que coincide con el MUX } 0.$$

donde para D_1 se ha hecho uso de:

$$x + y = x(y + \bar{y}) + y(x + \bar{x}) = xy + x\bar{y} + \bar{x}y$$

expresión que se usará en repetidas ocasiones a lo largo de este capítulo.

El circuito queda de la forma de la figura (6.2.1):

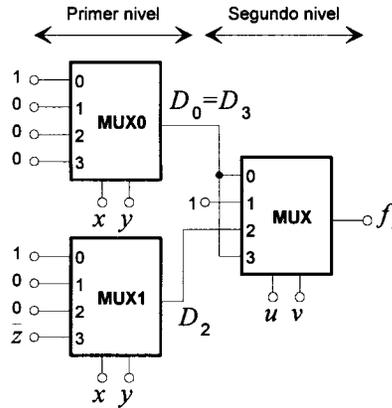


Fig. 6.2.1 Implementación con MUX de f_1

Las soluciones de este tipo de problemas no son únicas, pues por la propia forma de resolverlo vemos que va a depender de la elección de las variables de control en los distintos niveles y de las variables de entrada. Así, podríamos haber elegido como variables de control del segundo nivel x e y , del primer nivel z y u , y como variable de entrada la v . El circuito resultante sería distinto pero realizaría la misma función f_1 .

Pasamos ahora a realizar lo mismo con la función f_2 .

B) En este caso la función a sintetizar es:

$$f_2(x, y, z, u, v) = x\bar{y}z\bar{u}\bar{v} + \bar{x}y\bar{z}u\bar{v} + xz(u + v)$$

Elegimos x y z como variables de control del segundo nivel, u e y del primer nivel y v como variable de entrada.

Paso primero: Sacando factor común los términos mínimos de xz obtenemos para el segundo nivel:

$$f_2 = xz(\bar{y}\bar{u}\bar{v}) + \bar{x}\bar{z}(yu\bar{v}) + x\bar{z}(u+v) = xzD_3 + \bar{x}\bar{z}D_0 + x\bar{z}D_2$$

Paso segundo: Los MUX para el primer nivel serán:

$$\begin{aligned} D_3 &= \bar{y}\bar{u}\bar{v} = \bar{y}\bar{u} + \bar{y}\bar{v} = \bar{y}\bar{u} + \bar{y}u\bar{v} + \bar{y}\bar{u}\bar{v} = \bar{y}\bar{u}(1+\bar{v}) + \bar{y}u\bar{v} = \bar{y}\bar{u} + \bar{y}u\bar{v} \\ &= \bar{u}\bar{y}(1) + \bar{u}y(0) + u\bar{y}(\bar{v}) + uy(0) \Rightarrow \text{MUX 2} \end{aligned}$$

$$\begin{aligned} D_2 &= u+v = yu + yv + \bar{y}u + \bar{y}v = yu + y\bar{u}v + \bar{y}u + \bar{y}\bar{u}\bar{v} \\ &= \bar{u}\bar{y}(v) + \bar{u}y(v) + u\bar{y}(1) + uy(1) \Rightarrow \text{MUX 1} \end{aligned}$$

$$D_0 = yu\bar{v} = \bar{u}\bar{y}(0) + \bar{u}y(0) + u\bar{y}(0) + uy(\bar{v}) \Rightarrow \text{MUX 0.}$$

Obteniéndose el siguiente circuito (fig. 6.2.2):

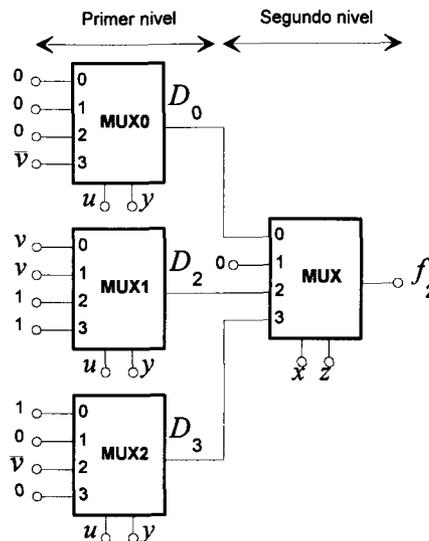


Fig. 6.2.2 Implementación con MUX de f_2

□ □ □ □

E.6.3 Análisis de un circuito realizado con MUX

Analizar el circuito de la figura (6.3.1) obteniendo los términos mínimos que constituyen las funciones f_3 y f_4 .

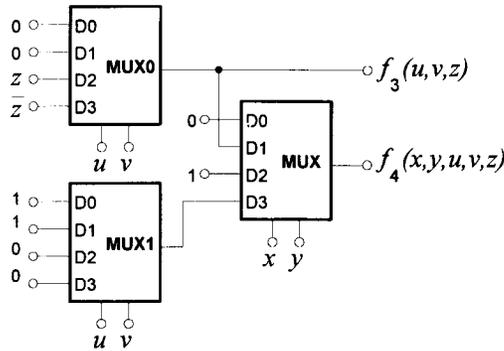


Fig. 6.3.1 Circuito a analizar

Solución:

El análisis es inmediato: $f_3 = uv\bar{z} + uvz = u(\bar{v}z + v\bar{z}) = u(v \oplus z)$

La salida del segundo MUX del primer nivel es $f' = \bar{u}\bar{v} + \bar{u}v = \bar{u}$ y entonces:

$$f_4 = \bar{x}yu(v \oplus z) + x\bar{y} + xy\bar{u}$$

Por tanto, el esquema propuesto en el enunciado se puede reducir, ya que uno de los MUX, el MUX 1, es innecesario puesto que produce la salida \bar{u} , y se obtiene directamente de un inversor a partir de la u que es señal de control. Se obtiene así el siguiente circuito mínimo equivalente (fig. 6.3.2).

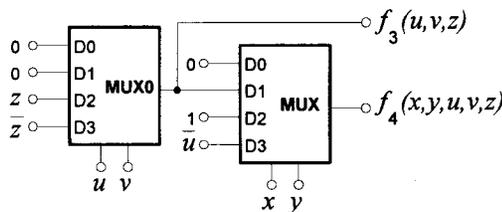


Fig. 6.3.2 Circuito mínimo equivalente



E.6.4 Diseño de circuitos decodificadores mediante MUX y DEMUX

Existen diversas codificaciones como el **exceso-3** (obtenido sumando 3 a cada uno de los valores correspondientes) y el código **Gray**, en el que los números adyacentes sólo difieren en el valor que toma uno de sus bits. La tabla adjunta muestra la representación de los dígitos decimales en cada uno de estos tres códigos binarios.

Diseñar los circuitos que realizan las siguientes transformaciones:

- (a) Paso de exceso-3 a Decimal.
- (b) Paso de Gray a Decimal.
- (c) Paso de exceso-3 a Gray.
- (d) Paso de Decimal a BCD (8421).
- (e) Paso de Decimal a Gray.

En el diseño deberán cumplirse las siguientes limitaciones:

Nota: Usar sólo MUX, DEMUX y alguna puerta auxiliar, siempre que sea necesario.

Dígito Decimal d	BCD (8421) $ABCD$	BCD Exceso - 3 $x_3x_2x_1x_0$	Gray $G_3G_2G_1G_0$
0	0000	0011	0000
1	0001	0100	0001
2	0010	0101	0011
3	0011	0110	0010
4	0100	0111	0110
5	0101	1000	0111
6	0110	1001	0101
7	0111	1010	0100
8	1000	1011	1100
9	1001	1100	1101

Fig. 6.4.1 Tabla que recoge las codificaciones BCD, Exceso a 3 y Gray

Solución:

- A) Paso de exceso-3 a Decimal.

La realización más sencilla es mediante un DEMUX de 1 a 16 utilizado como decodificador. Así la entrada se mantiene a 1, y la salida en alta será la elegida mediante las variables de control.

Si observamos las columnas correspondientes a Decimal y BCD (exceso-3) de la tabla vemos que 0 en decimal es 0011 en exceso-3, por tanto cuando las variables de control presenten la configuración $\overline{x_3}\overline{x_2}x_1x_0$, aparecerá un 1 en la salida correspondiente del DEMUX, es decir en S_3 . Esta salida deberá ser la que corresponda al 0 en decimal (d_0). Para 1 en decimal tenemos 0100 en exceso-3 por lo que la configuración de las variables de control en este caso es $\overline{x_3}x_2\overline{x_1}\overline{x_0}$ que seleccionan a S_4 . Por tanto S_4 corresponde a 1 en decimal, d_1 .

De forma análoga se obtienen todas las salidas del DEMUX aunque como vemos este es un caso sencillo, pues la configuración de los números en exceso-3 es correlativa y existe una diferencia entre el número en exceso-3 (codificado en decimal) y el correspondiente en decimal de 3 (0011 (3) → 0, 0100 (4) → 1, ..., 1100 (12) → 9). Además, en exceso-3 no existen los números 0000, 0001 y 0010, por lo que las salidas S_0 , S_1 y S_2 correspondientes a estas configuraciones de las variables de control no se usarán. Así, el circuito resultante es el mostrado en la figura (6.4.2).

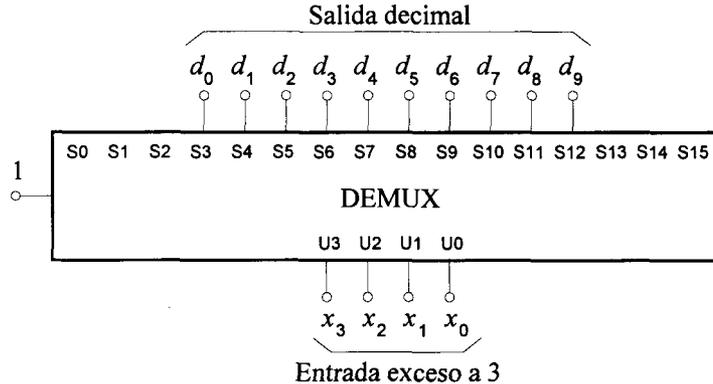


Fig. 6.4.2 Decodificador de exceso a 3 a decimal

B) Gray a Decimal.

De forma análoga al caso anterior usaremos un DEMUX de 1 a 16 como decodificador en el que mantenemos la entrada a 1 y elegimos la salida adecuada (número decimal) mediante las distintas configuraciones de las variables de control (entrada del número en Gray). Para ello construimos la tabla de la figura (6.4.3),

donde se ve que las salidas se pueden obtener de la misma forma sencilla que se empleó en el apartado anterior con la única diferencia de que ahora algunas líneas deben ir cruzadas ya que la correspondencia no es correlativa. De esta forma obtenemos el circuito resultante de la figura (6.4.4).

Decimal	Gray				Salidas del DEMUX, S_i	Salidas en decimal, d_i
	x_3	x_2	x_1	x_0		
0	0	0	0	0	S_0	d_0
1	0	0	0	1	S_1	d_1
2	0	0	1	1	S_3	d_2
3	0	0	1	0	S_2	d_3
4	0	1	1	0	S_6	d_4
5	0	1	1	1	S_7	d_5
6	0	1	0	1	S_5	d_6
7	0	1	0	0	S_4	d_7
8	1	1	0	0	S_{12}	d_8
9	1	1	0	1	S_{13}	d_9

Fig. 6.4.3 Tabla que muestra las salidas necesarias para obtener código decimal a partir de datos en código Gray

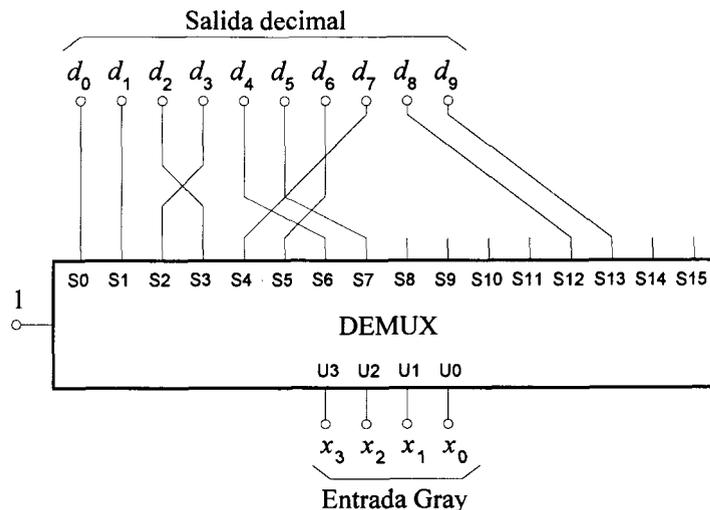


Fig. 6.4.4 Decodificador Gray a decimal

C) Exceso a 3 a Gray.

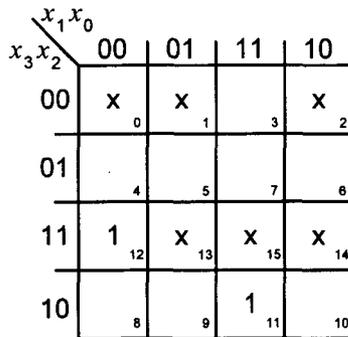
En este caso se deben calcular los cuatro dígitos del código Gray, G_3, G_2, G_1, G_0 . Para ello se sintetiza cada una de ellos mediante un MUX de cuatro a uno en el que dos dígitos del código de exceso a tres son las variables de control (por ejemplo x_3 y x_2) y los otros dos dígitos son las entradas (x_1 y x_0).

Para obtener las salidas en código Gray (G_3, G_2, G_1 y G_0) vamos a usar los mapas de Karnaugh en vez de obtenerlos directamente de la tabla de verdad. Esto nos va a permitir optimizar el diseño, usando los minterms que son irrelevantes para minimizar, respecto a las variables x_1 y x_0 , que son las consideradas como variables de entrada. Hay que tener en cuenta que con 4 bits podemos formar 16 valores distintos, pero sin embargo los códigos que estamos tratando sólo contemplan 10 posibles valores, por lo que el resto podemos emplearlos para minimizar pues son irrelevantes.

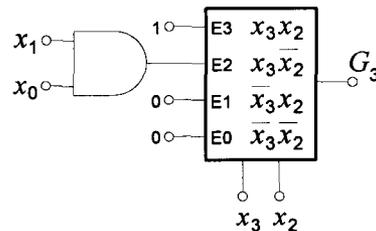
En la figura (6.4.5 a) se muestra el diagrama de Karnaugh correspondiente a la generación del dígito Gray G_3 . De esta figura se obtiene:

$$G_3 = x_3x_2 + x_3\bar{x}_2x_1x_0$$

En la parte b) de la misma figura se muestra el circuito que se obtiene a partir del diagrama de Karnaugh, implementado con un MUX de 4 a 1 en el que hemos escogido como variables de control x_3 y x_2 .



a)



b)

Fig. 6.4.5 Obtención de la función que implementa G_3

En las figuras (6.4.6), (6.4.7) y (6.4.8) se hace lo mismo con G_2 , G_1 y G_0 . Obsérvese como usamos ahora el diagrama de Karnaugh de forma ligeramente distinta ya que ahora no nos interesa obtener la función mínima sino expresarla con los minterms agrupados por filas o por columnas. Es decir, ahora lo que pretendemos es representar la función mediante cuatro sumandos, en el que cada uno contenga los términos mínimos de las dos variables de control. En nuestro caso:

$$G_3 = \bar{x}_3\bar{x}_2D_0 + \bar{x}_3x_2D_1 + x_3\bar{x}_2D_2 + x_3x_2D_3$$

así que habrá que agrupar los términos mínimos por filas. Si se hubieran elegido como variables de control de los MUX x_1 y x_2 habría que agruparlos por columnas.

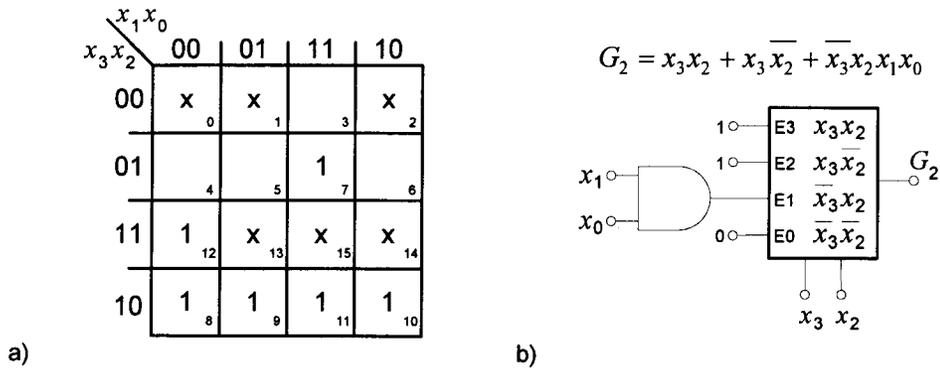


Fig. 6.4.6 Obtención de la función que implementa G_2

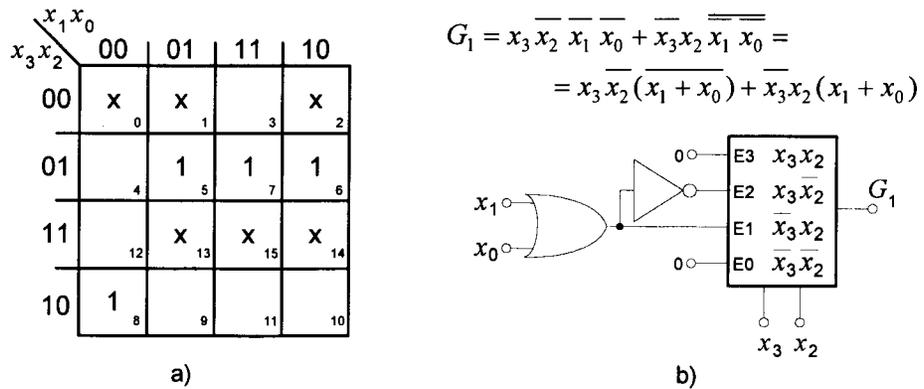


Fig. 6.4.7 Obtención de la función que implementa G_1

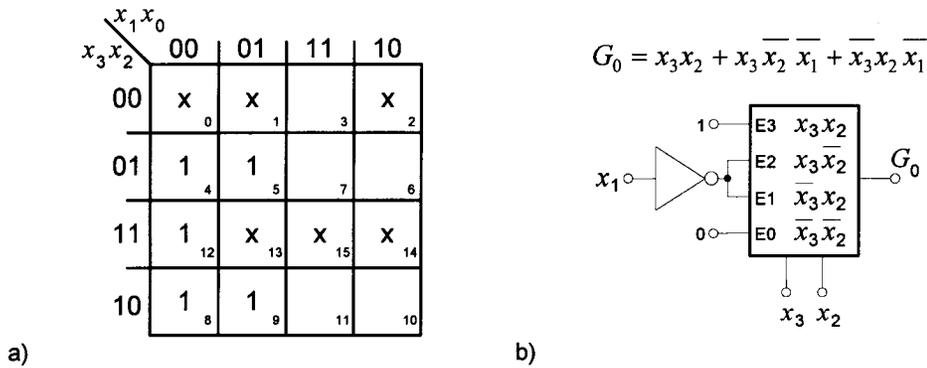


Fig. 6.4.8 Obtención de la función que implementa G_0

Si unimos los circuitos mostrados en las figuras anteriores, podemos obtener el circuito decodificador de exceso-3 a Gray completo (fig. 6.4.9)

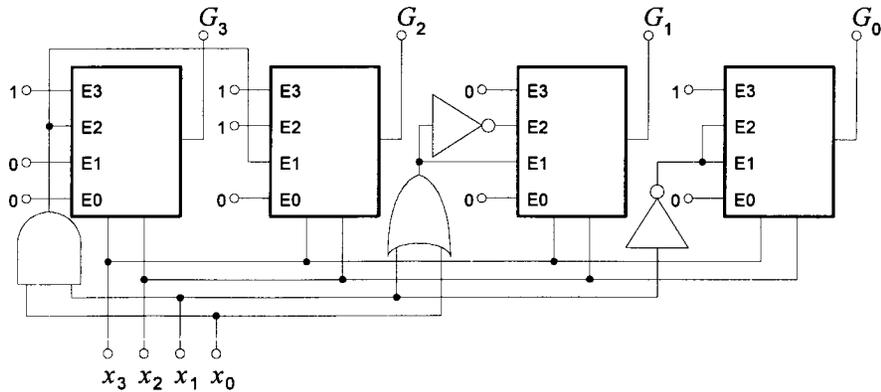


Fig. 6.4.9 Decodificador de exceso-3 a Gray

D) Decimal a BCD.

Nuestro problema ahora consiste en pasar de las diez señales de entrada del código decimal a las cuatro de salida correspondientes al mismo número en BCD. Para ello vamos a partir de la tabla de verdad y a usar el método convencional de síntesis. Sean A, B, C y D los bits de la palabra en BCD (A el más significativo y D el menos), y d_0, d_1, \dots, d_9 los dígitos en decimal, es decir, si $d_1 = 1$ y todos los demás d_i son cero la salida deberá ser $A=B=C=0$ y $D=1$ y así sucesivamente. Siguiendo la tabla se obtiene:

$$A = d_8 + d_9$$

$$B = d_4 + d_5 + d_6 + d_7$$

$$C = d_2 + d_3 + d_6 + d_7$$

$$D = d_1 + d_3 + d_5 + d_7 + d_9$$

A partir de estas expresiones la síntesis es inmediata si usamos sólo puertas, por ejemplo con puertas OR y NAND. Sin embargo, por razones pedagógicas hemos de realizarla con MUX. Para ello vamos a usar MUX de 4 a 1 que controlamos con dos variables. Así, la síntesis de A es:

$$A = d_8 + d_9 = \overline{\overline{d_8}} \overline{\overline{d_9}} = d_8 d_9 + d_8 \overline{d_9} + \overline{d_8} d_9$$

La implementación de esta función se muestra en la figura (6.4.10 a).

Síntesis de B : $B = d_4 + d_5 + d_6 + d_7$.

En este caso como B depende de cuatro variables tenemos dos posibilidades: usar las cuatro variables de control utilizando dos MUX con un diseño a dos niveles o usar un MUX de 8 a 1 con tres variables de control y una de entrada. Hacemos la primera. Así tendremos:

$$\begin{aligned} B &= d_4 + d_5 + d_6 + d_7 = d_4 + d_5 + d_6 + d_7(d_4 + d_5 + \overline{d_4} + \overline{d_5}) = \\ &= d_4 + d_5 + (d_6 + d_7)(d_4 + d_5) + (d_6 + d_7)(\overline{d_4} \overline{d_5}) = \\ &= (d_4 + d_5) \underbrace{(1 + d_6 + d_7)}_1 + \overline{d_4} \overline{d_5} (d_6 + d_7) = d_4 + d_5 + \overline{d_4} \overline{d_5} (d_6 + d_7) = \\ &= \overline{\overline{d_4} \overline{d_5}} + \overline{d_4} \overline{d_5} (d_6 + d_7) = d_4 \overline{d_5} + \overline{d_4} d_5 + d_4 d_5 + \overline{d_4} \overline{d_5} \underbrace{(d_6 + d_7)}_{D_6} \end{aligned}$$

donde:

$$D_6 = d_6 + d_7 = \overline{\overline{d_6} \overline{d_7}} = d_6 d_7 + \overline{d_6} d_7 + d_6 \overline{d_7}$$

El circuito será el mostrado en la figura (6.4.10 b)

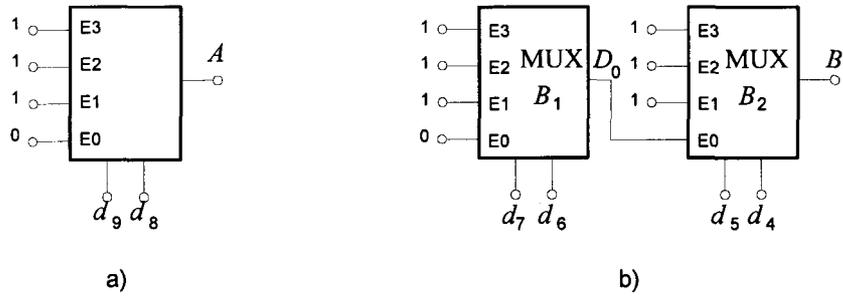


Fig. 6.4.10 a) Circuito que sintetiza el dígito A. b) Ídem del dígito B

Síntesis de C:

Procediendo de la misma forma que para el dígito B obtenemos:

$$C = d_2 + d_3 + d_6 + d_7 = \overline{\overline{d_2}} \overline{\overline{d_3}} + \overline{d_2} \overline{d_3} (d_6 + d_7)$$

El MUX B₁ del diseño anterior lo podemos usar para la síntesis de C ya que la función D₀ es la misma, con lo que obtenemos el circuito de la figura (6.4.11 a).

Síntesis de D: $D = d_1 + d_3 + d_5 + d_7 + d_9$.

Si usamos d₉ como variable de entrada y las restantes de control resulta:

$$D = \overline{\overline{d_1}} \overline{\overline{d_3}} + \overline{d_1} \overline{d_3} (d_5 + d_7 + d_9)$$

$$D'_0 = d_5 + d_7 + d_9 = \overline{\overline{d_5}} \overline{\overline{d_7}} + \overline{d_5} \overline{d_7} d_9$$

Con lo que obtenemos el circuito de la figura (6.4.11 b).

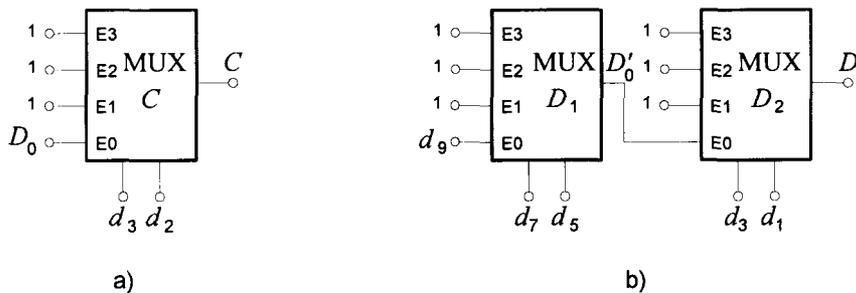


Fig. 6.4.11 a) Circuito que sintetiza el dígito C. b) Ídem del dígito D

Si unimos todos los circuitos de las figuras (6.4.10) y (6.4.11) obtendremos el decodificador completo que se muestra en la figura (6.4.12).

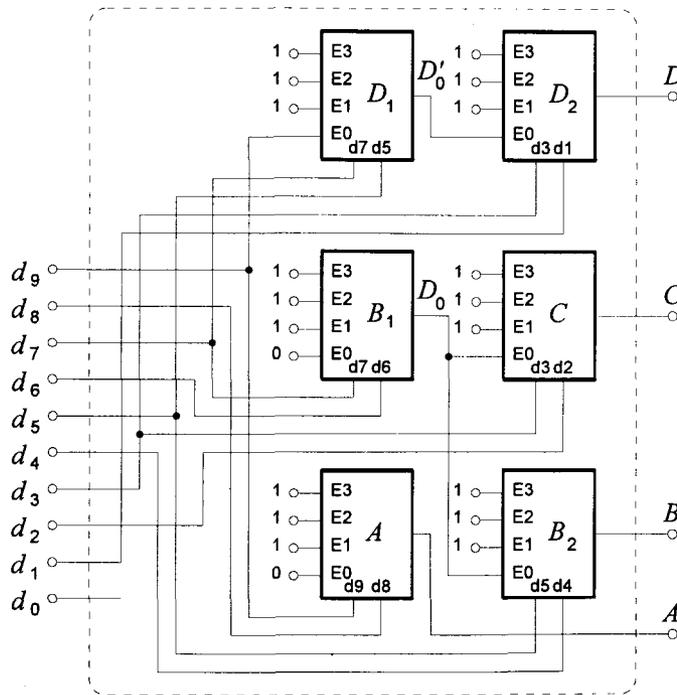


Fig. 6.4.12 Decodificador decimal a BCD (8421)

E) Decimal a Gray.

Como en los casos anteriores de la tabla de verdad obtenemos:

$$A = d_8 + d_9$$

$$B = d_4 + d_5 + d_6 + d_7 + d_8 + d_9$$

$$C = d_2 + d_3 + d_4 + d_5$$

$$D = d_1 + d_2 + d_5 + d_6 + d_9$$

De estas expresiones se puede ver que A es idéntica al caso anterior, por lo que no requiere más comentario. Por otro lado, C y D tienen el mismo número de variables que en el apartado anterior pero cambiando los dígitos decimales implicados, por lo

que tendremos el mismo circuito pero cambiando los subíndices. Queda únicamente la implementación del dígito B .

El dígito B lo podemos manipular de la siguiente forma (tal y como se ha hecho en casos anteriores):

$$B = d_4 + d_5 + d_6 + d_7 + d_8 + d_9 = \overline{\overline{d_4 d_5}} + \overline{d_4} \overline{d_5} (d_6 + d_7 + d_8 + d_9)$$

$$B = \overline{\overline{d_4 d_5}} + \overline{d_4} \overline{d_5} B'$$

$$B' = d_6 + d_7 + d_8 + d_9 = \overline{\overline{d_6 d_7}} + \overline{d_6} \overline{d_7} (d_8 + d_9)$$

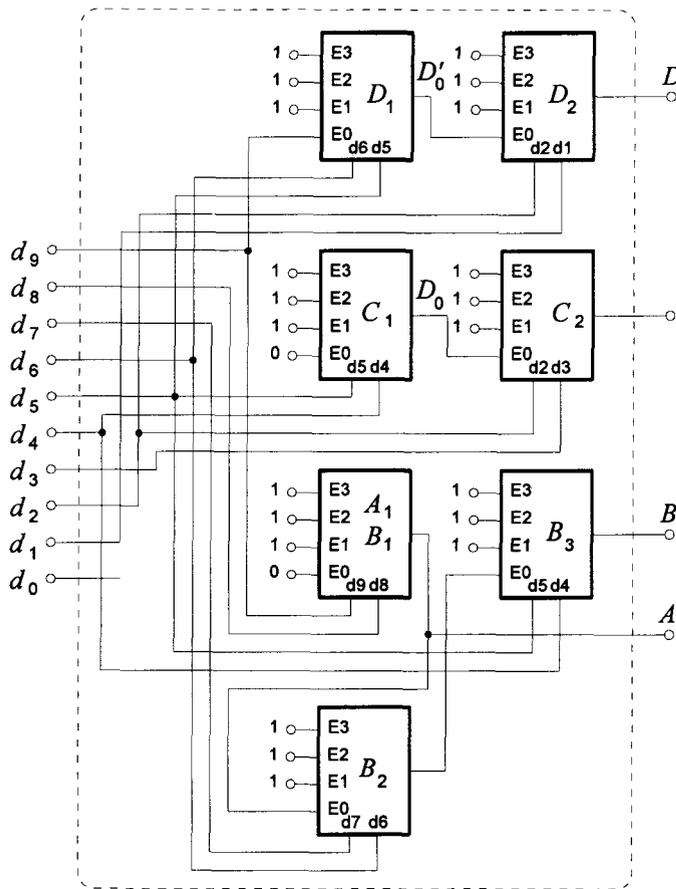


Fig. 6.4.13 Decodificador de decimal a Gray

Con esto ya podemos obtener B mediante una implementación con MUX en tres niveles, teniendo en cuenta que el primer nivel, que será el encargado de calcular $(d_8 + d_9)$, ya lo tenemos pues coincide con el necesario para obtener A .

Con todo esto ya podemos obtener el circuito que se muestra en la figura (6.4.13) y que representa el circuito decodificador de decimal a Gray.

□ □ □ □

E.6.5 Diseño del circuito conversor de BCD a siete segmentos

a) Desarrollar los cálculos correspondientes a los segmentos para la conversión BCD a 7 segmentos usando demultiplexores de 3 a 8.

b) Desarrollar los circuitos mínimos de los segmentos "a" y "g" usando puertas lógicas.

La tabla de verdad que recoge la conversión de BCD a 7 segmentos se muestra en la figura (6.5.1) donde D representa el bit más significativo y A el que menos.

	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1
10	1	0	1	0	0	0	0	1	1	0	1
11	1	0	1	1	0	0	1	1	0	0	1
12	1	1	0	0	0	1	0	0	0	1	1
13	1	1	0	1	1	0	0	1	0	1	1
14	1	1	1	0	0	0	0	1	1	1	1
15	1	1	1	1	0	0	0	0	0	0	0

Fig. 6.5.1 Tabla de conversión para la conversión de BCD a 7 segmentos

Solución:

Para diseñar un codificador BCD a siete segmentos hemos de pasar de la representación del número en BCD (DCBA) a la activación de los segmentos (*a*, *b*,..., *g*) con los que se va a visualizar el dígito decimal correspondiente, tal y como se muestra en la figura (6.5.2).

En la tabla de verdad del enunciado, se observan los valores que deben tener las señales de los segmentos para cada configuración de entrada, con lo que el problema se resuelve sencillamente sintetizando las funciones combinacionales correspondientes.

$$"a" = \sum(0, 2, 3, 5, 7, 8, 9, 13)$$

$$"b" = \sum(0, 1, 2, 3, 4, 7, 8, 9, 12)$$

$$"c" = \sum(0, 1, 3, 4, 5, 6, 7, 8, 9, 11)$$

$$"d" = \sum(0, 2, 3, 5, 6, 8, 10, 11, 13, 14)$$

$$"e" = \sum(0, 2, 6, 8, 10, 14)$$

$$"f" = \sum(0, 4, 5, 6, 8, 9, 12, 13, 14)$$

$$"g" = \sum(2, 3, 4, 5, 6, 8, 9, 10, 11, 12, 13, 14)$$

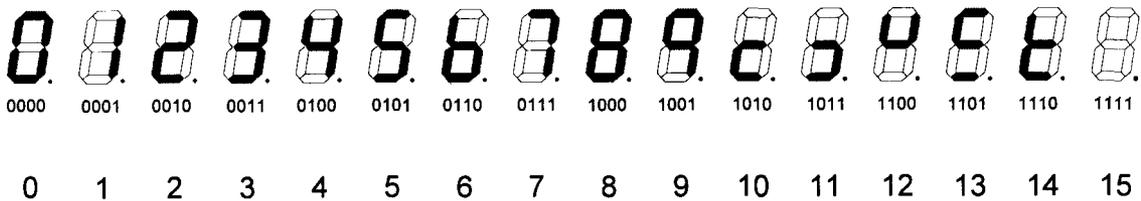
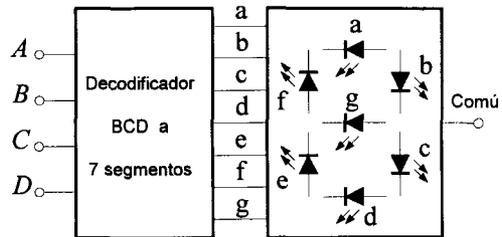


Fig. 6.5.2 Representación de números en BCD en un visualizador de 7 segmentos

A) Utilizando DEMUX de 3 a 8.

Como se tienen cuatro variables de entrada (A, B, C, D), se utilizarán dos DEMUX de 3 a 8 con D como selector de circuito y C, B y A como entradas. Para cada segmento se sumarán las salidas del DEMUX que contribuyen a que la variable asociada a dicho segmento esté en alta. Así por ejemplo, el segmento "a" contribuye a formar los números 0, 2, 3, 5, 7, 8, 9 y 13, el "b" contribuye a los números 0, 1, 2, 3, 4, 7, 8, 9 y 12 y así sucesivamente. De esta forma, podemos obtener la expresión de todos los segmentos (fig. 6.5.2).

Ahora ya podemos obtener el circuito del decodificador (fig. 6.5.3).

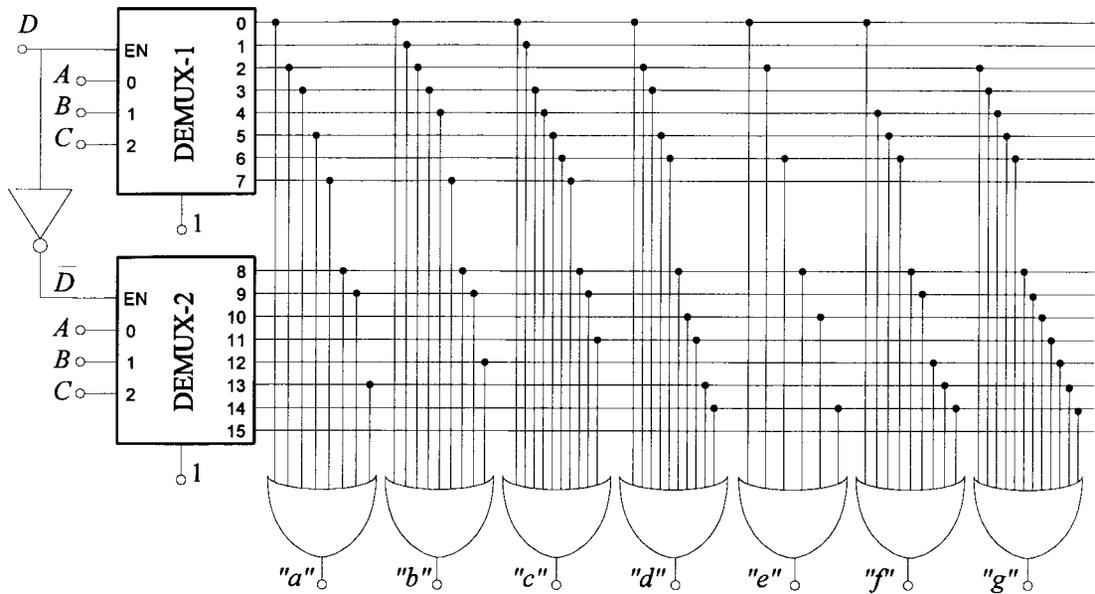


Fig. 6.5.3 Circuito conversor de BCD a 7 segmentos usando MUX

B) Utilizando sólo puertas.

Segmento "a":

$$"a" = f(D, C, B, A) = \sum m(0, 2, 3, 5, 7, 8, 9, 13)$$

Minimizando con ayuda del diagrama de Karnaugh de la figura (6.5.4 a) obtenemos la siguiente expresión mínima:

$$"a" = \overline{D}\overline{C}B + \overline{D}CA + \overline{B}AD + \overline{C}\overline{B}\overline{A}$$

El circuito correspondiente se muestra en la figura (6.5.4 b).

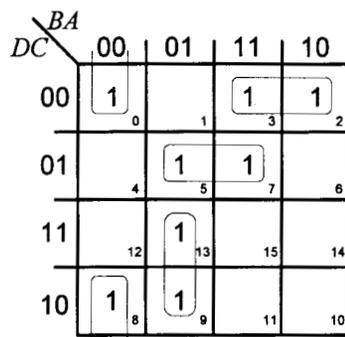
Segmento "g":

$$"g" = f(D, C, B, A) = \sum m(2, 3, 4, 5, 6, 8, 9, 10, 11, 12, 13, 14) = \prod M(0, 1, 7, 15)$$

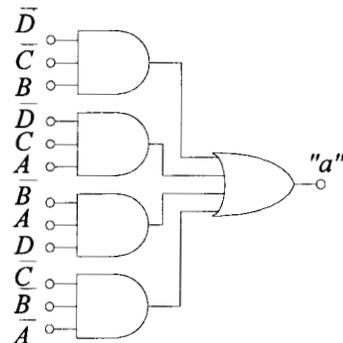
Ahora, puesto que el número de términos máximos es mucho menor que el de términos mínimos, para minimizar emplearemos el producto de términos máximos, o lo que es lo mismo el negado de la suma de los términos mínimos que en el diagrama de Karnaugh están a "0", con lo que en el diagrama de Karnaugh señalaremos los ceros en lugar de los unos (fig. 6.5.5 a), de donde obtenemos:

$$"g" = \overline{\overline{D}\overline{C}\overline{B} + CBA} = (D + C + B)(\overline{C} + \overline{B} + \overline{A})$$

El circuito correspondiente se muestra en la figura (6.5.5 b).



a)

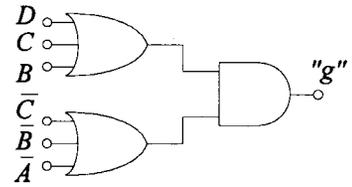


b)

Fig. 6.5.4 Obtención del segmento "a" con puertas: a) Minimización. b) Circuito

$DC \backslash BA$	00	01	11	10
00	0	0		
01			0	
11			0	
10				

a)



b)

Fig. 6.5.5 Obtención del segmento "g" con puertas: a) Minimización. b) Circuito

TEMA 7

Introducción a la lógica programable

PROPÓSITO

El objetivo de los problemas de este capítulo es hacer que el alumno use PROM's, PAL's y PLA's como módulos universales de diseño en lógica combinacional, viendo para cada aplicación cuál sería la elección más adecuada en el sentido económico del término. Todos los ejercicios son, sin embargo, de naturaleza académica ya que existen enormes posibilidades de diseño con el sólo uso de las soluciones comerciales en lógica no programable.



EJERCICIOS RESUELTOS

E.7.1 Síntesis de funciones lógicas mediante PROM's, PAL's y PLA's

Sintetizar las siguientes funciones:

$$f_1(x, y, z) = (\bar{x} \cdot y + x \cdot \bar{y}) \cdot z + \bar{z} \cdot (x \cdot y + \bar{x} \cdot \bar{y})$$

$$f_2(x, y, z) = \bar{x} + \bar{y} \cdot z + \bar{z} \cdot x$$

$$f_3(x, y, z) = x \cdot \bar{y} + y \cdot \bar{z} + \bar{x} \cdot \bar{y} \cdot \bar{z} + \bar{x} \cdot \bar{y} \cdot z + x \cdot y \cdot z$$

$$f_4(x, y, z) = (x + y + \bar{z}) + (x + \bar{y} + \bar{z}) + \bar{x} \cdot \bar{y} \cdot z + \bar{x} \cdot y \cdot \bar{z}$$

Solución:

Dado que no hay desproporción entre el número de variables y el de términos mínimos elegimos para la síntesis el uso de PROM's. El procedimiento a seguir consiste en *extender* las expresiones de f_1, f_2, f_3 y f_4 en forma canónica de suma de términos mínimos y poner seguidamente las conexiones correspondientes en la matriz OR programable.

Con la primera función basta con realizar las operaciones indicadas con los paréntesis para obtener su representación como suma de términos mínimos:

$$f_1 = \bar{x}yz + x\bar{y}z + xy\bar{z} + \bar{x}\bar{y}\bar{z} = \sum m(0, 3, 5, 6)$$

En la segunda función debemos realizar las expansiones necesarias para obtener los términos mínimos. Esto lo conseguimos multiplicando por la variable que no aparece más su complementaria ($X = X(Y + \bar{Y}) = XY + X\bar{Y}$):

$$f_2 = \bar{x} + \bar{y}z + \bar{z}x = \bar{x}(y + \bar{y})(z + \bar{z}) + \bar{y}z(x + \bar{x}) + x\bar{z}(y + \bar{y})$$

Desarrollando los términos:

$$\bar{x} = \bar{x}(y + \bar{y}) = \bar{x}y + \bar{x}\bar{y} = \bar{x}\bar{y}\bar{z} + \bar{x}\bar{y}z + \bar{x}y\bar{z} + \bar{x}yz = \sum m(0, 1, 2, 3)$$

$$\bar{y}z = \bar{y}z\bar{x} + \bar{y}zx = \sum m(1, 5)$$

$$\bar{z}x = \bar{z}x\bar{y} + \bar{z}xy = \sum m(4, 6)$$

Por tanto: $f_2 = \sum m(0, 1, 2, 3, 4, 5, 6)$

Análogamente obtenemos f_3 :

$$\begin{aligned}
 f_3 &= \bar{x}\bar{y} + y\bar{z} + \bar{x}\bar{y}z + \bar{x}\bar{y}\bar{z} + xyz = \\
 &= x\bar{y}\bar{z} + x\bar{y}z + \bar{x}y\bar{z} + xy\bar{z} + \bar{x}\bar{y}\bar{z} + \bar{x}\bar{y}z + xyz = \sum m(4,5,2,6,0,1,7)
 \end{aligned}$$

Reordenando: $f_3 = \sum m(0,1,2,4,5,6,7)$

Finalmente: $f_4 = (x + y + \bar{z}) + (x + \bar{y} + \bar{z}) + \bar{x}\bar{y}z + \bar{x}y\bar{z} = x + \bar{z} + y + \bar{y} + \bar{x}\bar{y}z + \bar{x}y\bar{z} = 1$
ya que $y + \bar{y} = 1$

En la figura (7.1.1) se muestra la implementación de las cuatro funciones sobre una misma PROM de tres entradas y cuatro salidas.

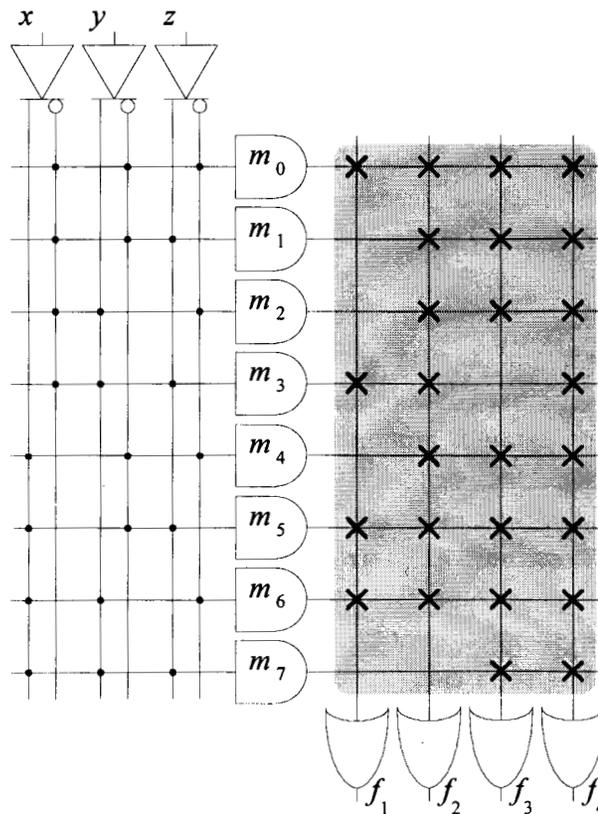


Fig. 7.1.1 Funciones f_1, f_2, f_3 y f_4 implementadas sobre una PROM



E.7.2 Sumador mediante lógica programable

Sintetizar de la forma más "económica", usando PROM, PAL ó PLA, el sumador completo de un bit cuyas entradas son A, B y C_{i-1} y las salidas son S_i y C_i.

Sintetizar a continuación el sumador paralelo para palabras de cuatro bits. Hay ahora nueve entradas (B₄, B₃, B₂, B₁, A₄, A₃, A₂, A₁; C₀) y debe producir cinco salidas (S₄, S₃, S₂, S₁; C₄).

Solución:

A) Sumador completo.

Las funciones combinacionales a sintetizar son las de la suma y el acarreo en el sumador completo. Así:

$$S_i = \overline{C_{i-1}} \overline{A} B + \overline{C_{i-1}} A \overline{B} + C_{i-1} \overline{A} \overline{B} + C_{i-1} A B = \sum m(1,2,4,7)$$

$$C_i = \overline{C_{i-1}} A B + C_{i-1} \overline{A} B + C_{i-1} A \overline{B} + C_{i-1} A B = \sum m(3,5,6,7)$$

La discusión queda reducida a PROM y PLA ya que con las PAL de tres entradas y cuatro salidas se pueden sintetizar (en cada salida) funciones de tres variables con dos términos mínimos.

La elección entre PROM y PLA está muy ajustada. Si se considera que la economía también está en trabajar poco durante el proceso de diseño elegiríamos PROM que hace innecesaria la programación de la parte AND ya que incluye todos los términos mínimos. En este caso el circuito es el que se muestra en la figura (7.2.1).

B) Sumador paralelo de cuatro bits

Las funciones combinacionales para cada sumador son las mismas que las de un sumador completo. Por consiguiente la solución natural al sumador paralelo de cuatro bits sería conectar en cascada cuatro sumadores de un bit como el que hemos obtenido en la figura (7.2.1), tal como se muestra en la figura (7.2.2).

Los problemas que plantean tanto la solución de la figura (7.2.1) como la de la (7.2.2) son: a) el derroche de términos mínimos no usados y b) el hecho de que estos circuitos tan sencillos existen como soluciones comerciales.

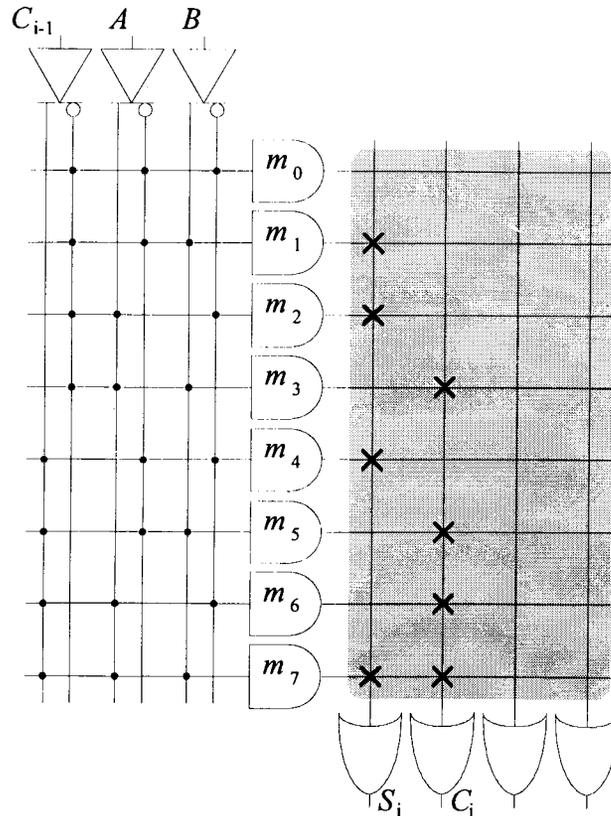


Fig. 7.2.1 Sumador de un bit con PROM

Obsérvese que en el caso de la figura (7.2.1) sólo usamos ocho de los 32 nodos de la matriz OR. El problema se agrava al buscar una EPROM comercial con un número de variables de entrada mayor o igual a las nueve necesarias para la síntesis del sumador paralelo de cuatro bits ($A_1, B_1, A_2, B_2, A_3, B_3, A_4, B_4, C_0$). La solución comercial más próxima podría ser la familia TMS27C291 de Texas Instruments que contiene 16384 bits organizados en 2048 (2K) palabras de ocho bits. Esto significa once variables de entrada (A_0, A_1, \dots, A_{10}) y ocho variables de salida (Q_1, Q_2, \dots, Q_8), ya que 16384 dividido por ocho es 2048 y el número N de variables lógicas tal que sus términos mínimos son $2^N = 2048$ es $N=11$.

En nuestro caso, de esos 2048 términos mínimos sólo usamos diez por cada bit del sumador, es decir, cuarenta en total, con lo que es evidente lo poco adecuada que es esta solución con EPROM. Aunque la solución obvia es usar un circuito específico para tal sumador, al encontrarnos en un problema académico dentro del capítulo de Lógica Combinacional Programable, ilustraremos su síntesis con una PAL.

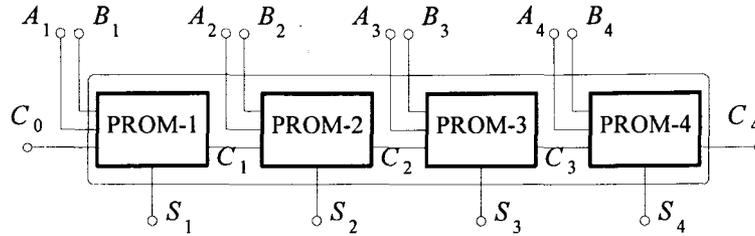


Fig. 7.2.2 Sumador paralelo con PROM's.
Cada PROM está programada como la en figura (7.2.1)

Como cada sumador de un bit necesita dos funciones (S_i , C_i) de tres variables de entrada (C_{i-1} , A_i , B_i) y estas funciones son de cuatro términos mínimos usaremos O_3 y O_2 para producir S_i y O_1 y O_0 para generar C_i , usando dos puertas OR adicionales. La síntesis del circuito implementado con una PAL de tres entradas propuesta como solución a esta parte del ejercicio es la que se muestra en la figura (7.2.3).

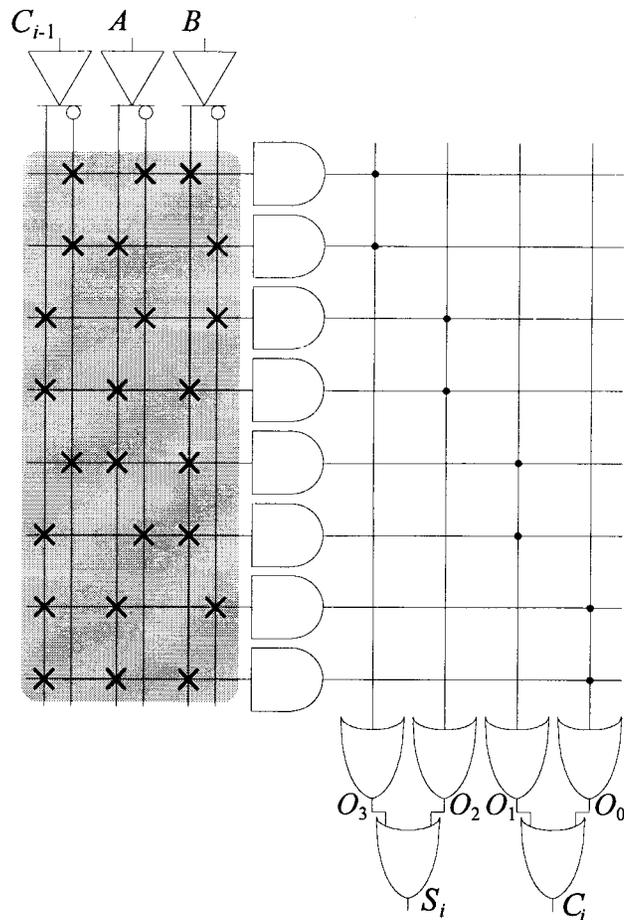


Fig. 7.2.3 Síntesis del sumador de un bit con PAL

□ □ □ □

E.7.3 Comparador mediante lógica programable

Sintetizar de la forma más "económica", usando ROM, PAL ó PLA, un circuito comparador para cuatro bits con salidas C ($A_n > B_n$) y E ($A_n = B_n$).

Solución:

Consideremos que el circuito comparador que vamos a diseñar debe tener la posibilidad de expansión para así poder conectar en cascada varios iguales y obtener un comparador de palabras de un número de bits múltiplo de cuatro. En

este caso las variables de entrada son $A_3, A_2, A_1, A_0, B_3, B_2, B_1, B_0, C'$ ($A'_n > B'_n$) y E' ($A'_n = B'_n$) siendo A_3, A_2, A_1, A_0 y B_3, B_2, B_1, B_0 los cuatro bits de las dos palabras a comparar y C' y E' las entradas correspondientes al resultado de la comparación de la palabra anterior. Las variables de salida son C ($A > B$) y E ($A = B$) que, para el caso de conectar varios en cascada, harán las veces de C' y E' del bloque siguiente.

Tanto la condición de igualdad como la de $A > B$ fueron estudiadas en el problema E.5.4. Para el caso de igualdad se obtenía:

$$\begin{aligned}
 E &= E' \prod_{i=0}^3 (\overline{A_i B_i} + \overline{A_i} B_i) = E' \prod_{i=0}^3 (\overline{A_i} + B_i)(A_i + \overline{B_i}) = E' \prod_{i=0}^3 (\overline{A_i} \overline{B_i} + A_i B_i) \\
 E &= (\overline{A_0} \overline{B_0} + A_0 B_0)(\overline{A_1} \overline{B_1} + A_1 B_1)(\overline{A_2} \overline{B_2} + A_2 B_2)(\overline{A_3} \overline{B_3} + A_3 B_3) E' \\
 &= E_0^* E_1^* E_2^* E_3^* E' \quad (7.3.1)
 \end{aligned}$$

y para la condición $A > B$:

$$C = A_3 \overline{B_3} + E_3^* A_2 \overline{B_2} + E_3^* E_2^* A_1 \overline{B_1} + E_3^* E_2^* E_1^* A_0 \overline{B_0} + E_3^* E_2^* E_1^* E_0^* C' \quad (7.3.2)$$

De forma análoga a como hicimos en el problema E.5.4 vamos a diseñar primero un comparador de un bit que tenga en cuenta el resultado acumulado de las comparaciones de los bits que le preceden y después veremos la forma de conectar varios módulos iguales para conseguir la comparación de palabras de cuatro bits. Este módulo elemental deberá tener cuatro entradas, las dos correspondientes a los bits que se comparan ($A_i B_i$) y E_{i-1}, C_{i-1} procedentes del comparador anterior. Proporcionará las salidas E_i y C_i que vienen dadas por las expresiones calculadas en el problema E.5.4 y que repetimos por comodidad:

$$\begin{aligned}
 E_i &= E_{i-1} E_i^* \text{ siendo } E_i^* = A_i B_i + \overline{A_i} \overline{B_i} \\
 C_i &= A_i \overline{B_i} + E_i^* C_{i-1}
 \end{aligned} \quad (7.3.3)$$

Si quisiéramos realizarlo con una sola PAL se necesitarían diez entradas y la consiguiente generación de $2^{10} = 1024$ términos mínimos en la parte AND. Para sintetizar la función combinatorial E hacen falta 16 de ellos, y para sintetizar C

hacen falta 31 minterms. Es evidente que es un enorme despilfarro, tanto económico (la generación de esos minterms cuesta área de Silicio) como de "esfuerzo de programación" (hay que direccionar para escoger). Por tanto, debe rechazarse esta solución y buscar una solución en cascada.

Para ello elegimos una PAL de cuatro entradas. Lógicamente al ser mayor el número de entradas, también lo es el de minterms, de forma que para que el número de salidas no sea demasiado elevado, se aumenta el número de nodos de la matriz OR que se conectan a cada una de las puertas OR de salida. Supongamos por tanto que la PAL elegida tiene también cuatro salidas. Como con cuatro entradas tenemos 16 minterms a cada OR de salida se conectarán cuatro puertas AND.

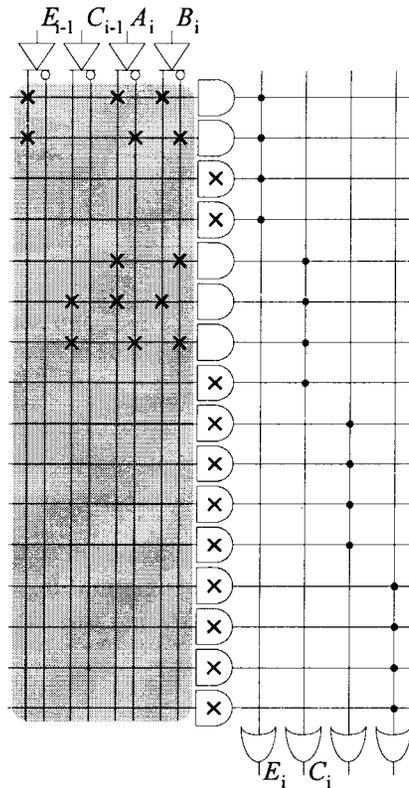


Fig. 7.3.1 Síntesis de un módulo comparador de un bit implementado sobre una PAL

Ahora el módulo elemental realizará la misma función y acumulará los resultados de la misma forma en que lo hacía el módulo del problema E.5.4. La función que realiza cada módulo es la recogida en las expresiones (7.3.3), y el circuito realizado con PAL es el que se muestra en la figura (7.3.1).

En esta figura se muestra el esquema de una PAL de cuatro entradas y cuatro salidas. Dos de ellas se emplean para obtener las condiciones de igualdad y desigualdad ($A > B$) y las otras dos se dejan libres. La parte sombreada indica, como en el resto de figuras, la parte programable de cada dispositivo.

El circuito completo, es decir, el comparador de palabras de cuatro bits con acarreo estará formado por cuatro módulos como los de la figura (7.3.1) y conectados en la forma en que se muestra en la figura (7.3.2).

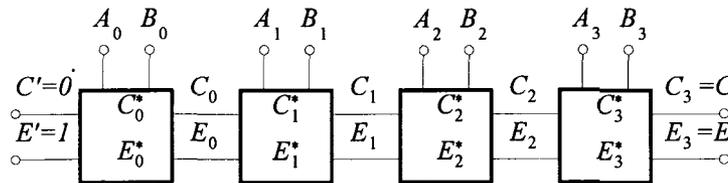


Fig. 7.3.2 Comparador de cuatro bits encadenado formado con cuatro PAL's como la de la figura (7.3.1)

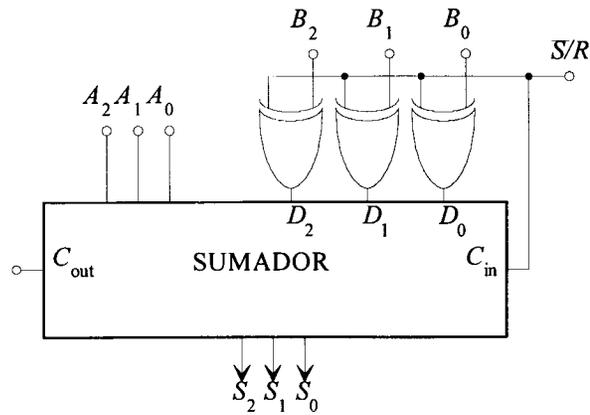


E.7.4 Sumador-restador mediante lógica programable

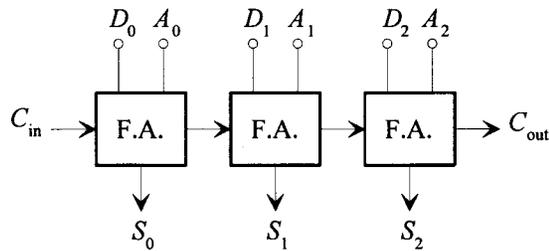
Sintetizar un circuito sumador-restador para palabras de tres bits.

Solución:

En el problema E.5.3 se detalló como realizar un sumador/restador a partir de un sumador (fig. 5.3.4), y en el problema E.5.1 se indica como realizar un sumador completo con puertas (fig. 5.1.3). La figura (7.4.1 a) muestra el sumador/restador para palabras de tres bits, y la figura (7.4.1 b) el sumador paralelo de tres bits.



a)



b)

Fig. 7.4.1 a) Sumador-Restador para palabras de 3 bits. b) Sumador paralelo de 3 bits

Nuestro objetivo ahora será realizar los módulos de la figura 7.4.1 mediante PROM's. Cada módulo sumador completo, implementa las siguientes funciones combinacionales:

$$S_i = \overline{C_{i-1}} \overline{A_i} D_i + \overline{C_{i-1}} A_i \overline{D_i} + C_{i-1} \overline{A_i} \overline{D_i} + C_{i-1} A_i D_i$$

$$C_i = \overline{C_{i-1}} A_i D_i + C_{i-1} \overline{A_i} D_i + C_{i-1} A_i \overline{D_i} + C_{i-1} A_i D_i$$

donde:

$$D_i = B_i \oplus (\overline{S/R}) = \overline{B_i} (\overline{S/R}) + B_i (S/R)$$

Su síntesis mediante PROM's se muestra en la figura (7.4.2).

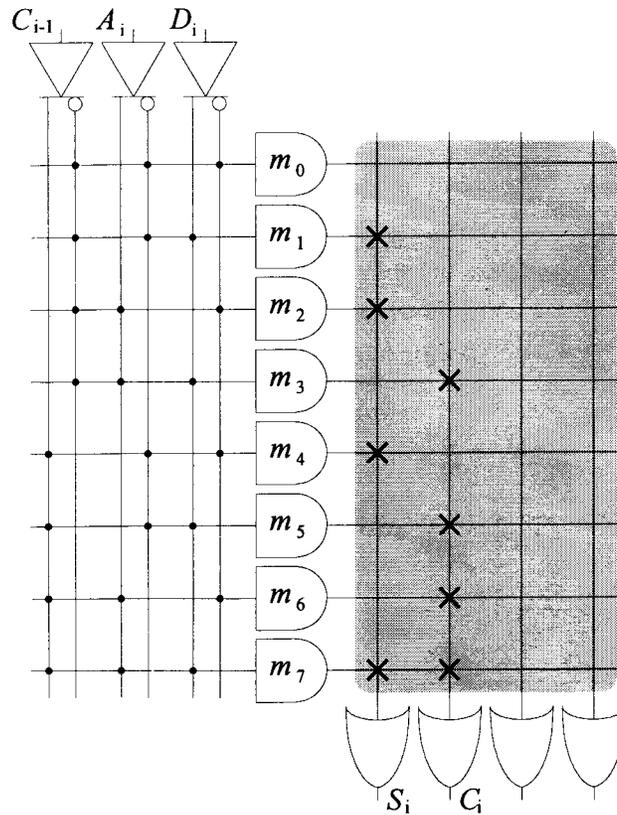


Fig. 7.4.2 Sumador completo mediante PROM

Por último debemos implementar las funciones D_i . Para ello se utilizan PROM's de dos entradas, tal y como se ilustra en la figura (7.4.3).

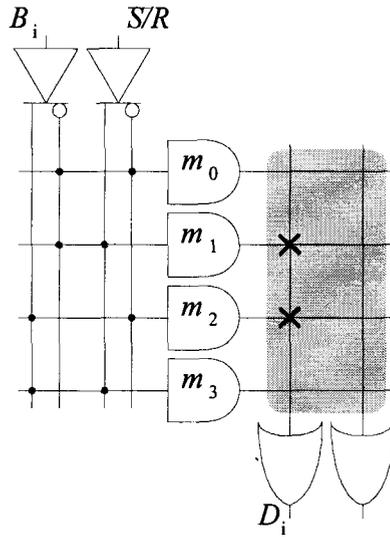


Fig. 7.4.3 Síntesis de las funciones D_i

□ □ □ □

E.7.5 Diseño de una mini-ALU mediante lógica programable

Sintetizar una "mini" unidad aritmético-lógica con sólo cuatro funciones para palabras de dos bits ($A_0, A_1; B_0, B_1$). Necesitará por tanto dos variables de control (S_0, S_1) y una adicional para la selección de modo ($M=0 \Rightarrow$ operación aritmética y $M=1 \Rightarrow$ operación lógica).

Tenemos entonces un circuito combinacional con siete variables de entrada ($A_1, A_0; B_1, B_0; S_0, S_1, M$) y dos variables de salida (F_1, F_0) que dependiendo del valor de M representarán las funciones aritméticas ó lógicas que se muestran en la tabla adjunta:

SELECCIÓN		FUNCIONES	FUNCIONES
S_1	S_0	$M=1$	$M=0$
0	0	$F = AB$	$A\bar{B}$ plus A
0	1	$F = A + B$	$F = (A + B)$
1	0	$F = A\bar{B} + \bar{A}B$	$F = A$ plus B
1	1	$F = \bar{A}\bar{B} + AB$	$F = A$ minus B minus 1

Fig. 7.5.1 Tabla de verdad de la mini-ALU

Solución:

El circuito que realiza las funciones de la mini-ALU de la tabla tendrá siete variables de entrada ($A_1, A_0, B_1, B_0, S_1, S_0, M$), y dos de salida (F_1, F_0). Para ello generamos los términos mínimos que contribuyen a cada función de salida.

A) Funciones lógicas ($M = 1$)

Para $S_1 = 0$ y $S_0 = 0$

$$\begin{aligned} F_0(S_1 S_0 M) &= F_0(001) = A_0 B_0 \bar{S}_1 \bar{S}_0 M = (A_1 + \bar{A}_1)(B_1 + \bar{B}_1) A_0 B_0 \bar{S}_1 \bar{S}_0 M \\ &= A_1 A_0 B_1 B_0 \bar{S}_1 \bar{S}_0 M + \bar{A}_1 A_0 B_1 B_0 \bar{S}_1 \bar{S}_0 M + A_1 A_0 \bar{B}_1 B_0 \bar{S}_1 \bar{S}_0 M + \bar{A}_1 A_0 \bar{B}_1 B_0 \bar{S}_1 \bar{S}_0 M \\ &= \sum m(121, 57, 105, 41). \end{aligned}$$

Para $S_1 = 0$ y $S_0 = 1$

$$F_0(011) = (A_0 + B_0) \bar{S}_1 S_0 M = \sum m(11, 27, 35, 43, 51, 59, 75, 91, 99, 107, 115, 123)$$

Para $S_1 = 1$ y $S_0 = 0$

$$F_0(101) = (A_0 \bar{B}_0 + \bar{A}_0 B_0) S_1 \bar{S}_0 M = \sum m(13, 29, 37, 53, 77, 93, 101, 117)$$

Para $S_1 = 1$ y $S_0 = 1$

$$F_0(111) = (\bar{A}_0 \bar{B}_0 + A_0 B_0) S_1 S_0 M = \sum m(7, 23, 47, 63, 71, 87, 111, 127)$$

Análogamente, para F_1

$$F_1(001) = A_1 B_1 \bar{S}_1 \bar{S}_0 M = \sum m(81, 89, 113, 121).$$

$$F_1(011) = (A_1 + B_1) \bar{S}_1 S_0 M = \sum m(19, 27, 51, 59, 67, 75, 83, 91, 99, 107, 115, 123)$$

$$F_1(101) = (A_1 \bar{B}_1 + \bar{A}_1 B_1) S_1 \bar{S}_0 M = \sum m(21, 29, 53, 61, 69, 77, 101, 109)$$

$$F_1(111) = (\bar{A}_1 \bar{B}_1 + A_1 B_1) S_1 S_0 M = \sum m(7, 15, 39, 47, 87, 95, 119, 127)$$

B) Funciones aritméticas ($M = 0$)

Ahora calculamos las funciones correspondientes a cada elección de S_1 y S_0 . La tabla de verdad correspondiente a $S_0 = 0$ y $S_1 = 0$ se ilustra en la figura (7.5.2).

A_1	A_0	B_1	B_0	S_1	S_0	M	$A\bar{B}$	F_1	F_0
0	0	0	0	0	0	0	00	0	0
0	0	0	1	0	0	0	00	0	0
0	0	1	0	0	0	0	00	0	0
0	0	1	1	0	0	0	00	0	0
0	1	0	0	0	0	0	01	1	0
0	1	0	1	0	0	0	00	0	1
0	1	1	0	0	0	0	01	1	0
0	1	1	1	0	0	0	00	0	1
1	0	0	0	0	0	0	10	0	0
1	0	0	1	0	0	0	10	0	0
1	0	1	0	0	0	0	00	1	0
1	0	1	1	0	0	0	00	1	0
1	1	0	0	0	0	0	11	1	0
1	1	0	1	0	0	0	10	0	1
1	1	1	0	0	0	0	01	0	0
1	1	1	1	0	0	0	00	1	1

Fig. 7.5.2 Tabla de verdad de la función aritmética correspondiente a $S_0 = 0$ y $S_1 = 0$

Por tanto:

$$F_1(000) = \sum m(32, 48, 80, 88, 96, 120)$$

$$F_0(000) = \sum m(40, 56, 101, 120)$$

Desarrollando análogamente el resto de casos se obtiene:

$$F_1(010) = \sum m(18, 26, 50, 58, 66, 74, 82, 90, 98, 106, 114, 122)$$

$$F_0(010) = \sum m(10, 26, 34, 42, 50, 58, 74, 90, 98, 106, 114, 122)$$

$$F_1(100) = \sum m(20, 28, 44, 52, 68, 76, 100, 124)$$

$$F_0(100) = \sum m(12, 28, 36, 52, 76, 92, 100, 116)$$

Observar que la diferencia entre $A+B$ y A plus B es que $A+B$ es la función OR entre A y B , es decir, A OR B , mientras que A plus B es la suma aritmética y por tanto 1 plus $1 = 0$ y arrastra 1 . La tabla de verdad (Fig. 7.5.3) muestra el resultado para ambas funciones. También se ha introducido una columna con el arrastre para la función A plus B aunque este arrastre no se tiene en cuenta en este problema ya que sólo tenemos para la salida dos bits (F_1 F_0).

$A_1A_0B_1B_0$	$A+B$ F_1F_0	Arrastre F_2	A plus B F_1F_0
0000	00	0	00
0001	01	0	01
0010	10	0	10
0011	11	0	11
0100	01	0	01
0101	01	0	10
0110	11	0	11
0111	11	1	00
1000	10	0	10
1001	11	0	11
1010	10	1	00
1011	11	1	01
1100	11	0	11
1101	11	1	00
1110	11	1	01
1111	11	1	10

Fig. 7.5.3 Tablas de verdad para las operaciones aditivas

Para la función A minus B minus 1 (Fig. 7.5.4) se considera que los números negativos se representan en complemento a 2 , con lo que se obtiene:

$$F_1(110) = \sum m(6,14,46,54,86,94,102,126)$$

$$F_0(110) = \sum m(6,22,46,62,70,86,110,126)$$

$A_1A_0B_1B_0$	$A \text{ minus } B$ D_1D_0	$A \text{ minus } B \text{ minus } 1$ F_1F_0
0000	00	11
0001	11	10
0010	10	01
0011	01	00
0100	01	00
0101	00	11
0110	11	10
0111	10	01
1000	10	01
1001	01	00
1010	00	11
1011	11	10
1100	11	10
1101	10	01
1110	01	00
1111	00	11

Fig. 7.5.4 Tablas de verdad para las operaciones sustractivas

Finalmente, considerando todos los minterms que contribuyen en las funciones de salida, las funciones a programar en la PROM son:

$$F_0 = \sum m(6,7,10,11,12,13,22,23,26,27,28,29,34,35,36,37,40,41,42,43,46,47,50,51,52,53,56,57,58,59,62,63,70,71,74,75,76,77,86,87,90,91,92,93,98,99,100,101,105,106,107,110,111,114,115,116,117,120,122,123,126,127)$$

$$F_1 = \sum m(6,7,14,15,18,19,20,21,26,27,28,29,32,39,44,46,47,48,50,51,52,53,54,58,59,61,66,67,68,69,74,75,76,77,80,81,82,83,86,87,88,89,90,91,94,95,96,98,99,100,101,102,106,107,109,113,114,115,119,120,121,122,123,124,126,127)$$

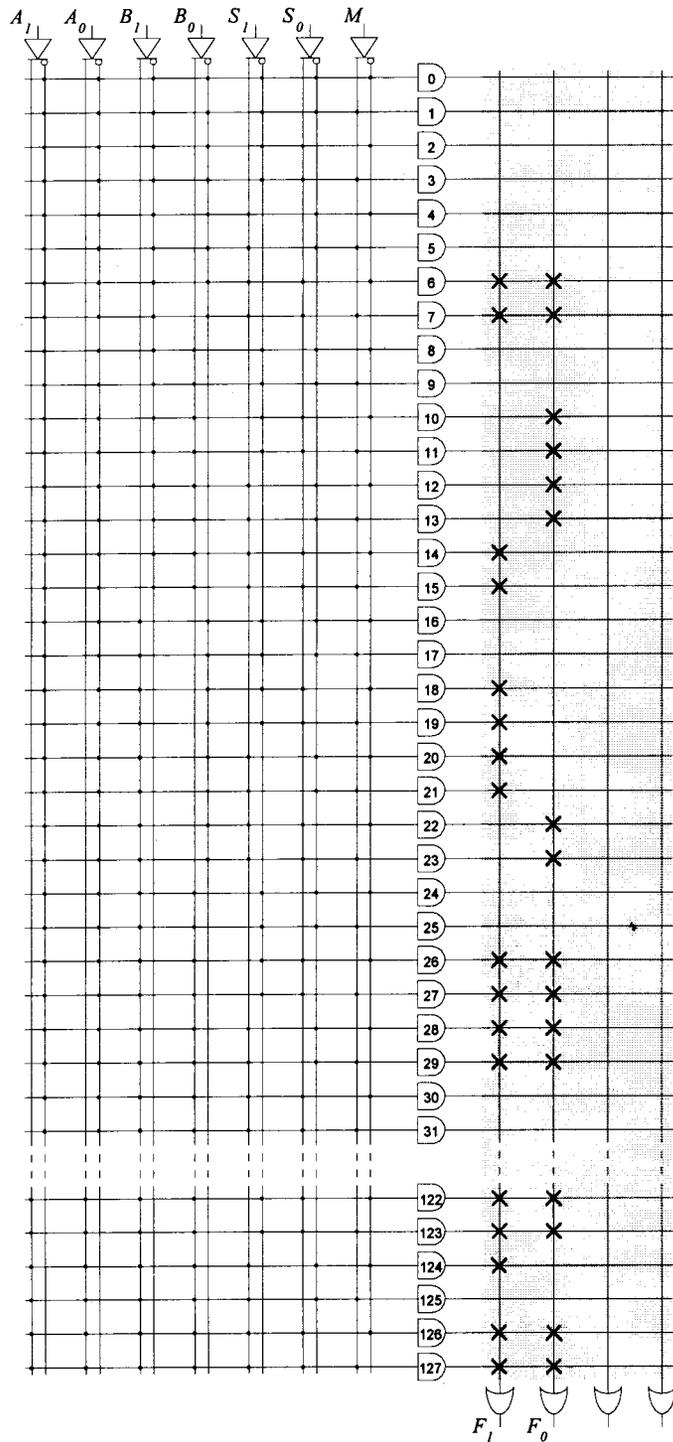


Fig. 7.5.5 Implementación de la mini-ALU con una PROM

Para implementar la mini-ALU habrá que elegir una PROM con siete variables de entrada ($A_1, A_0, B_1, B_0, S_1, S_0, H$) y dos salidas F_1, F_0 (ya que no hemos considerado arrastre para la conexión con otro módulo). El número total de minterms son $2^7 = 128$, por lo que sólo representamos los primeros y los últimos términos mínimos que intervienen en F_1 y F_0 . Así el circuito sería el de la figura (7.5.5).

□ □ □ □

E.7.6 Implementación de funciones lógicas mediante lógica programable

Diseñar un circuito que sintetice la función:

$$f(X, Y, Z, U, V) = \bar{X}\bar{Y}\bar{Z}\bar{U}V + \bar{X}\bar{Y}\bar{Z}U\bar{V} + X\bar{Y}ZU\bar{V} + X\bar{Y}\bar{Z}U\bar{V} + XYZUV + XY\bar{Z}\bar{U}\bar{V}$$

Solución:

La implementación natural de esta función combinacional se realiza en una PROM ya que se da como suma de minterms. Como es una función de cinco entradas deberán generarse $2^5 = 32$ minterms, de los que se tomarán los seis indicados, tal y como muestra la figura (7.6.1) de la página 222.

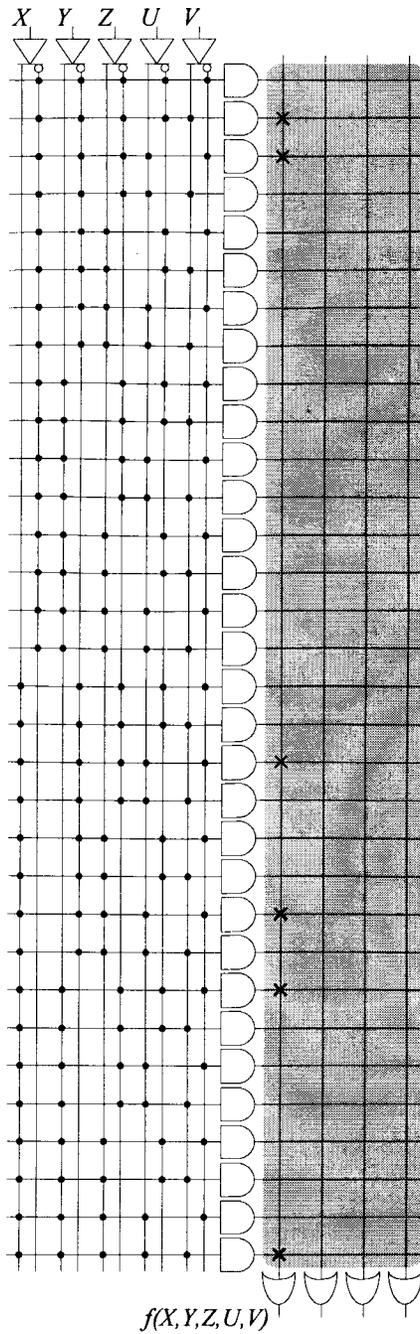


Fig. 7.6.1 Implementación en PROM de la función combinacional del ejercicio E.7.6

□ □ □ □

E.7.7 Síntesis de circuitos conversores de código mediante lógica programable

Diseñar los siguientes circuitos convertidores de código.

- 4 a 4, BCD a Exceso-3.
- 4 a 10, BCD a decimal.
- Decimal a BCD.

La tabla correspondiente a estos códigos se muestra en el ejercicio E.6.4 donde se resolvían estos conversores empleando multiplexores y puertas lógicas.

Solución:

- A) 4 a 4, BCD a Exceso-3

En este caso se tienen cuatro entradas y cuatro salidas. Por ello utilizaremos PROM's, tal y como se ilustra en la figura (7.7.1).

$$\begin{aligned}
 A' &= \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} \\
 B' &= \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}D + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} \\
 C' &= \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} \\
 D' &= \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D}
 \end{aligned}$$

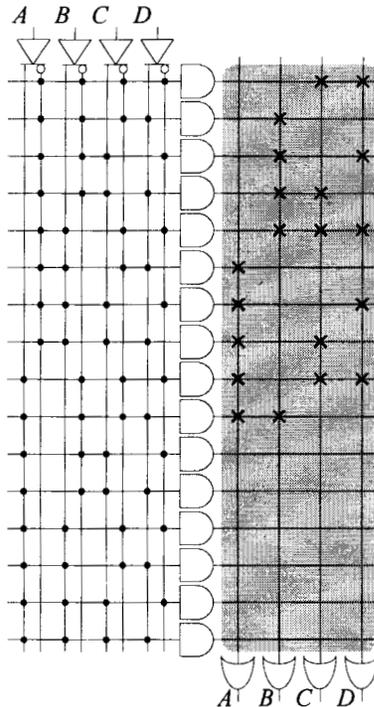


Fig. 7.7.1 Conversor de BCD a exceso a 3

B) 4 a 10, BCD a decimal

Para la conversión de BCD a decimal se tienen cuatro entradas y diez salidas. Por tanto, se tienen pocas entradas y muchas salidas, con lo que es aconsejable su programación mediante PAL's. La figura (7.7.2) muestra la PAL programada para este conversor.

$$\begin{array}{ll}
 d_0 = \overline{A}\overline{B}\overline{C}\overline{D} & d_5 = \overline{A}B\overline{C}D \\
 d_1 = \overline{A}\overline{B}C\overline{D} & d_6 = \overline{A}BC\overline{D} \\
 d_2 = \overline{A}\overline{B}C\overline{D} & d_7 = \overline{A}BCD \\
 d_3 = \overline{A}\overline{B}CD & d_8 = A\overline{B}\overline{C}\overline{D} \\
 d_4 = \overline{A}B\overline{C}\overline{D} & d_9 = A\overline{B}\overline{C}D
 \end{array}$$

C) Decimal a BCD

Ahora tenemos muchas variables de entrada y pocas de salida. Las PAL's no son recomendables para este caso, y las PROM's resultarían muy costosas por la generación de un gran número de minterms. Por ello se utiliza una PLA, como se muestra en la figura (7.7.3). Las expresiones de las salidas $ABCD$ son las que se obtuvieron en el apartado d) del problema 6.4. Es decir:

$$\begin{array}{l}
 A = d_8 + d_9 \\
 B = d_4 + d_5 + d_6 + d_7 + d_8 + d_9 \\
 C = d_2 + d_3 + d_4 + d_5 \\
 D = d_1 + d_2 + d_3 + d_6 + d_9
 \end{array}$$

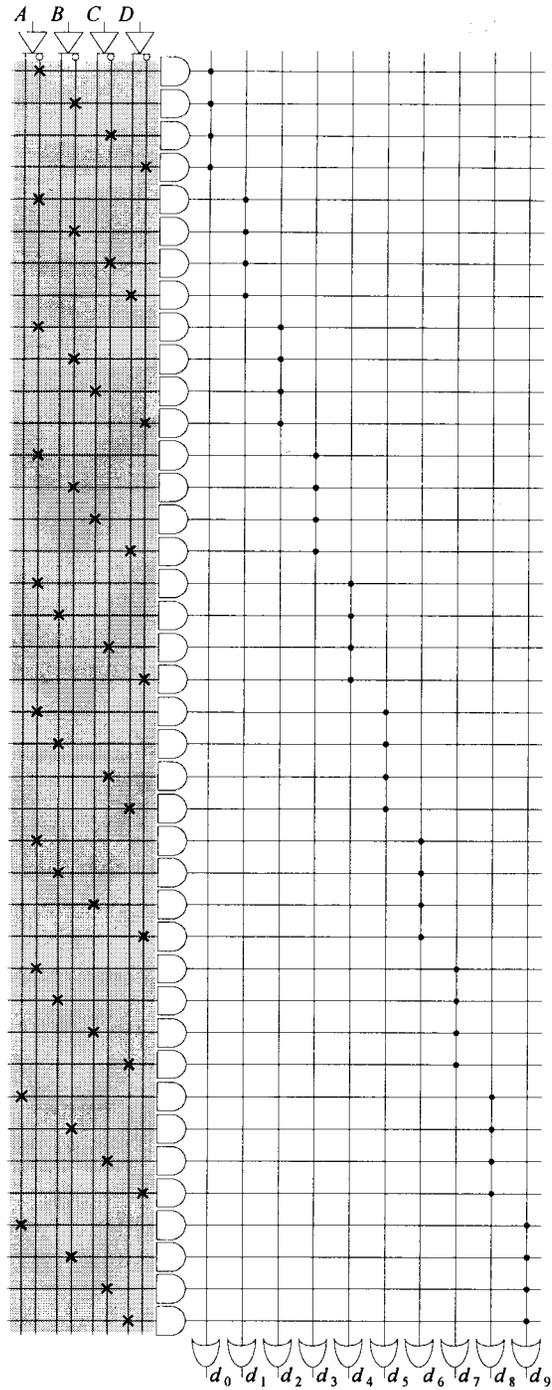


Fig. 7.7.2 Conversor de código BCD a decimal

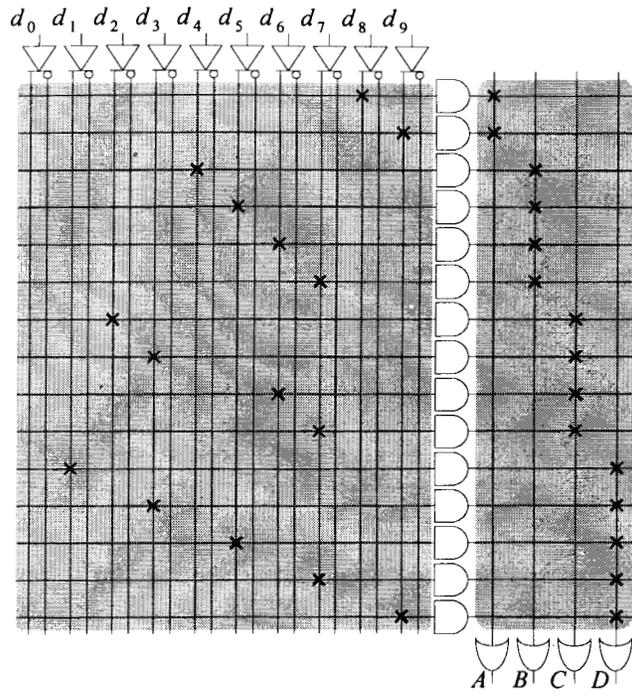


Fig. 7.7.3 Conversor decimal a BCD

TEMA 8

Exigencias computacionales de la lógica secuencial: Circuitos biestables

PROPÓSITO

En el capítulo 8 del texto base se ha introducido la teoría de autómatas finitos como modelo matemático de la Electrónica Secuencial y se han estudiado los biestables básicos. El objetivo de los problemas es ofrecer al alumno la posibilidad de repasar su grado de comprensión de ambos apartados en las dos vías usuales en electrónica: análisis y síntesis.

El elemento conceptual nuevo en este capítulo es el concepto de estado que nos permite almacenar una cierta historia de estímulos de forma que ante una misma entrada externa se pueden obtener distintas salidas, dependiendo del estado interno. En el capítulo siguiente se hará un tratamiento más sistemático de los procedimientos de representación, análisis y síntesis de circuitos secuenciales. Aquí buscamos una aproximación más conceptual e intuitiva que solo obliga a saber combinar el comportamiento de los distintos tipos de biestables (T, D, RS, JK) con algunas puertas lógicas. En todos los problemas el número de estados es muy pequeño, sólo 2 ó 4. Es decir, nos bastará con uno o dos biestables para obtener la síntesis del circuito correspondiente.



EJERCICIOS RESUELTOS

E.8.1 Análisis de un circuito secuencial

Dibujar el diagrama de transición de estados, las tablas de transición y la expresión lógica de las funciones de producción de estados y de salidas (f y g) para el circuito secuencial de la figura (8.1.1), suponiendo que inicialmente el biestable está en baja.

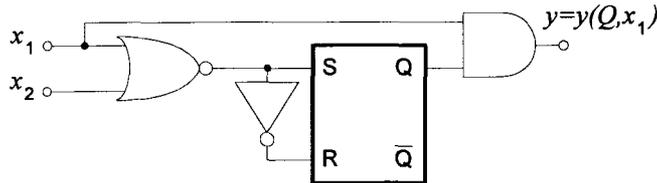


Fig. 8.1.1 Circuito secuencial para el ejercicio E.8.1

¿Cuál sería la secuencia de salida en $y=y(Q, x_1)$, si a la entrada aparece la siguiente secuencia?

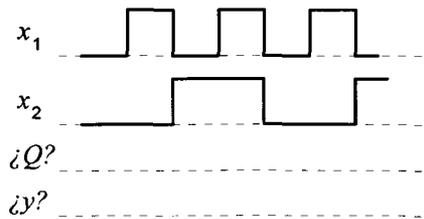


Fig. 8.1.2 Cronograma para el ejercicio E.8.1

Solución:

A) Intentaremos primero una solución constructiva y conceptual del problema. Vemos que hay un biestable R-S, por lo que se trata de un autómata de dos estados. Sean S_0 ($Q=0$) y S_1 ($Q=1$). Al no especificarse entrada de reloj, analizaremos las entradas y los estados posibles suponiendo que coinciden con el disparo del reloj.

Como no existen realimentaciones (es decir, las salidas del sistema no se llevan a las entradas), la función de transición de estados (f) está controlada solo por las entradas x_1 y x_2 .

Es decir: $S = \overline{x_1 + x_2} = \overline{x_1} \overline{x_2}$ (función f).

Por otro lado R procede de S a través de un inversor por lo que no hay que esperar inconsistencias ya que las únicas configuraciones posibles son ($S=1, R=0$) y ($S=0, R=1$). Recordando la tabla del R - S , independientemente del estado anterior, ante $S=1$ el nuevo estado es 1 y ante $R=1$ el nuevo estado es 0. Así, el diagrama de transición de estados es el que se ilustra en la figura (8.1.3).

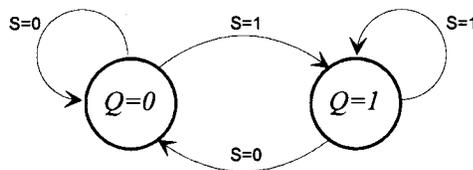
Veamos ahora la producción de salidas a partir de las entradas y el estado:

$$y = y(Q, x_1) = Qx_1$$

Se trata de una simple puerta AND. Como inicialmente el biestable estaba en baja, la salida estará en baja hasta que llegue alguna configuración (x_1, x_2) que haga $S=1$, que sólo puede ser la $x_1 = x_2 = 0$, ya que $S = \overline{x_1 + x_2}$. A partir de aquí, la puerta de salida está habilitada y tendremos $y = x_1$ hasta que de nuevo cambie el estado del biestable.

La figura (8.1.4) muestra el diagrama de transición de estados ya completo, con las configuraciones (x_1, x_2) y la salida, y .

S	R	Q_{n+1}
1	0	1
0	1	0



$$\begin{array}{c|c} x_1 & x_2 \\ \hline 0 & 1 \\ 1 & 0 \\ 1 & 1 \end{array} \Rightarrow S=0$$

$$\begin{array}{c|c} x_1 & x_2 \\ \hline 0 & 0 \end{array} \Rightarrow S=1$$

Fig. 8.1.3 a) Tabla simplificada del RS cuando las entradas S y R están unidas a través de un inversor que prohíbe las configuraciones 00 y 11. b) Diagrama de transición de estados.

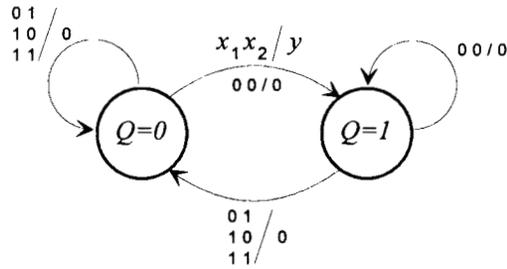


Fig. 8.1.4 Diagrama de transición de estados completo, incluyendo la producción de salidas

B) Veamos ahora la forma de la salida $y = y(Q, x_1)$ para la secuencia de entrada propuesta. Recordando la descripción del apartado anterior y por simple aplicación de la función y se obtiene el cronograma de la figura (8.1.5).

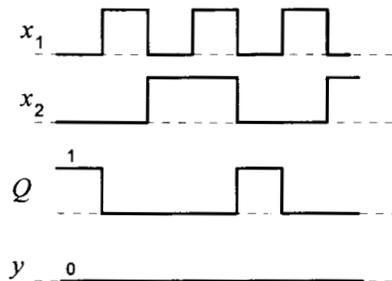


Fig. 8.1.5 Cronograma

□ □ □ □

E.8.2 Análisis de un circuito secuencial

Dibujar el diagrama de transición de estados y producción de salidas, las tablas de transición y la expresión lógica de las funciones f y g para el circuito secuencial de la figura (8.2.1 a).

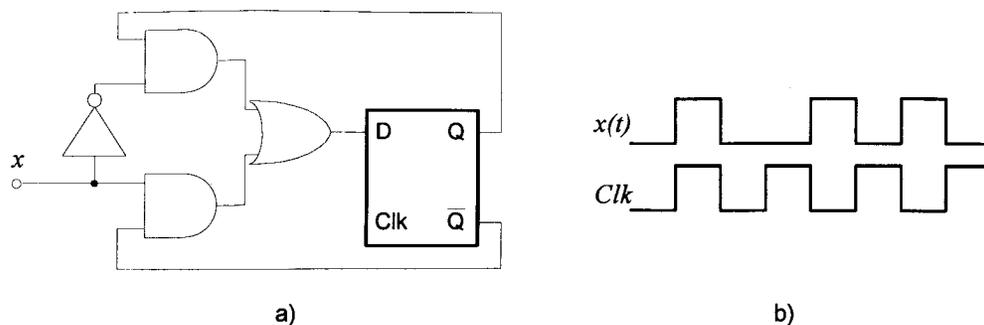


Fig. 8.2.1

Obsérvese que ahora hay realimentación desde la salida y por consiguiente a la entrada se calculan funciones de $x(t)$ y $Q(t)$ pero $Q(t)$ procede de los valores de D en $(t - \Delta t)$. Si el biestable D se dispara a subidas dibujar la evolución temporal de la señal en \bar{Q} cuando en la entrada $x(t)$ y en el reloj Clk , aparecen las señales de la figura (8.2.1 b).

Solución:

Hay dos modificaciones en este problema respecto del problema anterior:

- 1) Hay realimentación.
- 2) No hay función explícita de producción de salidas, por lo que podemos suponer que la salida coincide con el estado.

Es decir: $y = g(x, Q) = Q$

- A) Se supone que las variaciones en el nivel de entrada están sincronizadas con el reloj, de forma que siempre que haya una variación en el nivel de entrada habrá un flanco de reloj. Considerando la tabla de verdad del biestable D :

Clk	D	Q_{n+1}
0	x	Q_n
1	0	0
1	1	1

Fig. 8.2.2 Tabla de verdad del biestable D

y analizando la parte combinacional del circuito, se obtiene de forma inmediata la señal D :

$$D = \bar{x}Q_n + x\bar{Q}_n = x \oplus Q_n$$

Por tanto:

$$Q_{n+1} = D Ck = (x \oplus Q_n) Ck$$

con lo que el diagrama de transición de estados es el de la figura (8.2.3).

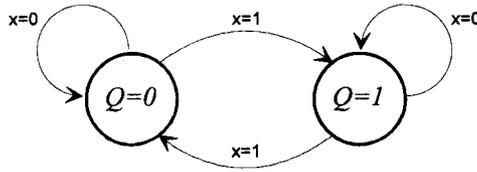
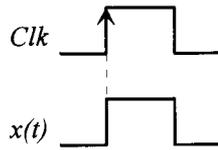


Fig. 8.2.3 Diagrama de transición de estados del biestable D realimentado.

- B)** El enunciado indica que el disparo se realiza por flanco de subida. En las señales dadas existe una "incertidumbre" en el valor de $x(t)$ en el momento del disparo, al coincidir flancos:



$$\text{Así } x(t) = \begin{cases} 1, & t^+ \\ 0, & t^- \end{cases}$$

En los dispositivos disparados por flanco, el disparo se suele producir nada más "sentir" una pendiente de subida pronunciada en la señal, con lo que $x(t)$ no ha cambiado significativamente de valor lógico. Por ello se considerará $x(t) \approx x(t^-)$ en el momento del disparo.

Debemos calcular la señal D , que depende de Q_n , \bar{Q}_n y la entrada x . Puesto que el biestable D se va a disparar en las subidas del reloj es evidente que habrá cuatro posibilidades de disparo, en t_1, \dots, t_4 . Supongamos que inicialmente $Q_0 = 0$. Entonces, hasta t_1 , $D = x \oplus Q_0 = 0$. En t_1 se dispara el reloj y $Q_1 = D = 0$ hasta t_2 mientras que en el intervalo de t_1 a t_2 , $D = x \oplus Q_1$, cambia el estado pasando de 1 a 0, pero el

biestable no se dispara ya que sólo lo hace en las subidas del reloj. Análogamente, en t_2 se dispara de nuevo el reloj, $Q_2 = D = 0$ hasta t_3 y $D = x \oplus Q_2$ pasará de 0 a 1 en el intervalo de t_2 a t_3 . En t_3 , el reloj pasa a alta otra vez, como ahora la entrada estaba alta, tendremos: $Q_3 = D = 1$ hasta t_4 y $D = x \oplus Q_3$ cambia de 1 a 0 en dicho intervalo t_3 - t_4 . Finalmente con el disparo de reloj de t_4 , $Q_4 = D = 0$. Así, la señal \bar{Q} será la que se muestra en el cronograma de la figura (8.2.4). Un razonamiento análogo se puede realizar para el caso en el que el estado inicial fuera $Q=1$.

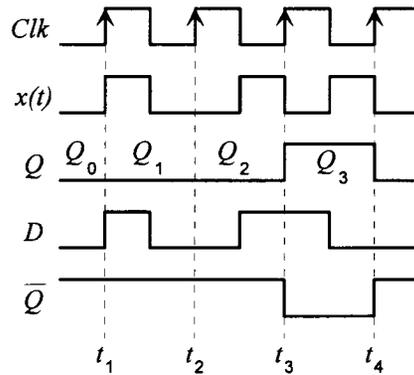


Fig. 8.2.4 Cronograma del apartado b) del problema

□ □ □ □

E.8.3 Análisis de un circuito secuencial

Analizar el circuito de la figura obteniendo el diagrama de transición de estados y la forma de onda en las salidas y_1 é y_2 durante siete pulsos sucesivos del reloj.

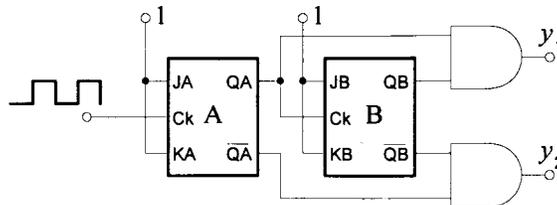


Fig. 8.3.1

Obsérvese que al incluir dos biestables se trata de un *autómata de cuatro estados* y recuérdese también la forma de conseguir una configuración *T* usando *J-K*. La única entrada externa en este circuito es el reloj *Ck*.

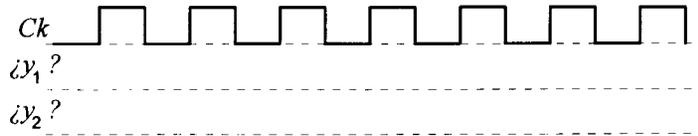


Fig. 8.3.2

Solución:

Como la única entrada externa es el reloj y hay dos biestables, vamos a seguir la evolución del estado hasta que recorra las cuatro configuraciones posibles. De este cronograma obtendremos el diagrama de transición de estados.

Los biestables son *J-K* pero con ambas entradas conectadas permanentemente a alta ($J=K=1$) y por consiguiente actúan como *T*. Es decir, $Q_{n+1} = \overline{Q_n}$ y a cada pulso de reloj cambia de estado. Para la obtención del cronograma podemos suponer que los biestables se disparan a niveles o en las transiciones. Supongamos, por ejemplo, que se disparan en las bajadas de los pulsos de reloj y que en el estado inicial ambos estaban en baja, $Q_A = Q_B = 0$. El resultado se muestra en la figura (8.3.3). Como la salida del primer biestable (Q_A) es el reloj del segundo, el circuito actúa como un divisor de frecuencia o un contador binario (como veremos en el siguiente capítulo). En efecto, cada vez que *Ck* pasa de 1 a 0, Q_A cambia de estado, así, si está en 0 pasa a 1 y si está en 1 pasa a 0. Por tanto el periodo de la señal se hace el doble y la frecuencia se divide por dos. Análogamente el paso de 1 a 0 de Q_A hace que Q_B cambie de estado volviéndose a dividir por dos la frecuencia de la señal Q_A .

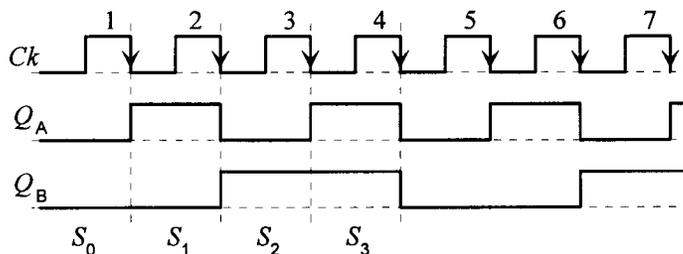


Fig. 8.3.3 Cronograma

Si codificamos los estados de forma que el subíndice coincide con el valor decimal del número en binario (S_0, \dots, S_3), obtenemos la tabla de la figura (8.3.4) y el diagrama de transición de estados de la figura (8.3.5).

	Q_B	Q_A
S_0	0	0
S_1	0	1
S_2	1	0
S_3	1	1

Fig. 8.3.4 Codificación de los estados

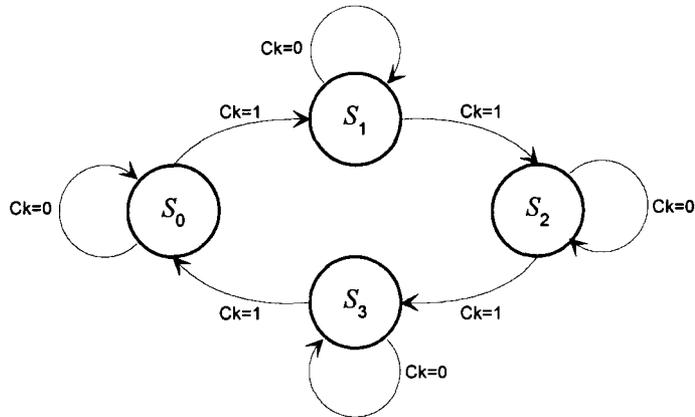


Fig. 8.3.5 Diagrama de transición de estados

Como el circuito que produce las salidas $y_1 = g_1(Ck, Q_A, Q_B)$ e $y_2 = g_2(Ck, Q_A, Q_B)$ son dos puertas AND obtenemos:

$$y_1 = Q_A Q_B$$

$$y_2 = \overline{Q_A} \overline{Q_B}$$

El cronograma es el que se muestra en la figura (8.3.6).

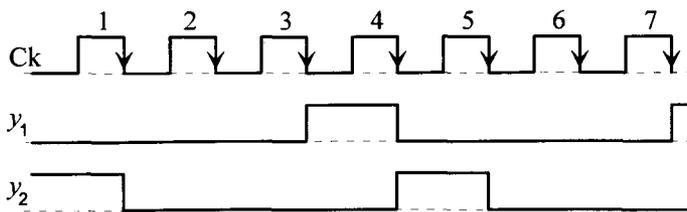


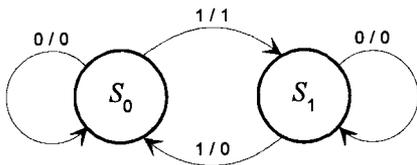
Fig. 8.3.6 Salidas del autómata

□ □ □ □

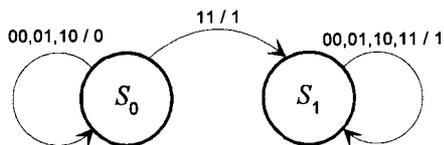
E.8.4 Síntesis de autómatas finitos utilizando biestables D

Sintetizar usando biestables D y las puertas lógicas necesarias los siguientes autómatas finitos de dos y cuatro estados.

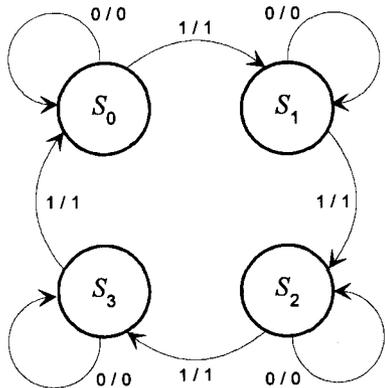
a)



b)



c)



d)

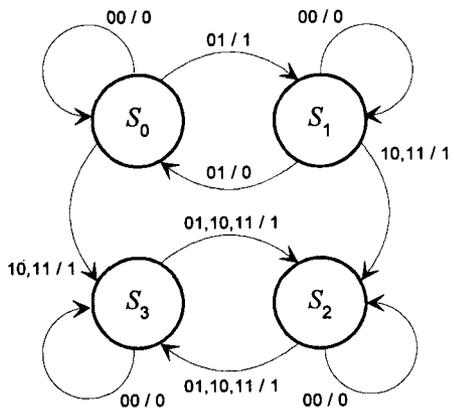
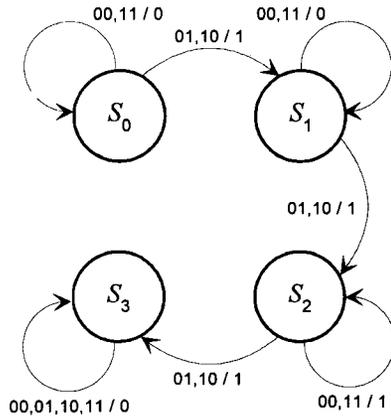


Fig. 8.4.1 Diagramas de transición de estados para el ejercicio E.8.4

e)



f)

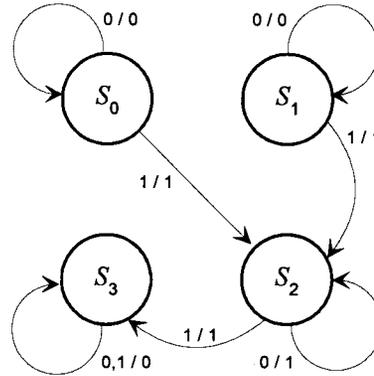


Fig. 8.4.1(Continuación) Diagramas de transición de estados para el ejercicio E.8.4

Solución:

Este es un problema de síntesis en el que se dan varios diagramas de transición entre dos estados (nos basta con un biestable) y entre cuatro estados (necesitaremos dos biestables). En todos los casos buscaremos las funciones f y g y las sintetizaremos. Obsérvese que sólo hay una o dos variables de entrada a las que llamaremos (x_1, x_2) y sólo hay una variable de salida (y).

- A) Estados: $S_0 \rightarrow Q=0$; $S_1 \rightarrow Q=1$
 Entrada: x
 Salida: y

Para obtener las funciones f y g escribimos las tablas de verdad de Q_{n+1} y de y a partir de x y de (x, Q_n) , respectivamente.

x	Q_n	$Q_{n+1}(\equiv f)$	$y(\equiv g)$
0	0	0	0
0	1	1	0
1	0	1	1
1	1	0	0

$$\text{luego } Q_{n+1} = f(x, Q_n) = x\overline{Q_n} + \overline{x}Q_n$$

$$y = g(x, Q_n) = x\overline{Q_n}.$$

Se trata entonces de un biestable T en el que x actúa como entrada T . Cuando $x=0$ no hay cambio de estado y cuando $x=1$, siempre hay cambio de estado. La función de salida es el producto de las entradas por la salida negada, tal como se ilustra en la figura (8.4.2).

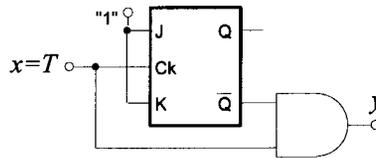


Fig. 8.4.2 Circuito para el caso A)

- B)** Siguiendo el mismo procedimiento que en el caso A) construimos primero la tabla de verdad y obtenemos después las expresiones para Q_{n+1} y para la salida y . En la tabla de la figura (8.4.3) y en la figura (8.4.4) se resume la solución.

Q_n	x_1	x_2	Q_{n+1}	y
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	1	1
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	1

Fig. 8.4.3 Tabla de verdad correspondiente a la solución del caso B)

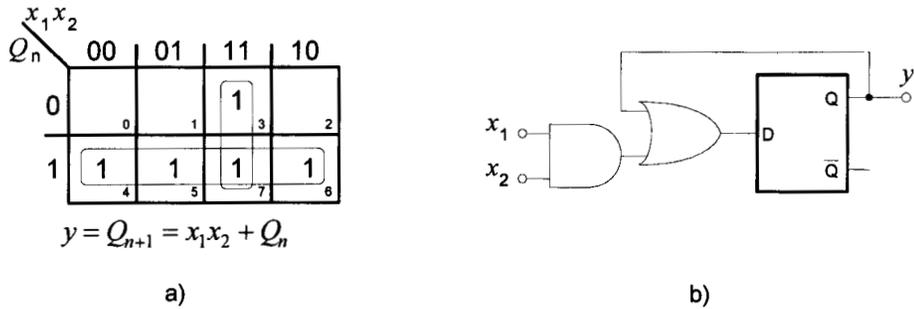


Fig. 8.4.4 a) Diagrama de Karnaugh correspondiente al diagrama de transición de estados del apartado B) y b) el circuito correspondiente

- C) Del diagrama de transición se observa que $y=x$, y que sólo existen transiciones para $x=1$. Por tanto, se puede tomar $x=Ck$. Con lo que obtenemos la tabla de la figura (8.4.5):

$Q_A(t)$	$Q_B(t)$	$Q_A(t+\tau)$	$Q_B(t+\tau)$
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	0

Fig. 8.4.5 Tabla de verdad para el diagrama de estados del apartado C)

$$y \quad Q_B(t+\tau) = \overline{Q_B}, \quad Q_A(t+\tau) = Q_A \oplus Q_B$$

Por tanto el autómata es el mostrado en la figura (8.4.6).

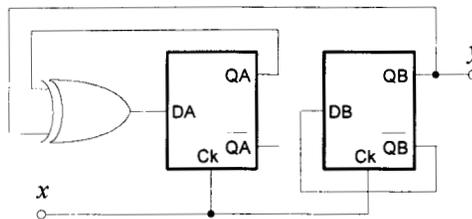


Fig. 8.4.6 Circuito correspondiente al caso C)

D) Introducimos directamente la tabla de verdad que aparece en la figura (8.4.7).

$Q_A(t)$	$Q_B(t)$	x_1	x_2	$Q_A(t+\tau)$	$Q_B(t+\tau)$	y
0	0	0	0	0	0	0
0	0	0	1	0	1	1
0	0	1	0	1	1	1
0	0	1	1	1	1	1
0	1	0	0	0	1	0
0	1	0	1	0	0	0
0	1	1	0	1	0	1
0	1	1	1	1	0	1
1	0	0	0	1	0	0
1	0	0	1	1	1	1
1	0	1	0	1	1	1
1	0	1	1	1	1	1
1	1	0	0	1	1	0
1	1	0	1	1	0	1
1	1	1	0	1	0	1
1	1	1	1	1	0	1

Fig. 8.4.7 Tabla de verdad para el caso D)

La minimización de las funciones $Q_A(t+\tau)$, $Q_B(t+\tau)$ e y empleando los diagramas de Karnaugh se muestran en la figura (8.4.9)

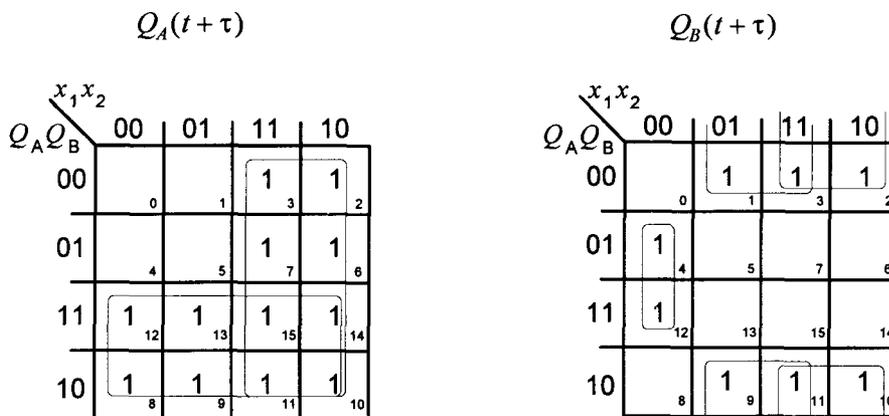


Fig. 8.4.8 Minimización, empleando diagramas de Karnaugh, para las entradas de los biestables empleados para implementar el diagrama de transición de estados del apartado D)

$$Q_A(t + \tau) = x_1 + Q_A$$

$$Q_B(t + \tau) = \overline{x_1} \overline{x_2} Q_B + x_2 \overline{Q_B} + x_1 \overline{Q_B} = \overline{x_1} (x_2 \oplus Q_B) + x_1 \overline{Q_B}$$

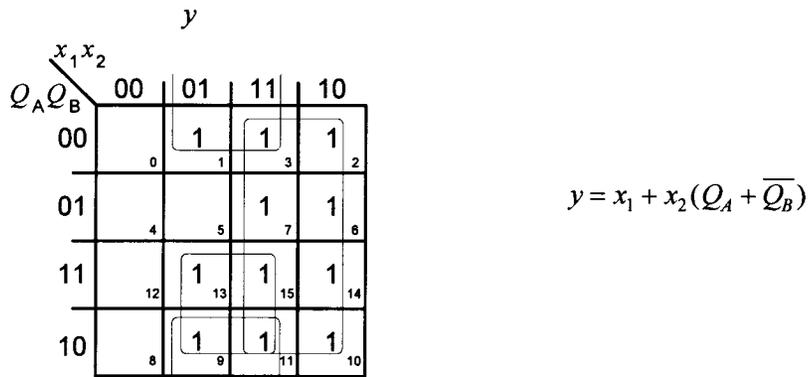


Fig. 8.4.9 Minimización empleando diagramas de Karnaugh para la salida del caso D)

Por último el circuito correspondiente que se obtiene para este caso aparece en la figura (8.4.10)

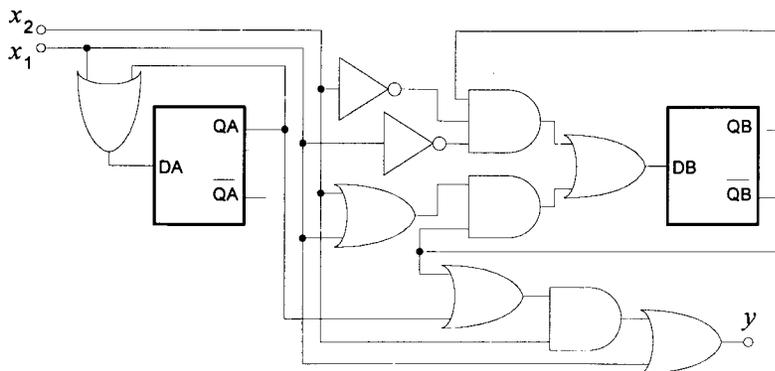


Fig. 8.4.10 Circuito correspondiente al caso D)

E) La figura (8.4.11) muestra la tabla de verdad, y en la figura (8.4.12) aparecen los diagramas de Karnaugh empleados para obtener las expresiones mínimas de las funciones $Q_A(t + \tau)$, $Q_B(t + \tau)$ e y

$Q_A(\tau)$	$Q_B(\tau)$	x_1	x_2	$Q_A(t + \tau)$	$Q_B(t + \tau)$	y
0	0	0	0	0	0	0
0	0	0	1	0	1	1
0	0	1	0	0	1	1
0	0	1	1	0	0	0
0	1	0	0	0	1	0
0	1	0	1	1	0	1
0	1	1	0	1	0	1
0	1	1	1	0	1	0
1	0	0	0	1	0	1
1	0	0	1	1	1	1
1	0	1	0	1	1	1
1	0	1	1	1	0	1
1	1	0	0	1	1	0
1	1	0	1	1	1	0
1	1	1	0	1	1	0
1	1	1	1	1	1	0

Fig. 8.4.11 Tabla de verdad del caso E)

Así obtenemos las siguientes expresiones minimizadas:

$$Q_A(t + \tau) = Q_A + Q_B(\overline{x_1x_2} + x_1\overline{x_2}) = Q_A + Q_B(x_1 \oplus x_2)$$

$$\begin{aligned} Q_B(t + \tau) &= \overline{x_1} \overline{x_2} Q_B + Q_A Q_B + \overline{Q_B} \overline{x_1x_2} + Q_B x_1x_2 + \overline{Q_B} \overline{x_2x_1} = \\ &= Q_B(\overline{x_1} \overline{x_2} + x_1x_2 + Q_A) + \overline{Q_B}(x_1 \oplus x_2) = Q_B(\overline{x_1 \oplus x_2} + Q_A) + \overline{Q_B}(x_1 \oplus x_2) \\ &= Q_B \oplus x_1 \oplus x_2 + Q_B Q_A \end{aligned}$$

$$y = Q_A \overline{Q_B} + \overline{Q_A}(x_1 \oplus x_2)$$

El circuito correspondiente se muestra en la figura (8.4.13).

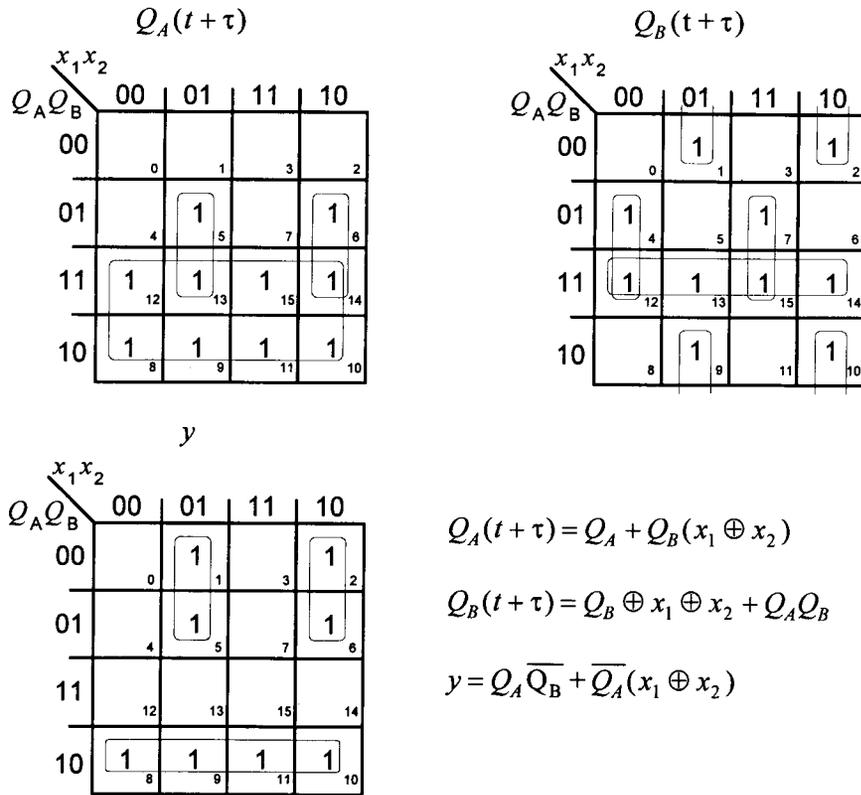


Fig. 8.4.12 Minimización de las funciones del caso E)

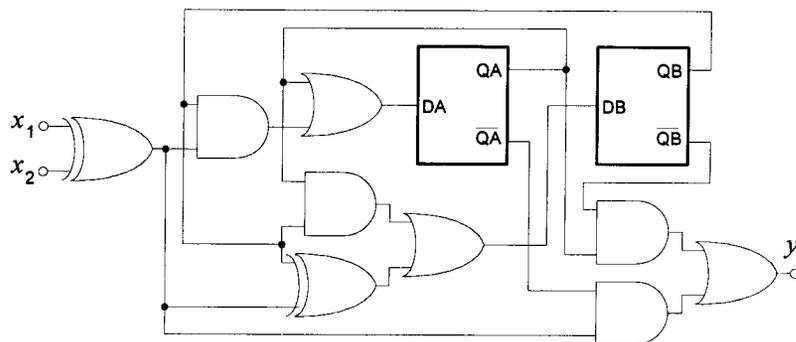
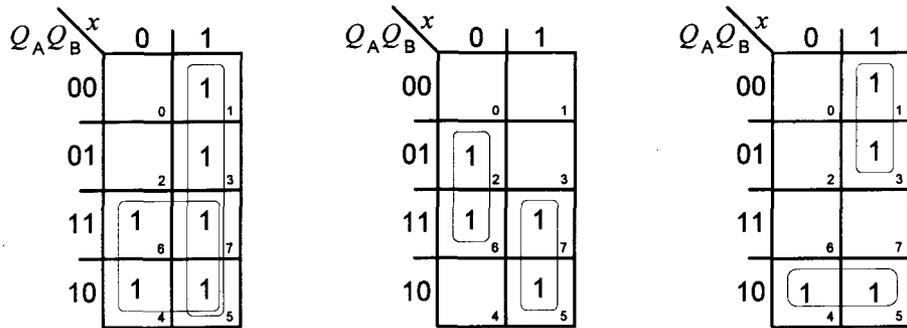


Fig. 8.4.13 Circuito del caso E)

- F) Las figuras (8.4.14), (8.4.15) y (8.4.16) muestran la tabla de verdad, la minimización y el circuito correspondiente a este caso.

$Q_A(t)$	$Q_B(t)$	x	$Q_A(t+\tau)$	$Q_B(t+\tau)$	y
0	0	0	0	0	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	1	1	0	1
1	0	0	1	0	1
1	0	1	1	1	1
1	1	0	1	1	0
1	1	1	1	1	0

Fig. 8.4.14 Tabla de verdad para el caso f)



$$Q_A(t+\tau) = Q_A + x$$

$$Q_B(t+\tau) = Q_B \bar{x} + Q_A x$$

$$y = Q_A \bar{Q}_B + \bar{Q}_A x$$

Fig. 8.4.15 Minimización

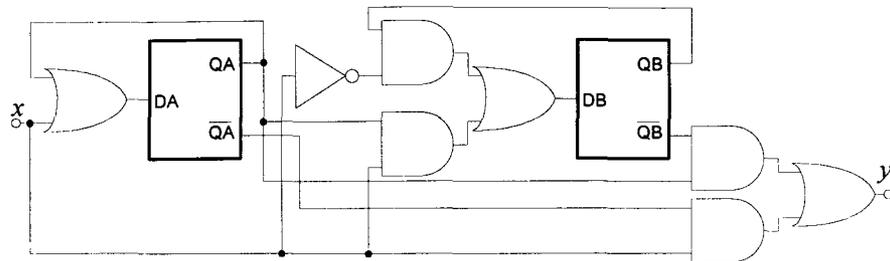


Fig. 8.4.16 Circuito correspondiente al caso F)

□ □ □ □

E.8.5 Diseño de un biestable R-S mediante puertas NAND

Diseñar un biestable R-S mínimo disparado a niveles usando sólo puertas NAND. Recordar que en una puerta NAND basta con una entrada en baja para que la salida esté en alta, sea cual fuere el valor de las otras entradas. Partiendo del diseño anterior introducir el reloj (Ck) para que el disparo sea síncrono. Por último modificar este circuito introduciendo las entradas adicionales de "preset" y "clear".

Solución:

Como las puertas NAND se disparan siempre que alguna de las entradas está en baja (00,01,10), podemos construir un biestable R-S mínimo realimentando dos puertas NAND y usando *lógica negativa* (entradas \bar{R} y \bar{S} activas en baja). La figura (8.5.1) muestra el comportamiento para las cuatro configuraciones.

- Reset activo ($\bar{R} = 0, \bar{S} = 1$) $\Rightarrow Q=0$ y $\bar{Q} = 1$.
- Set activo ($\bar{R} = 1, \bar{S} = 0$) $\Rightarrow Q=1$ y $\bar{Q} = 0$.
- Ambos activos ($\bar{R} = \bar{S} = 0$) $\Rightarrow Q=?$ y $\bar{Q}=?$.
- Ninguno activo ($\bar{R} = \bar{S} = 1$) $\Rightarrow Q(t + \tau) = Q(t)$ depende del estado anterior.

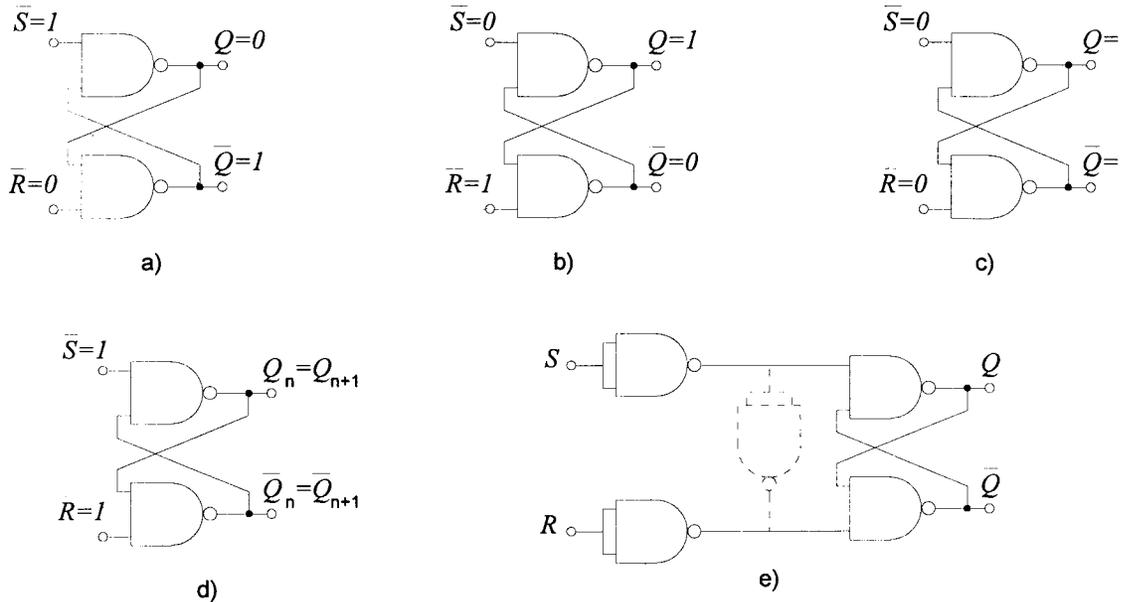


Fig. 8.5.1 RS con puertas NAND. (a) $\bar{R} = 0, \bar{S} = 1$. (b) $\bar{R} = 1, \bar{S} = 0$. (c) $\bar{R} = \bar{S} = 0$. (d) $\bar{R} = \bar{S} = 1$. Recordar que basta una entrada en baja para obtener la salida en alta. (e) Lógica positiva

En los casos a) y b) obtenemos de nuevo, al igual que en la síntesis con NOR, el comportamiento deseado.

El caso c) da lugar a incertidumbre ya que depende de los anteriores y de los retardos y transitorios en el lazo de realimentación. De esta forma también se elimina la posibilidad del caso d). De esta forma quedan tan sólo las configuraciones (0,1) y (1,0).

Si quisiéramos mantener el criterio de lógica positiva pondríamos dos nuevas NAND actuando como inversores (8.5.1 e).

Para obtener la versión sincronizada a niveles introducimos, como en el caso NOR, un reloj en las puertas de entrada, tal como se muestra en la figura (8.5.2 a). La tabla de verdad correspondiente se muestra en la figura (8.5.3). Para el biestable con señales de preset y el clear añadimos dos entradas asíncronas en Q y \bar{Q} de forma que, independientemente del estado del reloj, estas señales actúen de forma prioritaria y lleven a alta (preset) o a baja (clear) la salida del R-S (fig. 8.5.2 b) como se muestra en el circuito de la figura (8.5.2 b) y su correspondiente tabla de verdad de la figura (8.5.4).

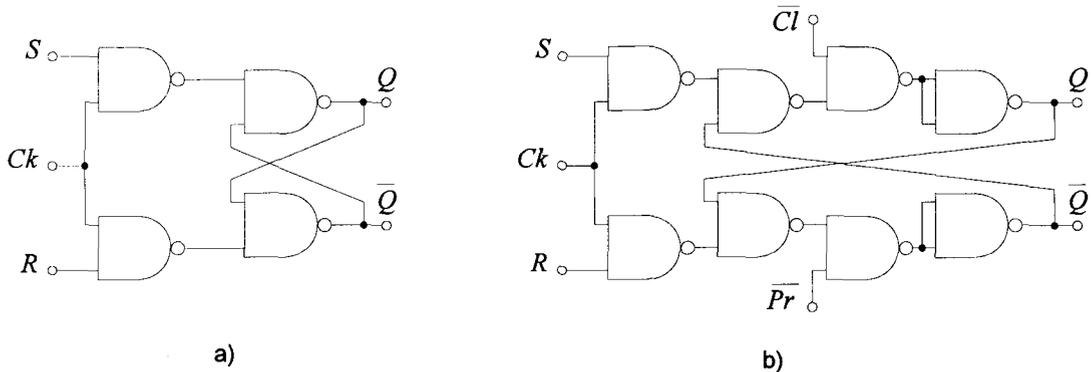


Fig. 8.5.2 a) Sincronizado a niveles. b) Con "preset" y "clear"

Ck	R	S	Q_{n+1}
0	x	x	Q_n
1	0	0	Q_n
1	0	1	1
1	1	0	0
1	1	1	?

Fig. 8.5.3 Tabla de verdad correspondiente al biestable R-S mínimo con reloj

\overline{Pr}	\overline{Cl}	Ck	R	S	Q_{n+1}
0	1	x	x	x	1
1	0	x	x	x	0
0	0	x	x	x	?
1	1	0	x	x	Q_n
1	1	1	0	0	Q_n
1	1	1	0	1	1
1	1	1	1	0	0
1	1	1	1	1	?

Fig. 8.5.4 Tabla de verdad para un biestable R-S con "preset" y "clear"

□ □ □ □

E.8.6 Diseño de un biestable J-K utilizando otros biestables

Obtener un biestable J-K primero a partir de un biestable tipo D y después a partir de uno de tipo T.

Solución:

El procedimiento para obtener un J-K a partir de un T ó de un D es conseguir sintetizar las ecuaciones del J-K, ($Q_{n+1} = J\overline{Q}_n + \overline{K}Q_n$) a partir de las ecuaciones del T ($Q_{n+1} = T\overline{Q}_n + \overline{T}Q_n$) o del D ($Q_{n+1} = D$) usando cuantas puertas AND y OR fueran necesarias para preparar las señales de entrada al T y al D.

J	K	Q_n	Q_{n+1}	D
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

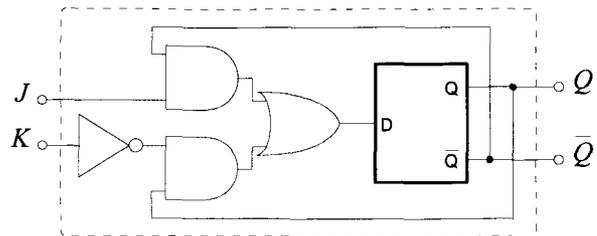
Fig. 8.6.1 Tabla de verdad para obtener un biestable J-K a partir de un biestable D

Exteriormente sólo aparecen accesibles las entradas J - K y las salidas Q y \bar{Q} . En el interior tenemos las entradas T (o D) y las salidas Q y \bar{Q} del T (o del D). La figura (8.6.1) muestra la tabla de verdad de todas las configuraciones posibles para J - K y Q_n y los valores correspondientes en Q_{n+1} y D . En la figura (8.6.2 a) se muestra la expresión de D en función de J , K y Q_n y en la parte (8.6.2 b) el circuito correspondiente. El mismo orden se sigue en las figuras 8.6.2 para el caso del biestable T .

		KQ_n			
		00	01	11	10
J	0	0	1	3	2
	1	1	1	7	1
		4	5	6	8

$$D = \bar{K}Q_n + J\bar{Q}_n$$

a)

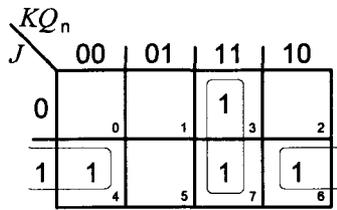


b)

Fig. 8.6.2 a) Expresión de la entrada D para obtener un biestable J-K. b) Circuito

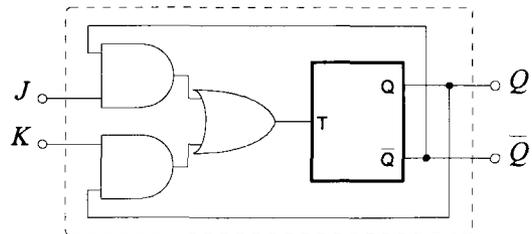
J	K	Q_n	Q_{n+1}	T
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	0	1
1	0	0	1	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	1

Fig. 8.6.3 Tabla de verdad para obtener un biestable J-K a partir de un biestable T



$$T = KQ_n + J\bar{Q}_n$$

a)



b)

Fig. 8.6.4 a) Expresión de la entrada T para obtener un biestable J-K. b) Circuito



E.8.7 Análisis de un circuito formado por biestables J-K "maestro-esclavo"

La figura adjunta muestra un circuito formado por la conexión serie de tres biestables J-K "master-slave" disparados por pulsos. El primero actúa como tal J-K, sin ninguna restricción en los valores de J y K. El segundo actúa como D y el tercero como T. Dibujar las formas de onda que se obtienen en los puntos (1), (2) y (3) de la figura (8.7.1) cuando a la entrada del primer J-K se aplican las señales que se muestran en la figura (8.7.2).

Conviene recordar que el J-K "master-slave" utiliza los dos flancos del pulso de reloj para realizar sus cambios de estado. Durante la **subida** del pulso se produce el cambio de estado interno de la salida de la sección "master", que actúa de entrada a la sección "slave" y durante la

bajada del pulso de reloj, se produce el cambio en la salida de la sección "slave" que es la que se observa externamente.

Esto significa que para construir el cronograma que se pide en este ejercicio hay que fijarse en los valores de J y K cuando suba el pulso de reloj para dibujar los valores en (Q, \bar{Q}) cuando el pulso baje.

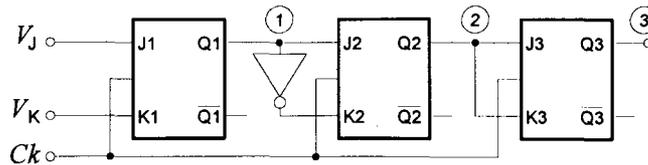


Fig. 8.7.1

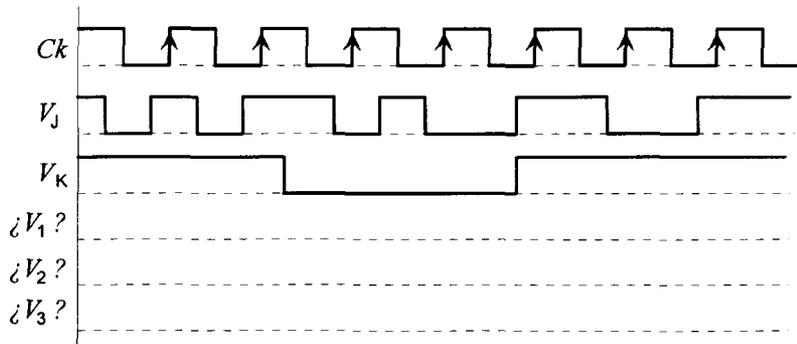


Fig. 8.7.2

Solución:

Teniendo en cuenta las recomendaciones del final del enunciado es fácil comprobar que se obtienen los resultados de la figura (8.7.3) (suponiendo estados iniciales en baja).

Obsérvese como en t_1 con $J = 1$ y $K = 1$ el maestro del primer J - K cambia de estado y en t_2 , cuando el reloj (Ck) pasa a baja, este cambio se manifiesta en la salida del esclavo ($Q_1 = V_1$). Como el segundo biestable es tipo D ($J_2 = \bar{K}_2$), el pulso que aparece en su entrada se presenta en su salida con un retardo de un periodo de reloj, es decir, a la bajada del pulso de reloj (t_4) pasa a alta la señal $V_2 = Q_2$. En t_6 , bajada del

tercer pulso de reloj, cambia de estado el biestable T , tardando por tanto en presentarse el efecto de la entrada en la salida dos periodos y medio de reloj.

Análogamente, en t_8 aparecerá a la salida del circuito, V_2 , el efecto de los valores de J_1 y K_1 del primer biestable en t_3 .

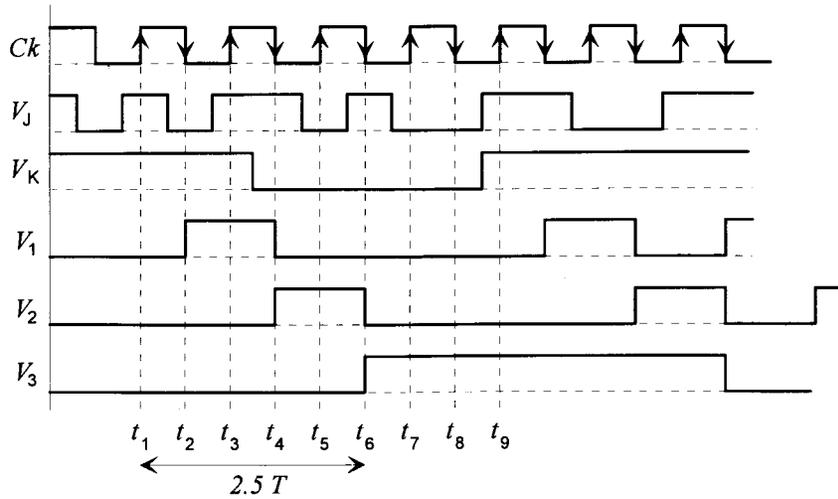


Fig. 8.7.3 Formas de onda en los puntos 1, 2 y 3 de la figura (8.7.1)

TEMA



Introducción al diseño secuencial: Contadores y registros

PROPÓSITO

Los problemas de este tema tienen una gran importancia en toda la electrónica digital porque están encaminados a introducir al alumno en el diseño secuencial. Para la solución de los problemas se usa el material teórico del tema correspondiente en el texto de base pero también se usa mucho conocimiento de temas previos, en particular el correspondiente a la lógica combinacional y a las configuraciones de disparo de los biestables T, D y J-K. Se trata por tanto de un tema de síntesis de conocimientos.

La estrategia que hemos seguido al proponer los enunciados y al presentar los distintos procedimientos de solución toma muy en cuenta los condicionantes de la enseñanza a distancia de forma que no nos limitamos a "presentar la solución" sino que procuramos guiar al alumno a través de la descripción explícita de los razonamientos que nosotros hemos usado al resolver estos problemas.

Otro aspecto que hemos cuidado es la selección de problemas genéricos, representativos de tipos generales de circuitos de forma que iniciamos la solución introduciendo aspectos metodológicos que no sólo son válidos para el problema concreto que nos sirve de "excusa" sino para todos los del mismo tipo. Son en definitiva, procedimientos genéricos de solución de problemas.

Hemos alternado el uso del procedimiento general con otros más intuitivos y menos costosos y en muchas ocasiones hemos ofrecido soluciones con D y con J-K.

Finalmente hemos introducido un problema encaminado al análisis de un circuito real (SN-74195) para ayudar al alumno a la comprensión de circuitos integrados en media escala a partir del estudio de los datos de catálogo que ofrece el fabricante. Fuera del contexto educativo es poco frecuente que un alumno tenga que diseñar y construir un contador o un registro a partir de biestables y puertas lógicas. Lo usual será que traduzca su problema a un conjunto de especificaciones funcionales y que posteriormente, busque en los catálogos los circuitos MSI que mejor aproximen la solución. Para esto último es necesario que comprenda las tablas de verdad y los cronogramas que se incluyen en las hojas de datos. Para ayudarle en esta tarea están los dos últimos problemas de este tema.



EJERCICIOS RESUELTOS

E.9.1 Circuito de control de un ascensor

Representar (pasos P.1 y P.2 del procedimiento general), el autómata finito que resuelve el siguiente problema de control de los movimientos de un ascensor en un edificio con planta baja y dos pisos. Considerar como entradas al autómata las órdenes de llamada (ninguna llamada, llamada del piso 0, del piso 1 y del piso 2 y llamadas de dos ó más pisos a la vez) Las salidas del autómata son las órdenes que el controlador digital da a los motores (subir, bajar, quedarse donde está). Finalmente, los estados corresponden a las situaciones distinguibles de ascensor parado en piso 0, 1 ó 2, ascensor subiendo y ascensor bajando. Suponer que cuando el ascensor está en movimiento no acepta órdenes y que cuando, estando parado, recibe dos ó más órdenes sólo atiende a la que le cuesta menos esfuerzo. Es decir, si está en el piso 0 y le llaman del 1 y del 2, irá al primero.

- Obtener los espacios de entrada y salida y los estados internos necesarios. Asignar las variables lógicas necesarias para su descripción formal.*
- Sintetizar el autómata resultante usando el procedimiento general con biestables D y PLD's.*
- Obtener las funciones de salida a partir de las entradas y los estados.*
- Realizar el proceso inverso de análisis y comprobar que se obtiene la matriz funcional de partida.*

Solución:

Aunque en el enunciado se han dado indicaciones que prácticamente corresponden a los apartados P.1 y P.2 del procedimiento general, vamos a repetir ahora el proceso de forma más completa.

1.- Espacio de entradas.

Está formado por el conjunto de órdenes que le pueden llegar al control del ascensor. Proceden tanto de los botones que hay en las tres plantas (0, 1 y 2) como de los botones interiores de la cabina (0, 1 y 2). Desde el exterior son órdenes de llamada y desde el interior son órdenes de desplazamiento para subir y bajar. Sin embargo, para el circuito de control no son distinguibles y el único problema a resolver es que deben ser compatibles y no contradictorios, de forma que cuando se reciben por ejemplo llamadas de dos pisos distintos a la vez, se va sólo al más próximo y, ante igual distancia, al más bajo. La tabla de verdad de la figura (9.1.1) resume estas configuraciones $\{X_i\}$ y las variables binarias usadas para codificarlas, (x_0, x_1, x_2)

Entrada X_i	Código			Significado
	x_0	x_1	x_2	
X_0	0	0	0	Ninguna llamada
X_1	0	0	1	Llamada del bajo
X_2	0	1	0	Llamada del 1°
X_3	0	1	1	Llamada del 2°
X_4	1	0	0	Llamada del 2° y del 1°
X_5	1	0	1	Llamada del 1° y del bajo
X_6	1	1	0	Llamada del bajo y del 2°
X_7	1	1	1	Llamada del 1°, del 2° y del bajo

Fig. 9.1.1 Espacio de entradas

El espacio de estados corresponde a las distintas situaciones en las que puede encontrarse el ascensor. La tabla correspondiente es la de la figura (9.1.2).

Finalmente nos quedan el espacio de salidas y las tablas de transición de estados y de producción de salidas. Veamos primero el espacio de salidas. Constituye el conjunto de órdenes posibles del circuito de control a los motores del ascensor. Dependerán

obviamente del estado y de las llamadas, pero el conjunto de todas las posibles es el que se muestra en la figura (9.1.3).

Estado S_i	Código		Significado
	Q_0	Q_1	
S_0	0	0	Parado en piso bajo
S_1	0	1	Parado en el 1°
S_2	1	0	Parado en el 2°
S_3	1	1	En movimiento (Subiendo o bajando)

Fig. 9.1.2 Tabla de estados

Orden de salida Y_i	Código			Significado
	y_0	y_1	y_2	
Y_0	0	0	0	No acciona el motor
Y_1	0	0	1	Subir un piso
Y_2	0	1	0	Subir dos pisos
Y_3	0	1	1	Bajar un piso
Y_4	1	0	0	Bajar dos pisos

Fig. 9.1.3 Espacio de salidas

Como tenemos necesidad de codificar cinco órdenes, no nos basta con dos variables (y_1, y_2), sin embargo de la tercera (y_0) sólo usamos una configuración (1 0 0). El resto son irrelevantes, y pueden usarse para minimizar. En este ejercicio no vamos a realizar minimización ya que la solución propuesta se implementa con lógica programable.

Veamos ahora la dinámica de transición de estados. La resumimos en la figura (9.1.4) y comentamos aquí el procedimiento de construcción, consecuencia directa del uso conjunto de las tablas de las figuras (9.1.1) (entradas) y (9.1.2) (estados), junto con las siguientes condiciones de solución de conflictos:

- 1.- Si está en movimiento no acepta órdenes de llamada. El estado (1 1) puede usarse para minimizar.
- 2.- Si le llaman del primero y del segundo a la vez y está en el bajo, va al primero.
- 3.- Si le llaman del primero y del bajo a la vez y está en el segundo, va al primero.
- 4.- Si le llaman del bajo y del segundo a la vez y está en el primero, va al bajo.
- 5.- Si le llaman de los tres a la vez, no se mueve.
- 6.- Si le llaman de dos a la vez y está en uno de ellos, tampoco se mueve.

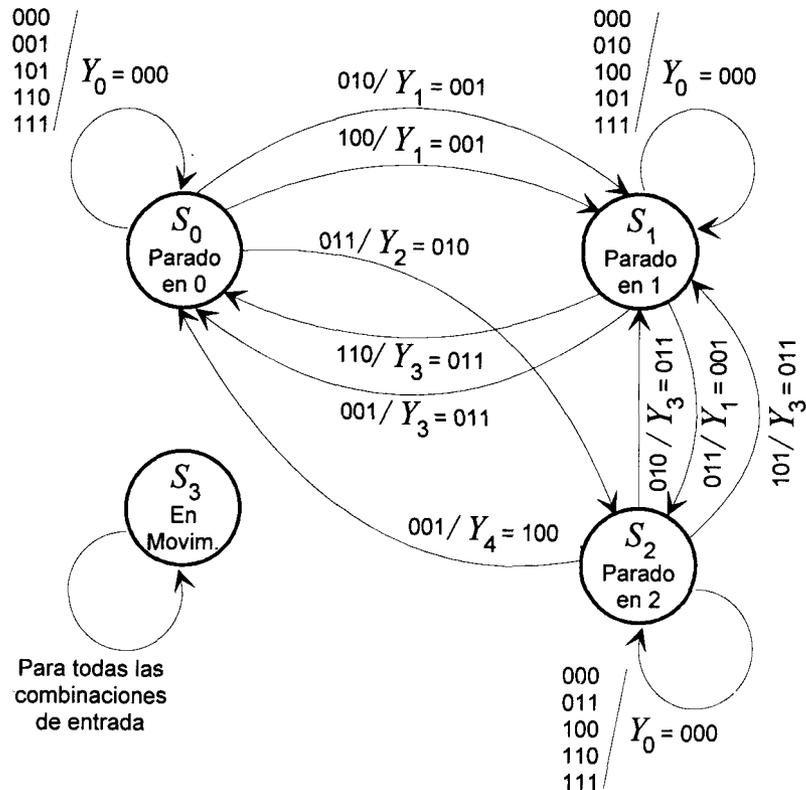


Fig. 9.1.4 Diagrama de transición de estados

Para aplicar el procedimiento general de síntesis con PLD's y biestables D , obtenemos primero la matriz funcional (sumando los productos de las ocho matrices de transición por las configuraciones de entrada que las activan) y obtenemos después las ecuaciones de D_0 y D_1 sumando los caminos que llevan desde cualquier configuración inicial a $Q_0 = 1$ y $Q_1 = 1$ respectivamente.

La matriz funcional es $M(x_0, x_1, x_2)$:

Q_0Q_1	00	01	10	11
00	$X_0 + X_1 + X_5 + X_6 + X_7$	$X_2 + X_4$	X_3	0
01	$X_1 + X_6$	$X_0 + X_2 + X_4 + X_5 + X_7$	X_3	0
10	X_1	$X_2 + X_5$	$X_0 + X_3 + X_4 + X_6 + X_7$	0
11	0	0	0	1

$\overbrace{\hspace{10em}}^{Q_0 = 1}$
 $\underbrace{\hspace{10em}}_{Q_1 = 1}$

Fig. 9.1.5 Matriz funcional

de donde obtenemos las expresiones de D_0 y D_1 :

$$D_0 = \overline{Q_0} \overline{Q_1} X_3 + \overline{Q_0} Q_1 X_3 + Q_0 \overline{Q_1} (X_0 + X_3 + X_4 + X_6 + X_7) + Q_0 Q_1 \cdot 1$$

$$D_1 = \overline{Q_0} \overline{Q_1} (X_2 + X_4) + \overline{Q_0} Q_1 (X_0 + X_2 + X_4 + X_5 + X_7) + Q_0 \overline{Q_1} (X_2 + X_5) + Q_0 Q_1 \cdot 1$$

Donde las X_i son los códigos asignados a las entradas como se muestra en la tabla de la figura (9.1.1). Hay ocho configuraciones de entrada posibles que se corresponden con cada uno de los "minterms" que pueden formarse con x_0, x_1 y x_2 . En las expresiones de D_0 y D_1 aparecen las configuraciones de entrada que permiten el paso de cualquier estado inicial a estados finales en los que $Q_0=1$ (expresión de D_0) y a los que $Q_1=1$ (expresión de D_1).

No nos preocupamos de minimizar puesto que en síntesis con PLD's lo que necesitamos es expandir para ver los términos mínimos que posee cada línea de salida.

Veamos ahora la función de producción de salidas a partir de las entradas y los estados:

$$y_0 = g_0(Q_0, Q_1; x_0, x_1, x_2)$$

$$y_1 = g_1(Q_0, Q_1; x_0, x_1, x_2)$$

$$y_2 = g_2(Q_0, Q_1; x_0, x_1, x_2)$$

Recordemos la tabla de la figura (9.1.3) en la que teníamos codificadas las órdenes (Y_0, Y_1, \dots, Y_4) con tres variables binarias (y_1, y_2, y_3) con las que nos sobraban tres configuraciones (101, 110 y 111) utilizables para minimizar. Vemos en esta tabla que $y_0 = 1$ sólo cuando $Y_4 = 1$. Análogamente $y_1 = 1$ cuando es Y_2 ó Y_3 y, finalmente, $y_2 = 1$ cuando lo es Y_1 ó Y_3 . Recorriendo ahora el diagrama de transición de estados de la figura (9.1.4) podemos escribir las ecuaciones de (y_0, y_1, y_2) por simple inspección.

$$\text{Así: } y_0 = Q_0 \overline{Q_1} \overline{x_0} \overline{x_1} x_2 = Q_0 \overline{Q_1} X_1$$

porque esa orden de salida sólo se da cuando el autómata está en S_2 ($Q_0 = 1, Q_1 = 0$) y le llega la llamada del bajo ($\overline{x_0} \overline{x_1} x_2$). Análogamente:

$$\begin{aligned} y_1 &= \overline{Q_0} \overline{Q_1} X_3 + \overline{Q_0} Q_1 (X_1 + X_6) + Q_0 \overline{Q_1} (X_2 + X_5) \\ y_2 &= \overline{Q_0} \overline{Q_1} (X_2 + X_4) + \overline{Q_0} Q_1 (X_1 + X_3 + X_6) + Q_0 \overline{Q_1} (X_2 + X_5) \end{aligned}$$

Otra forma más sistemática de obtener las expresiones de y_0, y_1 e y_2 es construyendo a partir del Diagrama de Transición de Estados la tabla correspondiente (9.1.6). Así:

$$y_0 = Q_0 \overline{Q_1} \overline{x_0} \overline{x_1} x_2 = Q_0 \overline{Q_1} X_1$$

$$\begin{aligned} y_1 &= \overline{Q_0} \overline{Q_1} \overline{x_0} x_1 x_2 + \overline{Q_0} Q_1 (\overline{x_0} \overline{x_1} x_2 + x_0 x_1 \overline{x_2}) + Q_0 \overline{Q_1} (\overline{x_0} x_1 \overline{x_2} + x_0 \overline{x_1} x_2) \\ &= \overline{Q_0} \overline{Q_1} X_3 + \overline{Q_0} Q_1 (X_1 + X_6) + Q_0 \overline{Q_1} (X_2 + X_5) \end{aligned}$$

$$y_2 = \overline{Q_0} \overline{Q_1} (\overline{x_0} x_1 \overline{x_2} + x_0 \overline{x_1} x_2) + \overline{Q_0} Q_1 (\overline{x_0} \overline{x_1} x_2 + \overline{x_0} x_1 x_2 + x_0 x_1 \overline{x_2})$$

$$\begin{aligned} &+ Q_0 \overline{Q_1} (\overline{x_0} x_1 \overline{x_2} + x_0 \overline{x_1} x_2) \\ &= \overline{Q_0} \overline{Q_1} (X_2 + X_4) + \overline{Q_0} Q_1 (X_1 + X_3 + X_6) + Q_0 \overline{Q_1} (X_2 + X_5) \end{aligned}$$

El resultado es el que se muestra en la figura (9.1.7).

$Q_0(t) Q_1(t)$	$x_0 x_1 x_2$	$Q_0(t + \Delta t) Q_1(t + \Delta t)$	$y_0 y_1 y_2$
00	000	0 0	000
	001	0 0	000
	010	0 1	001
	011	1 0	010
	100	0 1	001
	101	0 0	000
	110	0 0	000
	111	0 0	000
01	000	0 1	000
	001	0 0	011
	010	0 1	000
	011	1 0	001
	100	0 1	000
	101	0 1	000
	110	0 0	011
	111	0 1	000
10	000	1 0	000
	001	0 0	100
	010	0 1	011
	011	1 0	000
	100	1 0	000
	101	0 1	011
	110	1 0	000
	111	1 0	000
11	xxx	1 1	000

Fig. 9.1.6 Tabla de verdad obtenida a partir del diagrama de transición de estados

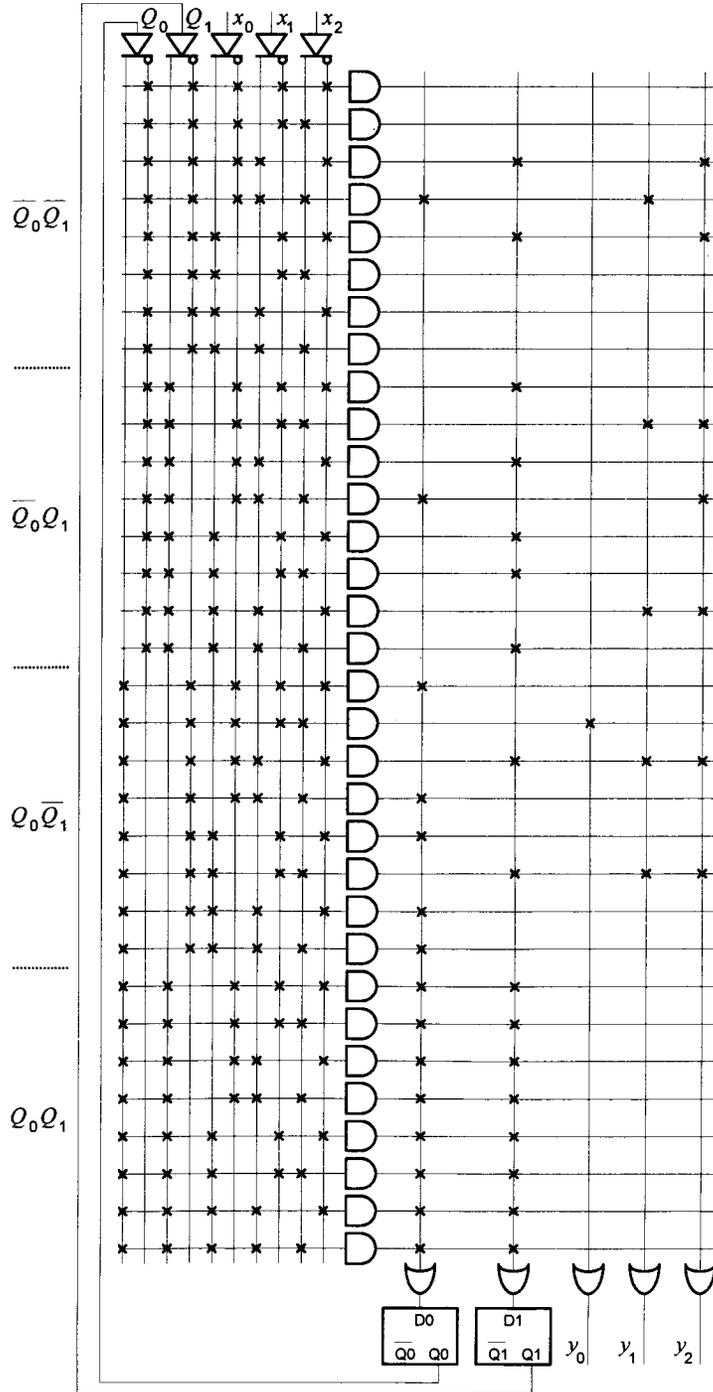


Fig. 9.1.7 Esquema del circuito completo

La expresión de y_1 se ha obtenido teniendo en cuenta que $y_1 = 1$ cuando lo son Y_2 ($Y_2 = \overline{y_0}y_1\overline{y_2}$) o Y_3 ($Y_3 = \overline{y_0}y_1y_2$) y esto ocurre cuando estando en $S_0 = \overline{Q_0}\overline{Q_1}$ llega la orden $X_3 = \overline{x_0}x_1x_2$, o bien cuando estando en $S_1 = \overline{Q_0}Q_1$ nos llegan las órdenes $X_1 = \overline{x_0}\overline{x_1}x_2$ o $X_6 = x_0x_1\overline{x_2}$, o también cuando estando en $S_2 = Q_0\overline{Q_1}$ llega la entrada $X_2 = \overline{x_0}x_1\overline{x_2}$ o la $X_5 = x_0\overline{x_1}x_2$. El circuito correspondiente se obtiene seleccionando los términos mínimos en una PROM tal como se muestra en la figura (9.1.7), donde aparece el circuito completo. La expresión de y_2 se obtiene de la misma forma.

Veamos finalmente el apartado d) del problema, en el que se nos pide realizar el proceso inverso (de análisis) y comprobar que el circuito obtenido en la figura (9.1.7) corresponde a las especificaciones funcionales de partida. La parte correspondiente a la producción de salidas es inmediata por lo que nos centraremos en el análisis de la dinámica de transición de estados. Es decir, los datos de partida son ahora las expresiones de D_0 y D_1 y lo que se nos pide es la matriz funcional correspondiente, $\mathbf{M}(x_0 x_1 x_2)$. Para ello existe un procedimiento general visto en teoría en el que para que el autómata pase del estado inicial S_i al estado final S_j , cada una de sus variables de estado (Q_0, Q_1 en el problema) deben pasar de como estaban en S_i a como están en S_j . Como esto debe ocurrir tanto para Q_0 como para Q_1 , la condición de transición $S_i \rightarrow S_j$ (elemento m_{ij} de la matriz) se obtiene como el producto de las dos condiciones de transición individuales:

$$(Q_{0inicial} \rightarrow Q_{0final}) \cdot (Q_{1inicial} \rightarrow Q_{1final})$$

La expresión general de esta condición compuesta es:

$$m_{ij}(X_m) = D_0^q(X_m; S_i) D_1^r(X_m; S_i)$$

siendo S_i el estado inicial y (q, r) los bits del estado final S_j . En esta expresión se ha utilizado la notación de Gilstrap en la que: $0^0 = 1$, $0^1 = 0$, $1^0 = 0$ y $1^1 = 1$.

Veamos por ejemplo el término m_{01} en el que se produce la transición $S_0 \rightarrow S_1$. Es decir, el primer biestable no cambia de estado mientras que el segundo si que cambia.

$$m_{01} = D_0^0(X_m; S_0) D_1^1(X_m; S_0) = \overline{D_0(X_m; S_0)} \cdot D_1(X_m; S_0)$$

Recordando las expresiones de D_0 y D_1 que traemos de nuevo aquí

$$D_0 = \overline{Q_0} \overline{Q_1} X_3 + \overline{Q_0} Q_1 X_3 + Q_0 \overline{Q_1} (X_0 + X_3 + X_4 + X_6 + X_7) + Q_0 Q_1 \cdot 1$$

$$D_1 = \overline{Q_0} \overline{Q_1} (X_2 + X_4) + \overline{Q_0} Q_1 (X_0 + X_2 + X_4 + X_5 + X_7) + Q_0 \overline{Q_1} (X_2 + X_5) + Q_0 Q_1 \cdot 1$$

Simplificadas, para el estado inicial ($Q_0 = 0, Q_1 = 0$):

$$D_0 = X_3 = \overline{x_0} x_1 x_2$$

$$D_1 = (X_2 + X_4) = \overline{x_0} x_1 \overline{x_2} + x_0 \overline{x_1} \overline{x_2}$$

$$m_{01} = \overline{\overline{x_0} x_1 x_2} \cdot (\overline{x_0} x_1 \overline{x_2} + x_0 \overline{x_1} \overline{x_2}) = \overline{x_0} x_1 \overline{x_2} + x_0 \overline{x_1} \overline{x_2}$$

término que como vemos coincide con el correspondiente de la matriz funcional de partida (es decir con el elemento de la M.F. que hace que pase del estado 00 al 01).

Análogamente podemos ir calculando cada uno de los 16 elementos de la M.F.

Veamos por ejemplo el elemento m_{21} que pasa del estado S_2 (10) al S_1 (10). Así:

$$m_{21}(X_m) = D_0^0(X_m; S_2) D_1^1(X_m; S_2) = \overline{D_0(X_m; S_2)} \cdot D_1(X_m; S_2)$$

$$D_0(X_m; S_2) = D_0(X_m; Q_0 = 1, Q_1 = 0) = X_0 + X_3 + X_4 + X_6 + X_7$$

$$D_1(X_m; S_2) = D_1(X_m; Q_0 = 1, Q_1 = 0) = X_2 + X_5$$

$$\begin{aligned} m_{21} &= \overline{X_0 + X_3 + X_4 + X_6 + X_7} (X_2 + X_5) = (X_1 + X_2 + X_5)(X_2 + X_5) \\ &= X_2 + X_5 = \overline{x_0} x_1 \overline{x_2} + x_0 \overline{x_1} x_2 \end{aligned}$$

Veamos otro elemento. Por ejemplo el que permite el paso de S_1 al S_2 , es decir, del 01 al 10, que será m_{12}

$$m_{12}(X_m) = D_0^1(X_m; S_1) D_1^0(X_m; S_1) = D_0(X_m; S_1) \cdot \overline{D_1(X_m; S_1)}$$

$$D_0(X_m; S_1) = D_0(X_m; Q_0 = 0, Q_1 = 1) = X_3$$

$$D_1(X_m; S_1) = D_1(X_m; Q_0 = 0, Q_1 = 1) = X_0 + X_2 + X_4 + X_5 + X_7$$

$$m_{12} = X_3(\overline{X_0 + X_2 + X_4 + X_5 + X_7}) = X_3(X_1 + X_3 + X_6) = X_3$$

puesto que $X_3 X_1 = 0$ ($\bar{x}_0 x_1 x_2 \cdot \bar{x}_0 \bar{x}_1 x_2 = \bar{x}_0 x_1 \bar{x}_1 x_2 = 0$)

y $X_3 X_6 = 0$ ($\bar{x}_0 x_1 x_2 \cdot x_0 x_1 \bar{x}_2 = \bar{x}_0 x_0 x_1 x_2 \bar{x}_2 = 0$)

□ □ □ □

E.9.2 Síntesis de un autómata finito de dos estados con biestable J-K

Durante la presentación del material teórico de este capítulo propusimos la síntesis de un autómata de dos estados con un biestable D (fig. 9.2.1) y el análisis y síntesis de otro autómata de cuatro estados (fig. 9.2.2). Repetir aquí ambos ejercicios usando biestables J-K, en lugar de biestables de tipo D.

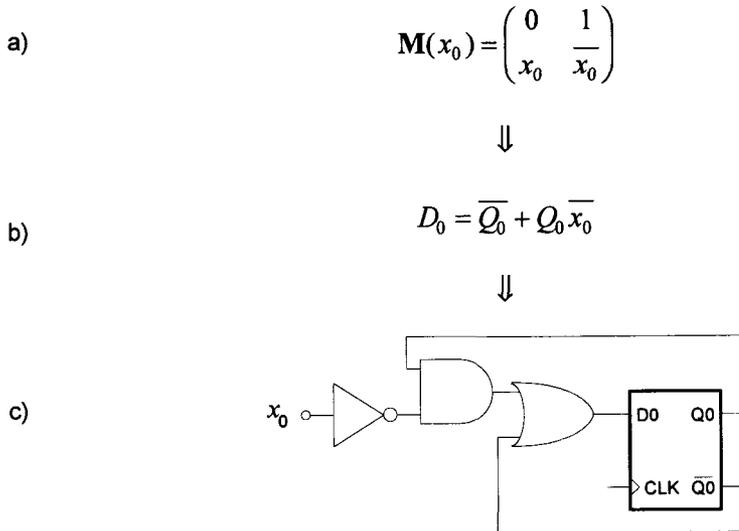


Fig. 9.2.1 Ilustración del proceso de síntesis:

a) Representación. b) Cálculo de la función de excitación. c) Circuito

			$Q_1 = 1$	$Q_0 = 1$	
			↓	↓	
	Q_0Q_1	00	01	10	11
Q_0Q_1		00	01	10	11
00		0	1	0	0
01		$x_0x_1 + \bar{x}_0\bar{x}_1$	0	0	$x_0\bar{x}_1 + \bar{x}_0x_1$
10		$\bar{x}_0\bar{x}_1$	\bar{x}_0x_1	$x_0\bar{x}_1$	x_0x_1
11		x_0x_1	$x_0\bar{x}_1$	$\bar{x}_0\bar{x}_1$	\bar{x}_0x_1

Fig. 9.2.2 Matriz funcional correspondiente a un autómata de cuatro estados y dos variables lógicas de entrada. Los estados se codifican con dos biestables D y en cada una de las 16 posiciones de la matriz aparece el término mínimo o la suma de términos mínimos que provoca la transición entre la fila y la columna correspondientes

Solución:

El propósito de este problema es adaptar el procedimiento general de síntesis usando biestables *D* a las soluciones equivalentes usando biestables *J-K*. Esto equivale a forzarnos a utilizar las tablas de excitación del *J-K* (9.2.3 b) y a sintetizar un circuito convertidor de código que genere estas funciones de excitación a partir de las entradas externas (x_0 en el ejemplo) y de las variables de estado (Q_0 en el ejemplo). La figura (9.2.3) muestra el esquema general de este procedimiento.

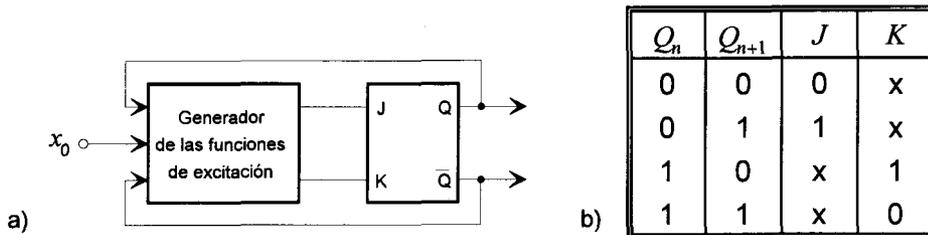


Fig. 9.2.3 a) Esquema general de diseño con J-K. b) Tabla de excitación del J-K

Primer caso:

La matriz funcional del autómata de la figura (9.2.1) es:

$$\mathbf{M}(x_0) = \begin{pmatrix} 0 & 1 \\ x_0 & \bar{x}_0 \end{pmatrix}$$

Es decir, si el estado inicial es $Q_0 = 0$ (primera fila de la matriz) el siguiente estado será $Q_0 = 1$, independientemente del valor de x . Para garantizar esta transición vemos en la tabla de excitación del J - K que J debe ser igual a uno. Entonces $J_0 = \bar{Q}_0$.

En la segunda fila, cuando el estado inicial es $Q_0 = 1$, la entrada x_0 provoca la transición a $Q_0 = 0$ y la \bar{x}_0 lo deja donde está. Volviendo de nuevo a la tabla vemos que las transiciones desde $Q_n = 1$ las controla K , de forma que para $K=1$ el nuevo estado es $Q_{n+1} = 0$ y para $K=0$, $Q_{n+1} = 1$. Así tomando este segundo caso obtendremos $\bar{K}_0 = Q_0 \bar{x}_0$

$$\text{Así: } K_0 = \overline{Q_0 \bar{x}_0} = (\bar{Q}_0 + x_0), \quad \begin{matrix} \bar{Q}_0(t+\Delta t) & Q_0(t+\Delta t) \\ J_0 \rightarrow \bar{Q}_0 & \begin{pmatrix} 0 & 1 \\ x_0 & \bar{x}_0 \end{pmatrix} \\ \bar{K}_0 \rightarrow Q_0 & \end{matrix}$$

con lo que obtenemos el circuito de la figura (9.2.4).

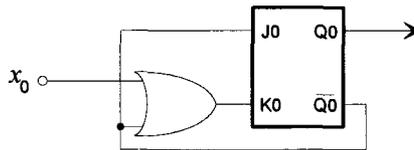


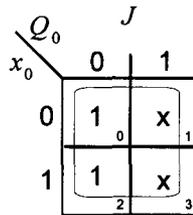
Fig. 9.2.4 Circuito correspondiente al primer caso

Otra forma de hacerlo es con la tabla de verdad y después minimizando por Karnaugh.

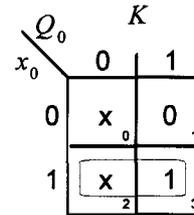
$$J = \bar{Q}_0; \quad K = x_0 Q_0$$

x_0	$Q_0(t)$	$Q_0(t + \Delta t)$	J	K
0	0	1	1	x
0	1	1	x	0
1	0	1	1	x
1	1	0	x	1

Si se minimiza por Karnaugh se obtiene:



$$J = 1$$



$$K = x_0$$

Las tres soluciones son correctas.

x_0	Q_n	$J = \bar{Q}$	$K = \bar{Q}_0 + x_0$	$Q_{n+1}^{(1)}$	$K = x_0 Q_n$	$Q_{n+1}^{(2)}$	$J = 1$	$K = x_0$	$Q_{n+1}^{(3)}$
0	0	1	1	1	0	1	1	0	1
0	1	0	0	1	0	1	1	0	1
1	0	1	1	1	0	1	1	1	1
1	1	0	1	0	1	0	1	1	0

Segundo caso:

Veamos ahora el segundo caso a través de un procedimiento general que nos permita escribir las funciones de excitación, (J_i, K_i) con $i = 0, 1, \dots, N - 1$, para cada uno de los N biestables necesarios en la síntesis de autómatas con 2^N estados.

Cuando se diseña con biestables D , las ecuaciones son muy sencillas porque $D_n^i = Q_{n+1}^i$ de forma que nos basta con sumar sobre la matriz funcional todos los

caminos que llevan desde cualquier estado inicial hasta el subconjunto de estados finales en los que el biestable i -ésimo esté en alta

$$D^i = \sum_{l=0}^{2^N-1} \sum_{j \in I} [(S_{inicial})_l \cdot (Configuración\ de\ entrada)_j]$$

siendo I el conjunto de estados finales en los que el bit i -ésimo está en alta.

Ahora, en el diseño con J - K observamos que cuando el estado inicial es $Q_n = 0$, las transiciones $Q_n \rightarrow Q_{n+1}$ las gobierna la entrada J de forma que si $J=0$, el nuevo estado es $Q_{n+1} = 0$, y si $J=1$ el nuevo estado es $Q_{n+1} = 1$. Inversamente, cuando el estado inicial es $Q_n = 1$, las transiciones las gobierna la entrada K , de forma que cuando $K=0$ ($\bar{K}=1$), el nuevo estado es $Q_{n+1} = 1$, y cuando $K=1$ el nuevo estado es $Q_{n+1} = 0$, independientemente de J .

Por consiguiente, el nuevo procedimiento general de síntesis se obtiene haciendo una partición del conjunto de estados iniciales para cada biestable: Aquellos en los que el bit i -ésimo está en baja, S_i^0 , y aquellos otros en los que ese bit está en alta, S_i^1 . Para los primeros, controlados por J_i , buscaremos la suma de caminos que nos lleven a estados finales con Q_i en alta para todas las configuraciones de entrada.

$$J_i = \sum_{l \in S_i^0} \sum_{j \in I} [(S_{inicial})_l \cdot (Configuración\ de\ entrada)_j]$$

siendo I el conjunto de estados finales con el bit i -ésimo en alta.

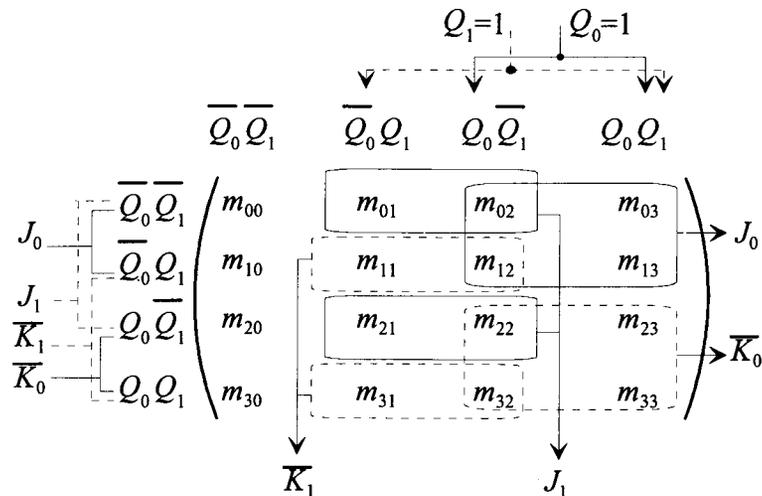
Análogamente, para la otra mitad de estados iniciales en los que el bit i -ésimo está en alta, (S_i^1), sumaremos los caminos que nos llevan a estados finales en los que el bit i -ésimo también está en alta. Como ahora las transiciones las manda la entrada K , tendremos:

$$\bar{K}_i = \sum_{l \in S_i^1} \sum_{j \in I} [(S_{inicial})_l \cdot (Configuración\ de\ entrada)_j]$$

Apliquemos ahora este procedimiento al caso del problema. Como hay cuatro estados necesitamos dos biestables J - K de salidas (Q_0 , Q_1) y entradas (J_0 , K_0) y (J_1 , K_1). La

figura (9.2.5) muestra la matriz funcional, la partición de los estados y los caminos que llevan a estados finales con $Q_0 = 1$ (10 y 11, correspondientes a las columnas 3 y 4) partiendo de $Q_0 = 0$ (filas primera y segunda) y de $Q_0 = 1$ (filas tercera y cuarta) nos proporciona las expresiones de J_0 y \bar{K}_0 .

Análogamente tendremos que sumar los caminos que partiendo de $Q_1 = 0$ (filas primera y tercera) y de $Q_1 = 1$ (filas segunda y cuarta) llevan a estados finales con $Q_1 = 1$ (columnas segunda y cuarta), para obtener J_1 y K_1 respectivamente.



Las expresiones de las cuatro señales de control que se obtienen siguiendo estos caminos son:

$$\begin{aligned}
 J_0 &= \bar{Q}_0 \bar{Q}_1 (m_{02} + m_{03}) + \bar{Q}_0 Q_1 (m_{12} + m_{13}) \\
 \bar{K}_0 &= Q_0 \bar{Q}_1 (m_{22} + m_{23}) + Q_0 Q_1 (m_{32} + m_{33}) \\
 J_1 &= \bar{Q}_0 \bar{Q}_1 (m_{01} + m_{03}) + Q_0 \bar{Q}_1 (m_{21} + m_{23}) \\
 \bar{K}_1 &= \bar{Q}_0 Q_1 (m_{11} + m_{13}) + Q_0 Q_1 (m_{31} + m_{33})
 \end{aligned}$$

donde m_{ij} son los elementos de la matriz funcional que representan a las configuraciones de entrada que provocan las transiciones entre estados.

Por comodidad repetimos aquí la Matriz Funcional del enunciado en la que hemos marcado las filas y columnas que intervienen en la obtención de las expresiones de J_0, K_0, J_1 y K_1 .

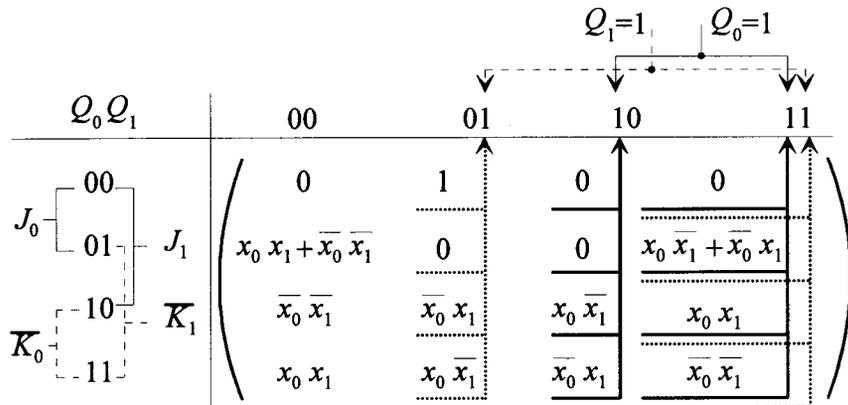


Fig. 9.2.5 Matriz funcional con los caminos que controlan J y K hacia los estados finales en los que $Q_0 = 1$ (línea continua) y hacia los estados finales en los que $Q_1 = 1$ (línea punteada).

Sustituyendo los valores del problema obtenemos:

$$\begin{aligned}
 J_0 &= \overline{Q_0} \overline{Q_1}(0+0) + \overline{Q_0} Q_1(0+x_0\overline{x_1} + \overline{x_0}x_1) = \overline{Q_0} Q_1(x_0\overline{x_1} + \overline{x_0}x_1) \\
 \overline{K_0} &= Q_0 \overline{Q_1}(x_0\overline{x_1} + x_0x_1) + Q_0Q_1(\overline{x_0}x_1 + \overline{x_0}\overline{x_1}) = Q_0 \overline{Q_1}x_0 + Q_0Q_1\overline{x_0} \\
 J_1 &= \overline{Q_0} \overline{Q_1}(1+0) + Q_0 \overline{Q_1}(\overline{x_0}x_1 + x_0x_1) = \overline{Q_0} \overline{Q_1} + Q_0 \overline{Q_1}x_1 \\
 \overline{K_1} &= \overline{Q_0}Q_1(0+x_0\overline{x_1} + \overline{x_0}x_1) + Q_0Q_1(x_0\overline{x_1} + \overline{x_0}\overline{x_1}) = \overline{Q_0}Q_1(x_0\overline{x_1} + \overline{x_0}x_1) + Q_0Q_1\overline{x_1}
 \end{aligned}$$

La figura (9.2.6) muestra el circuito correspondiente.

Vamos a realizar ahora el ejercicio inverso para comprobar la validez del procedimiento directo. Es decir, partimos del circuito de la figura (9.2.6) y obtenemos la matriz funcional de partida. Para ello veamos para cada estado inicial y para cada entrada cuál es el estado final (Q_0, Q_1), partiendo de las expresiones de J_i, \overline{K}_i .

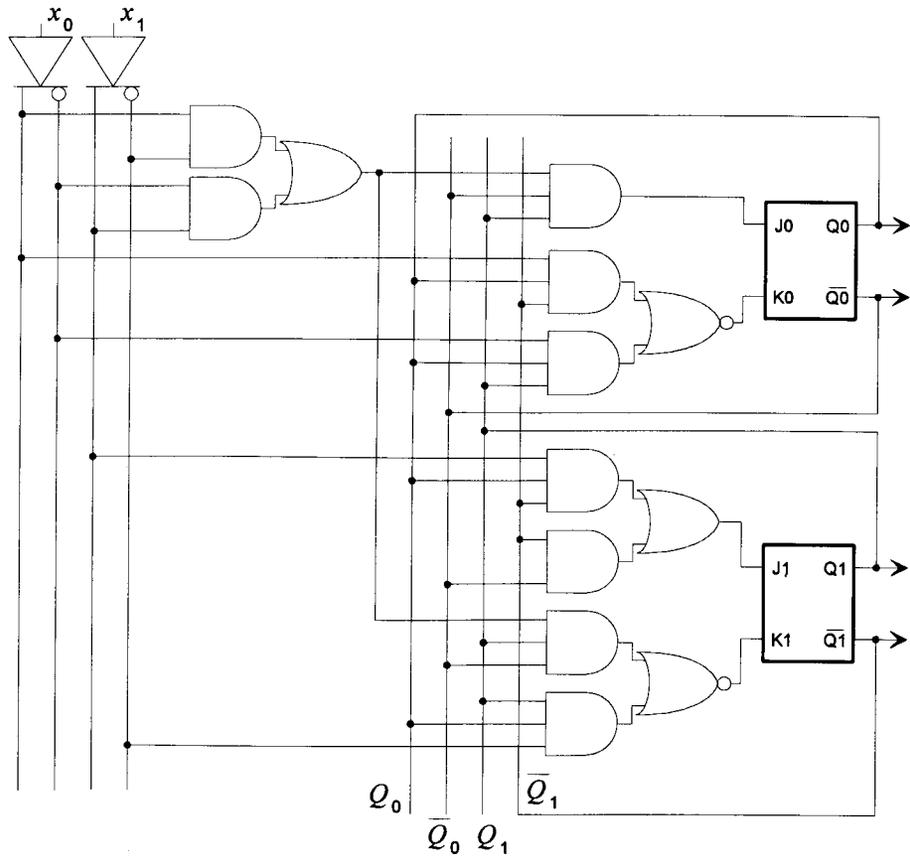


Fig. 9.2.6 Circuito correspondiente al autómata de cuatro estados sintetizado con J-K

Estado inicial 00 $\Rightarrow S_i = S_0 = (\bar{Q}_0 \bar{Q}_1) = (00)$

- Entrada $(x_0 x_1) = (00)$

$$J_0 = \bar{Q}_0 \bar{Q}_1 (x_0 \bar{x}_1 + \bar{x}_0 x_1) = 1 \cdot 0 (0 \cdot 1 + 1 \cdot 0) = 0; \quad J_0 = 0$$

$$\bar{K}_0 = Q_0 \bar{Q}_1 x_0 + Q_0 Q_1 \bar{x}_0 = 0 \cdot 1 \cdot 0 + 0 \cdot 0 \cdot 1 = 0; \quad K_0 = 1$$

Por lo tanto: $Q_{0f} = 0$

De la misma forma:

$$J_1 = 1 \cdot 1 + 0 \cdot 0 \cdot 1 = 1; \quad J_1 = 1$$

$$\bar{K}_1 = 1 \cdot 0 (0 \cdot 1 + 1 \cdot 0) + 0 \cdot 0 \cdot 1 = 0; \quad \bar{K}_1 = 0$$

Por lo tanto: $Q_{1f} = \overline{Q_{1i}} = \overline{0} = 1$

Así, si el estado inicial es $S_i = 00$ y la entrada es $x_0x_1 = 00$ el estado final será:

$$S_f = Q_{0f}Q_{1f} = 01 \quad 00 \xrightarrow{00} 01$$

- Entrada $(x_0x_1) = (01)$

$$J_0 = 0 \quad \text{y} \quad \overline{K_0} = 0 \Rightarrow Q_{0f} = 0$$

$$J_1 = 1 \quad \text{y} \quad \overline{K_1} = 0 \Rightarrow Q_{1f} = \overline{Q_{1i}} = \overline{0} = 1$$

Por tanto: $S_f = 01$; $00 \xrightarrow{01} 01$

- Entrada $(x_0x_1) = (10)$

$$J_0 = 0 \quad \text{y} \quad \overline{K_0} = 0 \Rightarrow Q_{0f} = 0$$

$$J_1 = 1 \quad \text{y} \quad \overline{K_1} = 0 \Rightarrow Q_{1f} = \overline{Q_{1i}} = \overline{0} = 1$$

Por tanto: $S_f = 01$; $00 \xrightarrow{10} 01$

- Entrada $(x_0x_1) = (11)$

$$J_0 = 0 \quad \text{y} \quad \overline{K_0} = 0 \Rightarrow Q_{0f} = 0$$

$$J_1 = 1 \quad \text{y} \quad \overline{K_1} = 0 \Rightarrow Q_{1f} = \overline{Q_{1i}} = \overline{0} = 1$$

Por tanto: $S_f = 01$; $00 \xrightarrow{11} 01$

Como vemos del estado 00 pasa siempre al 01 sea cual fuese la entrada, como corresponde a un uno en el elemento m_{01} de la matriz funcional. Así, la primera fila de la matriz funcional es (0 1 0 0).

Pasamos ahora al siguiente estado inicial:

Estado inicial 01 $\Rightarrow S_i = (Q_0 Q_1) = (01)$

- Entrada $(x_0 x_1) = (00)$:

$$J_0 = 0 \text{ y } K_0 = 1 \Rightarrow Q_{of} = 0$$

$$J_1 = 0 \text{ y } K_1 = 1 \Rightarrow Q_{1f} = 0$$

Por tanto: $01 \xrightarrow{00} 00$; $S_1 \xrightarrow{\overline{x_0} \overline{x_1}} S_0$

- Entrada $(x_0 x_1) = (01)$:

$$J_0 = 1 \text{ y } K_0 = 1 \Rightarrow Q_{of} = 1$$

$$J_1 = 0 \text{ y } K_1 = 0 \Rightarrow Q_{1f} = 1$$

Por tanto: $01 \xrightarrow{01} 11$; $S_1 \xrightarrow{\overline{x_0} x_1} S_3$

- Entrada $(x_0 x_1) = (10)$:

$$J_0 = 1 \text{ y } K_0 = 1 \Rightarrow Q_{of} = 1$$

$$J_1 = 0 \text{ y } K_1 = 0 \Rightarrow Q_{1f} = 1$$

Por tanto: $01 \xrightarrow{10} 11$; $S_1 \xrightarrow{x_0 \overline{x_1}} S_3$

- Entrada $(x_0 x_1) = (11)$:

$$J_0 = 0 \text{ y } K_0 = 1 \Rightarrow Q_{of} = 0$$

$$J_1 = 0 \text{ y } K_1 = 1 \Rightarrow Q_{1f} = 0$$

Por tanto $01 \xrightarrow{11} 00$; $S_1 \xrightarrow{x_0 x_1} S_0$

Así, si el estado inicial es 01, ante las entradas 00 y 11 pasa al estado 00, mientras que ante las entradas 01 y 10 pasará al estado 11. Por tanto la segunda fila de la matriz funcional será :

$$\left(\overline{x_0} \overline{x_1} + x_0 x_1 \quad 0 \quad 0 \quad \overline{x_0} x_1 + x_0 \overline{x_1} \right)$$

Veamos ahora el siguiente estado:

Estado inicial 10 $\Rightarrow S_i = (Q_0Q_1) = (10)$

- Entrada $(x_0x_1) = (00)$:

$$J_0 = 0 \text{ y } K_0 = 1 \Rightarrow Q_{of} = 0$$

$$J_1 = 0 \text{ y } K_1 = 1 \Rightarrow Q_{1f} = 0$$

Por tanto: $10 \xrightarrow{00} 00$; $S_2 \xrightarrow{\bar{x}_0\bar{x}_1} S_0$

- Entrada $(x_0x_1) = (01)$:

$$J_0 = 0 \text{ y } K_0 = 1 \Rightarrow Q_{of} = 0$$

$$J_1 = 1 \text{ y } K_1 = 1 \Rightarrow Q_{1f} = 1$$

Por tanto: $10 \xrightarrow{01} 01$; $S_2 \xrightarrow{\bar{x}_0x_1} S_1$

- Entrada $(x_0x_1) = (10)$:

$$J_0 = 0 \text{ y } K_0 = 0 \Rightarrow Q_{of} = 1$$

$$J_1 = 0 \text{ y } K_1 = 1 \Rightarrow Q_{1f} = 0$$

Por tanto: $10 \xrightarrow{10} 10$; $S_2 \xrightarrow{x_0\bar{x}_1} S_2$

- Entrada $(x_0x_1) = (11)$:

$$J_0 = 0 \text{ y } K_0 = 0 \Rightarrow Q_{of} = 1$$

$$J_1 = 1 \text{ y } K_1 = 1 \Rightarrow Q_{1f} = 1$$

Por tanto: $10 \xrightarrow{11} 11$; $S_2 \xrightarrow{x_0x_1} S_3$

La tercera fila de la matriz funcional será:

$$(\bar{x}_0\bar{x}_1 \quad \bar{x}_0x_1 \quad x_0\bar{x}_1 \quad x_0x_1)$$

Por último para el estado inicial 11 tendremos:

$$\text{Estado inicial } 11 \Rightarrow S_i = (Q_0 Q_1) = (11)$$

- Entrada $(x_0 x_1) = (00)$:

$$J_0 = 0 \text{ y } K_0 = 0 \Rightarrow Q_{of} = 1$$

$$J_1 = 0 \text{ y } K_1 = 0 \Rightarrow Q_{1f} = 1$$

$$\text{Por tanto: } 11 \xrightarrow{00} 11; \quad S_3 \xrightarrow{\bar{x}_0 \bar{x}_1} S_3$$

- Entrada $(x_0 x_1) = (01)$:

$$J_0 = 0 \text{ y } K_0 = 0 \Rightarrow Q_{of} = 1$$

$$J_1 = 0 \text{ y } K_1 = 1 \Rightarrow Q_{1f} = 0$$

$$\text{Por tanto: } 11 \xrightarrow{01} 10; \quad S_3 \xrightarrow{\bar{x}_0 x_1} S_2$$

- Entrada $(x_0 x_1) = (10)$:

$$J_0 = 0 \text{ y } K_0 = 1 \Rightarrow Q_{of} = 0$$

$$J_1 = 0 \text{ y } K_1 = 0 \Rightarrow Q_{1f} = 1$$

$$\text{Por tanto: } 11 \xrightarrow{10} 01; \quad S_3 \xrightarrow{x_0 \bar{x}_1} S_1$$

- Entrada $(x_0 x_1) = (11)$:

$$J_0 = 0 \text{ y } K_0 = 1 \Rightarrow Q_{of} = 0$$

$$J_1 = 0 \text{ y } K_1 = 1 \Rightarrow Q_{1f} = 0$$

$$\text{Por tanto: } 11 \xrightarrow{11} 00; \quad S_3 \xrightarrow{x_0 x_1} S_0$$

La última fila de la matriz funcional es:

$$\left(x_0 x_1 \quad x_0 \bar{x}_1 \quad \bar{x}_0 x_1 \quad \bar{x}_0 \bar{x}_1 \right)$$

□ □ □ □

E.9.3 Diseño de un autómata universal de dos estados

Diseñar un autómata universal de dos estados. ¿Cuántas entradas hacen falta para controlarlo?

Solución:

El concepto de autómata universal de un cierto número de estados puede formularse a partir de las funciones de los módulos que lo sintetizan o en el dominio de las matrices de transición de estados. Ambas formulaciones son equivalentes, pero en el espacio de estados es más claro el concepto, ya que autómata universal es aquel que puede realizar todas las transiciones. Para dos estados sólo hay cuatro matrices de transición posibles, dependiendo de dónde ponemos el uno en la primera y en la segunda fila:

$$\begin{pmatrix} 0 & 1 \\ 0 & 1 \end{pmatrix}, \begin{pmatrix} 0 & 1 \\ 1 & 0 \end{pmatrix}, \begin{pmatrix} 1 & 0 \\ 0 & 1 \end{pmatrix}, \begin{pmatrix} 1 & 0 \\ 1 & 0 \end{pmatrix}$$

Estas cuatro matrices describen las cuatro dinámicas de transición de estados que son posibles. Como las configuraciones de entrada son mutuamente exclusivas, necesitamos $2^M = 4$ de estas configuraciones (una por cada matriz de transición) y, por consiguiente, dos variables externas, (x_0, x_1) , para su control.

Todavía nos queda un grado de libertad porque podemos permutar el orden en que se asignan las configuraciones de entrada a las matrices de transición. Supongamos, por ejemplo, la siguiente asignación:

$$\overline{x_0} \overline{x_1} \rightarrow \begin{pmatrix} 0 & 1 \\ 0 & 1 \end{pmatrix}, \overline{x_0} x_1 \rightarrow \begin{pmatrix} 0 & 1 \\ 1 & 0 \end{pmatrix}, x_0 \overline{x_1} \rightarrow \begin{pmatrix} 1 & 0 \\ 0 & 1 \end{pmatrix}, x_0 x_1 \rightarrow \begin{pmatrix} 1 & 0 \\ 1 & 0 \end{pmatrix}$$

La matriz funcional correspondiente es:

$$\begin{aligned} M(x_0, x_1) &= \overline{x_0} \overline{x_1} \begin{pmatrix} 0 & 1 \\ 0 & 1 \end{pmatrix} + \overline{x_0} x_1 \begin{pmatrix} 0 & 1 \\ 1 & 0 \end{pmatrix} + x_0 \overline{x_1} \begin{pmatrix} 1 & 0 \\ 0 & 1 \end{pmatrix} + x_0 x_1 \begin{pmatrix} 1 & 0 \\ 1 & 0 \end{pmatrix} = \\ &= \begin{pmatrix} \overline{x_0} \overline{x_1} + x_0 \overline{x_1} & \overline{x_0} \overline{x_1} + \overline{x_0} x_1 \\ \overline{x_0} x_1 + x_0 \overline{x_1} & \overline{x_0} x_1 + x_0 x_1 \end{pmatrix} = \begin{pmatrix} \overline{x_0} & \overline{x_0} \\ x_1 & x_1 \end{pmatrix} \end{aligned}$$

donde vemos que cada variable controla una fila. Con otras asignaciones habríamos obtenido matrices funcionales con las filas y/o las columnas permutadas.

Veamos ahora su síntesis con biestables D y $J-K$. Para biestables D obtenemos:

$$\begin{array}{c}
 \overline{Q}(t+\Delta t) \quad Q(t+\Delta t) \\
 \overline{Q}(t) \left(\begin{array}{cc} x_0 & \overline{x_0} \\ x_1 & \overline{x_1} \end{array} \right) \\
 Q(t) \\
 D
 \end{array}$$

$$D = \overline{Q} \overline{x_0} + Q x_1$$

y para $J-K$ (ver la solución del problema anterior):

$$\begin{array}{c}
 \overline{Q}(t+\Delta t) \quad Q(t+\Delta t) \\
 \overline{Q}(t) \left(\begin{array}{cc} x_0 & \overline{x_0} \\ x_1 & \overline{x_1} \end{array} \right) \\
 Q(t) \\
 J \\
 \overline{K}
 \end{array}$$

$$J = \overline{Q} \overline{x_0}$$

$$\overline{K} = Q x_1$$

La figura (9.3.1) muestra los circuitos correspondientes.

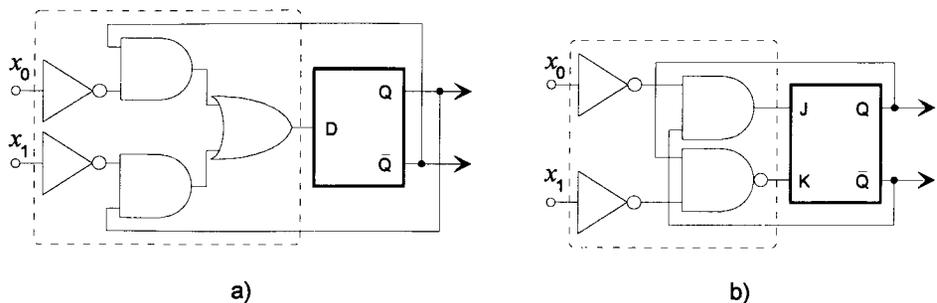


Fig. 9.3.1 Síntesis del autómata universal de dos estados. a) Con D . b) Con $J-K$

Con N biestables obtenemos autómatas de 2^N estados. Para que sean universales en cuanto a transiciones necesitamos ver cuántas matrices de transición distintas existen.

Como su dimensión es $2^N \times 2^N$ y sólo pueden tener un uno por fila, tenemos $(2^N)^{2^N}$ matrices distintas ya que la primera fila puede tener el 1 en 2^N posiciones distintas y, para cada una de ellas, la segunda fila lo puede tener en cualquiera de las 2^N posiciones y así hasta la fila 2^N . Para $N=1$, tenemos $2^2 = 4$ matrices. Para $N=2$ tenemos $4^4 = 256$ matrices.

Como para seleccionar estas matrices necesitamos un número M de variables de entrada $(x_0, x_1, \dots, x_{M-1})$, tal que sus términos mínimos, $\{X_m\}$, $(m=0, 1, \dots, 2^M - 1)$, coinciden con las matrices.

Así: $2^M = (2^N)^{2^N}$ luego $M = N \times 2^N$

Si ahora hacemos una asignación entre las configuraciones de entrada (X_m) y las matrices de transición (T_{ij}^m) , y aplicamos los procedimientos de síntesis de la matriz funcional correspondiente,

$$M_{ij}(X_m) = \sum_m T_{ij}^m X_m$$

tenemos el circuito correspondiente al autómata universal de 2^N estados.

□ □ □ □

E.9.4 Síntesis de detectores de secuencia binaria

- a) Diseñar un circuito que detecte la secuencia 111 sin solapamiento, de forma que siempre que vengan tres unos seguidos por la línea de entrada, x , produzca un uno a la salida, y como respuesta al último uno de la secuencia.
- b) Repetir el problema para las subsecuencias 010 y 101.
- c) Supongamos ahora que estas dos últimas subsecuencias (010 y 101) vienen por dos líneas separadas. Diseñar un circuito que compare las entradas por dos líneas separadas (x_0 y x_1) y que produzca una salida en alta cuando por x_0 viene 010 y por x_1 viene 101.

Solución:

Este problema pertenece a una familia general de problemas en los que se necesita reconocer una determinada secuencia temporal en los valores de una señal digital.

Hay, al menos, dos formas generales de resolverlos:

1.- Usando registros de desplazamiento de carga serie y salida paralelo para tener accesibles todos los bits de la subsecuencia que queremos detectar. La configuración pedida se detecta usando lógica combinacional a partir de los estados, $\{Q_i\}$, de los biestables D que constituyen el registro.

2.- Por el procedimiento general de síntesis de autómatas finitos, identificando primero el número de estados necesarios y buscando después el diagrama de transición de estados y la matriz funcional (síntesis con PLD's y D's) o pasando directamente al cálculo de las funciones de excitación de los biestables J - K necesarios para conseguir esos estados y sus transiciones (método convencional).

Aquí usaremos ambos procedimientos.

- A) En este caso se nos pide un detector de la subsecuencia 111 sin solapamiento. Inicialmente podría pensarse en un circuito como el de la figura (9.4.1 a) en el que la señal de entrada entra a un registro y las salidas de los tres biestables D van a una puerta AND, de forma que la salida es:

$$y(t) = Q_1(t)Q_2(t)Q_3(t)$$

y sólo está en alta cuando la secuencia almacenada es la 111.

Sin embargo, este circuito detecta la subsecuencia 111 *con solapamiento*. Es decir, si llega la secuencia:



la salida se dispara tres veces seguidas. Como la especificación del problema es que la detección debe realizarse sin solapamiento necesitamos realimentar la salida del detector (y) para que cuando haya detectado tres unos seguidos, si lo siguiente que llega es un cero lo deje pasar pero si lo que llega después es otro uno, lo cambie a cero para que no se dispare de nuevo el detector. Es decir, ante (0111) deja pasar el

cero al primer biestable (D_3), pero ante (1111), cambia la entrada a D_3 , que vuelve a ser (0111), con lo que la salida y es cero, eliminando el solapamiento. La figura (9.4.1 b) muestra el circuito correspondiente donde:

$$D_1 = Q_2 \quad D_2 = Q_3 \quad D_3 = x\bar{y} \quad y = Q_1Q_2Q_3$$

Obsérvese que esta solución elimina el solapamiento pero sólo detecta subsecuencias *aisladas* (---1110111). Si quisieramos eliminar el solapamiento pero detectar subsecuencias contiguas (111111), deberíamos mantener el nuevo bit que llega tras 111 y romper la secuencia en Q_2 ó Q_1 . Si decidimos romperla en Q_2 , dejamos pasar x a D_1 y ponemos la puerta AND entre Q_3 y D_2 , de forma que:

$$D_3 = x \quad D_2 = \bar{y}Q_3 \quad D_1 = Q_2 \quad y = Q_3Q_2Q_1$$

La figura (9.4.1 c) muestra esta solución correspondiente al no solapamiento pero sin la exigencia de aislamiento entre subsecuencias.

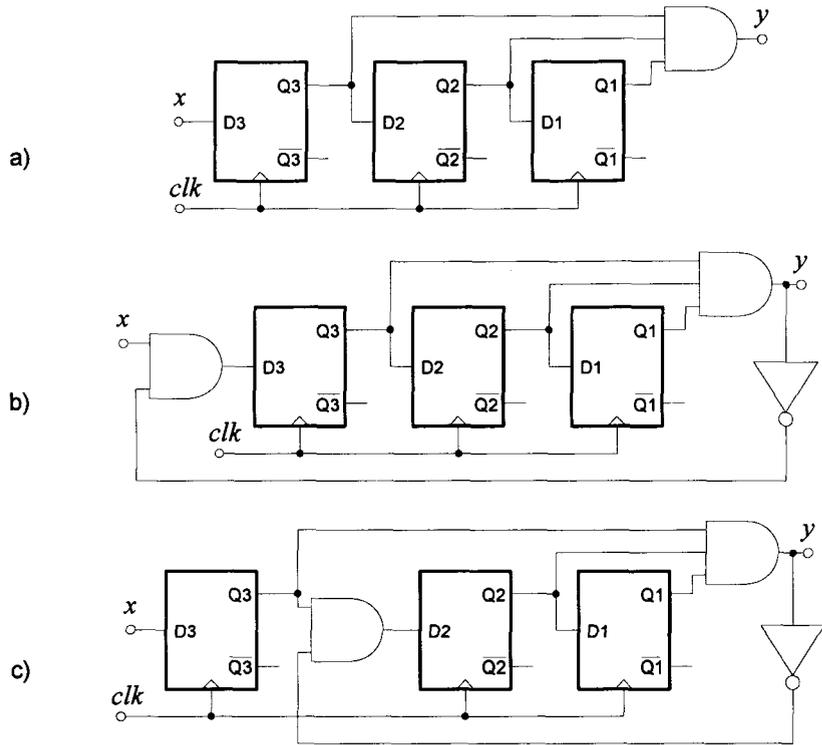


Fig. 9.4.1 Detector de la subsecuencia (111). Solución conceptual con registro de desplazamiento. a) Con solapamiento. b) Sin solapamiento y subsecuencias aisladas. c) Sin solapamiento pero admitiendo subsecuencias contiguas.

Veamos ahora la solución mediante el procedimiento general. Para ello vamos a especificar el espacio de estados. Los espacios de entrada (X) y salida (Y) son elementales. Recordemos que en un autómata finito hacen falta tantos estados como historias distintas de estímulos. Cada estado define una clase de equivalencia. En nuestro caso pueden distinguirse los siguientes estados:

S_0 = No se ha recibido ningún 1

S_1 = Ya se ha recibido el primer 1

S_2 = Ya se han recibido dos unos seguidos

S_3 = Ya hemos recibido los tres unos seguidos (Toda la subsecuencia)

El diagrama de transición de estados se muestra en la figura (9.4.2) y representa las especificaciones funcionales del problema para el caso de no solapamiento pero admitiendo subsecuencias contiguas. Obsérvese que el subíndice del estado representa el número de unos sucesivos en la subsecuencia. Así, si está en S_0 y llega $x=0$, permanece donde está y la salida es $y=0$. Si llega un uno pasa a S_1 y la salida sigue siendo $y=0$. Si estando en S_1 llega un cero, vuelve a S_0 , y si llega un uno pasa a S_2 (estado que indica que se han recibido dos unos seguidos). De nuevo, si en S_2 llega un cero vuelve a S_0 , pero si llega un uno pasa a S_3 y cierra el ciclo. Ahora la salida es $y=1$. Finalmente, desde S_3 puede pasar a S_0 si llega un cero o a S_1 si llega un uno, indicando que de nuevo hay posibilidad de detectar una subsecuencia de tres unos.

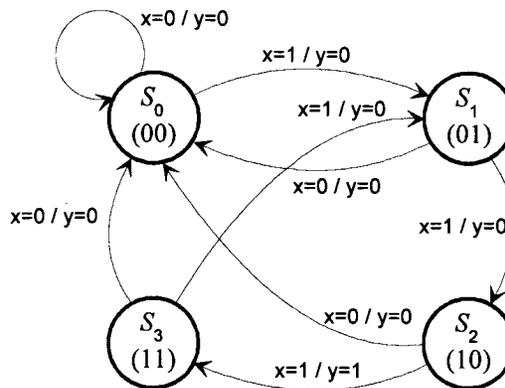


Fig. 9.4.2 Diagrama de transición de estados para el autómata detector de la subsecuencia 111 sin solapamiento.

Veamos ahora la síntesis de este autómata. Como tiene cuatro estados, necesitamos dos biestables. Usaremos la síntesis convencional con J - K . La tabla de la figura (9.4.3) muestra las transiciones correspondientes al diagrama de la figura (9.4.2) y los valores de (J_0, K_0) y (J_1, K_1) necesarios para provocarlas.

La obtención de las columnas correspondientes a J y K (J_0, K_0, J_1 y K_1) se obtienen a partir de las columnas correspondientes a los estados iniciales y finales, con ayuda de la tabla de transición de biestables J - K que ya se ha empleado en otros ejercicios (véase fig. 9.2.3 b).

En esta tabla se puede comprobar que las transiciones con estado inicial $Q_i = 0$ son controladas por la entrada J_i y las transiciones con estado inicial $Q_i = 1$ son controladas por la entrada K_i . El resto son configuraciones irrelevantes y pueden usarse para minimizar (casillas marcadas con x). La tabla completa será por tanto: (fig. 9.4.3):

Q_0^n	Q_1^n	X	Q_0^{n+1}	Q_1^{n+1}	J_0	K_0	J_1	K_1	Y
0	0	0	0	0	0	x	0	x	0
0	0	1	0	1	0	x	1	x	0
0	1	0	0	0	0	x	x	1	0
0	1	1	1	0	1	x	x	1	0
1	0	0	0	0	x	1	0	x	0
1	0	1	1	1	x	0	1	x	1
1	1	0	0	0	x	1	x	1	0
1	1	1	0	1	x	1	x	0	0

Fig. 9.4.3 Valores de los estados iniciales (Q_0^n y Q_1^n) y finales (Q_0^{n+1} y Q_1^{n+1}) junto con las señales (J, K) que producen las transiciones. La última columna muestra la salida que sólo está en alta cuando se alcanzan los tres unos en la transición de S_2 (10) a S_3 (11).

Por simple inspección de la tabla podemos escribir:

$$J_0 = \sum m(3) + d(4, 5, 6, 7)$$

$$K_0 = \sum m(4, 6, 7) + d(0, 1, 2, 3)$$

$$J_1 = \sum m(1, 5) + d(2, 3, 6, 7)$$

$$K_1 = \sum m(2, 3, 6) + d(0, 1, 4, 5)$$

$$y = \sum m(5) = Q_0 \bar{Q}_1 X$$

La salida y contiene un único término mínimo y no precisa minimización. Para el resto de funciones tenemos los diagramas de las figuras (9.4.4) y (9.4.5).

$Q_1 X$				
Q_0	00	01	11	10
0			1	
	0	1	3	2
1	x	x	x	x
	4	5	7	6

$$J_0 = Q_1 X$$

$Q_1 X$				
Q_0	00	01	11	10
0	x	x	x	x
	0	1	3	2
1	1		1	1
	4	5	7	6

$$K_0 = Q_1 + \bar{X}$$

Fig. 9.4.4 Minimización de J_0 y K_0

$Q_1 X$				
Q_0	00	01	11	10
0		1	x	x
	0	1	3	2
1		1	x	x
	4	5	7	6

$$J_1 = X$$

$Q_1 X$				
Q_0	00	01	11	10
0	x	x	1	1
	0	1	3	2
1	x	x		1
	4	5	7	6

$$K_1 = \bar{Q}_0 + \bar{X}$$

Fig. 9.4.5 Minimización de J_1 y K_1

Así obtenemos:

$$J_0 = Q_1 X$$

$$K_0 = Q_1 + \bar{X}$$

$$J_1 = X$$

$$K_1 = \bar{Q}_0 + \bar{X}$$

y la salida: $y = Q_0 \overline{Q_1} X$

La figura (9.4.6) muestra el circuito correspondiente.

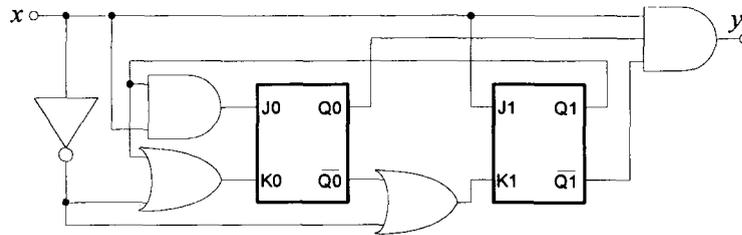


Fig. 9.4.6 Circuito correspondiente a la tabla de la figura (9.4.3).

Veamos ahora de forma más rápida la solución del apartado b) del problema en el que se nos pide lo mismo pero para las subsecuencias 010 y 101. Los dos procedimientos usados en el caso anterior son generalizables hablando en términos de "primero", "segundo" y "tercero" de los elementos de la subsecuencia, independientemente del valor (0, 1) de cada uno de esos elementos. Por sencillez, buscaremos las soluciones usando registros de desplazamiento.

B.1) Secuencia (010)

La salida será, $y_1 = \overline{Q_3} Q_2 \overline{Q_1}$, y para evitar el solapamiento, admitiendo la adyacencia, podemos proceder como en el caso anterior: Ahora el posible solapamiento se dará cuando llegue la secuencia 01010, en la que el cero central es común a dos secuencias válidas. Para evitar este solapamiento introducimos una puerta OR a la entrada del segundo biestable de forma que el último bit recibido se cambie a 1 al pasar al segundo biestable cuando la salida está activa (fig. 9.4.7 a).

B.2) Secuencia (101)

La salida será $y_2 = Q_3 \overline{Q_2} Q_1$. En este caso debemos convertir un 1 en un 0 al pasar al segundo biestable. Esto se consigue con una puerta AND. (fig. 9.4.7 b).

C) Finalmente, el apartado c) es trivial. Basta con usar una puerta AND y forzar a que las líneas de entrada, x_0 y x_1 , estén sincronizadas con el mismo reloj (figura 9.4.7 c).

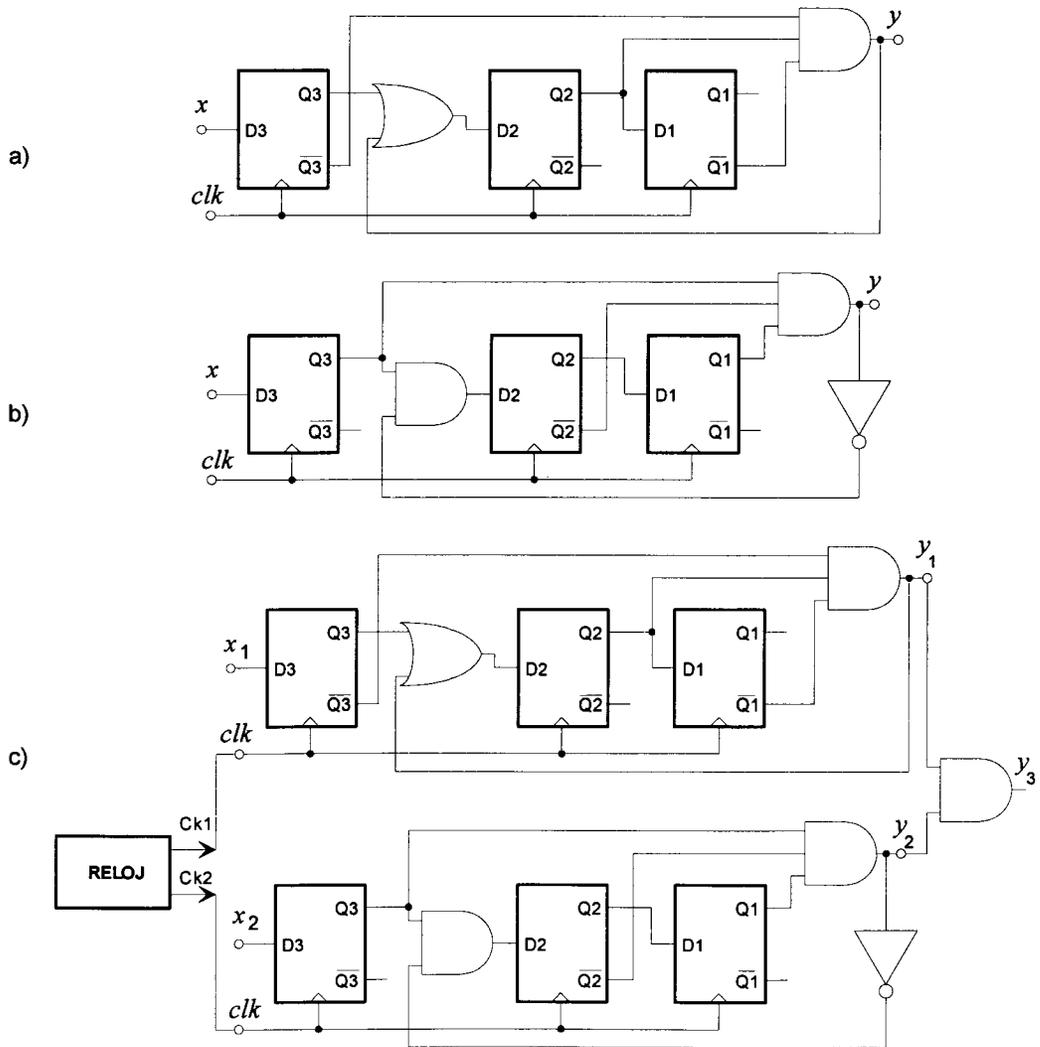


Fig. 9.4.7 a) Subsecuencia (010). b) Subsecuencia (101). c) Coincidencia de ambas.

□ □ □ □

E.9.5 Diseño de contadores asíncronos

Hemos visto en teoría el diseño de contadores asíncronos y el uso del "preset" para obtener un divisor por 5. Repetir el diseño a partir de la configuración de la figura 9.14 del texto de teoría para conseguir:

- Un divisor por 12.
- Un divisor por 9.

Solución:

Este problema de nuevo es representativo de un tipo general de circuitos divisores en los que a partir de un tren de impulsos del reloj principal (el de más alta frecuencia) se nos pide otro tren de pulsos de frecuencia más baja de forma que cada N pulsos del reloj de entrada se produzca un pulso a la salida del divisor. Su solución no tiene que estar forzosamente asociada al uso de contadores. Veremos en el capítulo dedicado a temporizadores otras formas de solución y, en última instancia, un divisor por N es un circuito secuencial que admite las técnicas generales de diseño a partir del diagrama de transición de estados correspondiente. Lo importante es tener claro inicialmente lo que se entiende por un divisor por N . Es un circuito que produce un cambio en su salida (salto de nivel a pulso) cuando han pasado N sucesos asociados al pulso de reloj. Por ejemplo, N bajadas.

En el problema se nos pide un contador asíncrono construido con biestables $J-K$ que poseen entradas de preset y clear. La figura (9.5.1) muestra el cronograma correspondiente a un contador asíncrono de cuatro bits que cuenta desde 0000=0 hasta 1111=15. Obsérvese que cada biestable es un divisor por dos, ya que de cada dos pulsos del reloj Q_A saca uno, y de cada dos de Q_A , Q_B saca uno, etc..

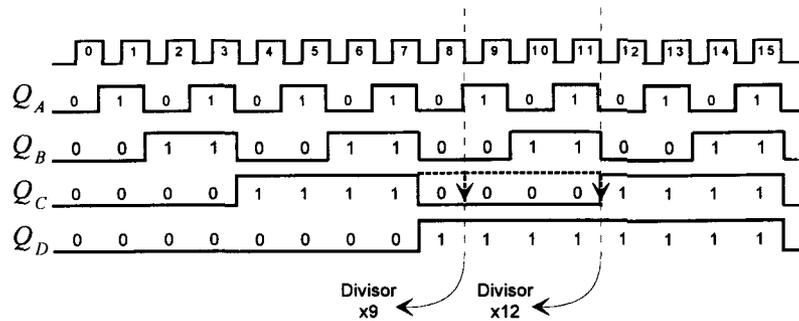


Fig. 9.5.1 Cronograma del contador

Como puede observarse en este cronograma para realizar un divisor por 9 debemos mantener en alta la salida de Q_C durante un pulso de reloj más. Para ello basta con mantener Q_C a uno. Sin embargo, para que se repita cíclicamente, debemos asegurar que $Q_D Q_C Q_B Q_A = 1111$ de forma que al siguiente pulso de reloj pase a 0000 y vuelva a empezar. Esto podemos conseguirlo sencillamente poniendo todos los biestables a uno mediante la entrada de Preset. Por tanto, el preset deberá activarse cuando haya

un pulso de reloj y Q_A y Q_B y Q_C sean uno. Si se supone el preset activo en alta, bastará una puerta AND como muestra la figura (9.5.2).

Así la puerta AND detecta el octavo pulso (numerado como 7 ya que el primer pulso es el 0), es decir, detecta que $Q_A = Q_B = Q_C = 1$, generando un pulso mediante una puerta AND cuyas entradas son Q_A , Q_B y Q_C . En el siguiente pulso de reloj (el numerado con 8) la salida de la puerta actúa sobre el Preset de todos los biestables, forzando a todos a ponerse a "1". Así en el siguiente pulso de reloj (el 9) todos los biestables pasarán automáticamente a "0" empezando a contar de nuevo. El circuito y el cronograma es el que se muestra en la (9.5.2)

Normalmente en los circuitos integrados comerciales las entradas de preset y clear son activas en baja, pero bastaría con cambiar la puerta AND por una NAND.

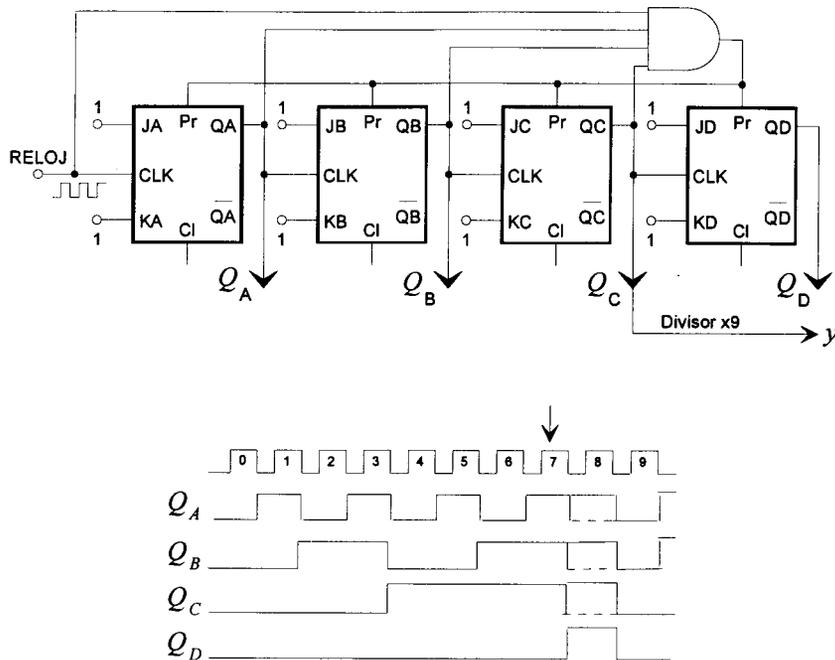


Fig. 9.5.2 Divisor por nueve usando un contador asincrónico y controlando el final de ciclo a través del preset y su correspondiente cronograma

Veamos ahora el divisor por 12. La salida Q_C divide por 8 y la Q_D por 16; por consiguiente partimos de Q_C . Ahora vamos a forzar que el flanco de bajada se produzca en la bajada del pulso duodécimo del reloj.

Así, tras el octavo pulso debemos evitar que Q_C baje a cero. Para ello basta con asegurar que es un uno. Por otro lado queremos que tras el pulso 12 de reloj todos los biestables pasen a cero para que se repita el ciclo. Por tanto todos debían estar en uno, con lo que las condiciones son:

CK:	8	9	10	11	12
	1	x	x	x	1
	1	x	x	x	1
	1	1	1	1	1
	0	x	x	x	1

Como se está utilizando un contador asíncrono los cambios de estado corresponden a la cuenta, por tanto deberá ser:

CK:	8	9	10	11	12
	1	0	1	0	1
	1	0	0	1	1
	1	1	1	1	1
	0	1	1	1	1
	(7)	(12)	(13)	(14)	(15)

Por tanto debemos diseñar el circuito combinacional tal que cuando llegue a 7 pase a 12, es decir, cuando $Q_A = Q_B = Q_C = 1$ y exista reloj pondremos $Q_C = Q_D = 1$ y $Q_A = Q_B = 0$. Como Q_A y Q_B ya pasan a cero para que Q_D pase a uno llevamos la señal que activa el Preset a la entrada Pr de Q_D , tal como se muestra en la figura (9.5.3). Igual que en el caso anterior si la entrada de preset fuese activa en baja, habría que cambiar la puerta AND por una NAND.

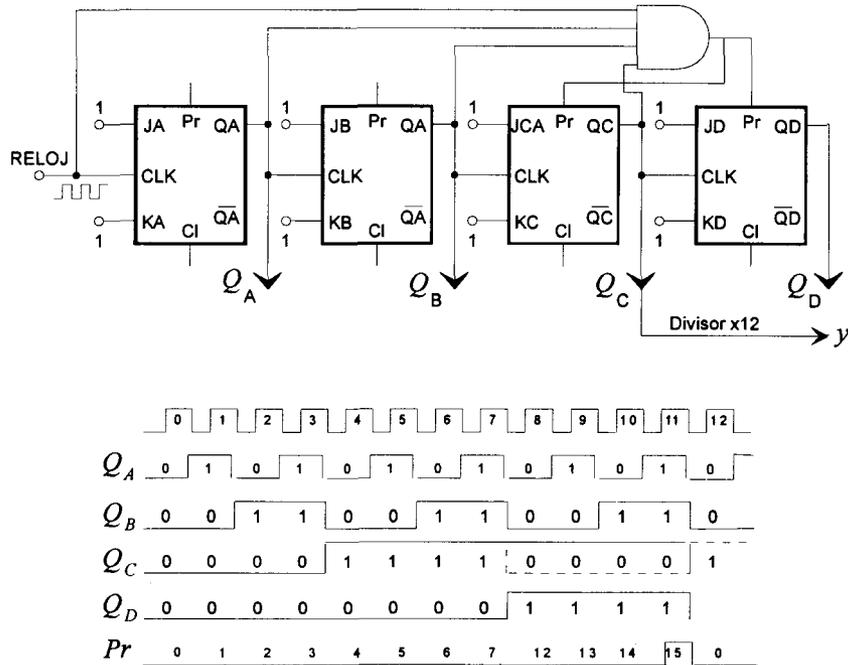


Fig. 9.5.3 Divisor por 12 (Circuito y diagrama de tiempos)

Evidentemente esta no es la única forma de diseñar divisores. Podíamos haber usado el *Clear* para llevar a "0" a todos los biestables en el pulso en el que queremos que se reinicie el contador. Así en este caso de divisor por 12, podemos en vez de pasar de 7 a 12 para que en el pulso 11 del reloj tengamos 1111 y así en el 12 aparezca 0000, lo podemos hacer detectando que ha llegado el pulso número 12, es decir, que están los biestables en el estado 1011 (11) y a continuación actuar sobre el *Clear* de los biestables cuyo siguiente estado no sea de forma natural un 0, para pasarlos a "0". En este caso se detecta mediante una puerta AND a la que le entra Q_A , Q_B y Q_D y la salida de esta puerta se conecta al *Clear* de Q_C y Q_D que son los únicos biestables cuyo siguiente estado sería "1" y que hemos de pasar a "0".

Así el diagrama de tiempos y el circuito es el que se muestra en la (9.5.4):

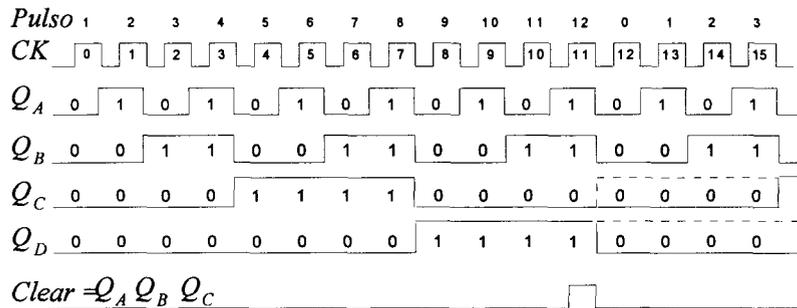
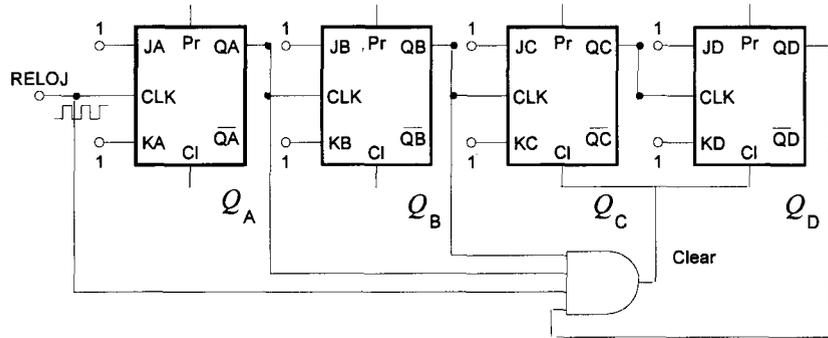


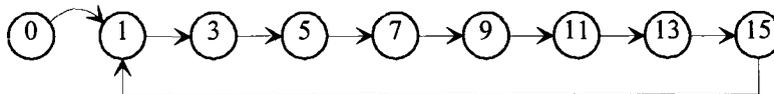
Fig. 9.5.4 Cronograma y circuito alternativo para el divisor por 12



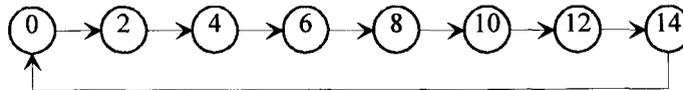
E.9.6 Generador de secuencias

Diseñar los circuitos que partiendo del estado (0000) y al ritmo de los pulsos del reloj recorra las siguientes secuencias:

a) La secuencia de los números impares



b) La secuencia de los números pares



c) ¿Cómo podríamos hacer reversibles las secuencias a) y b)?

d) En los apartados a) y b) se han propuesto dos secuencias (pares, impares), ¿qué circuitos sería necesario añadir para que bajo el control de una variable externa (S) las recorriera de forma alternativa. Si $S=0$, debe recorrer la secuencia de los números pares y cuando $S=1$, debe de recorrer la secuencia de los números impares.

Solución:

- A) La figura (9.6.1) muestra la tabla con las transiciones entre el estado actual y el siguiente en la secuencia de los números impares, junto con los valores de las señales de control necesarias en los cuatro biestables.

	Estado actual				Estado siguiente				Señales de control							
	Q_D	Q_C	Q_B	Q_A	Q_D	Q_C	Q_B	Q_A	J_D	K_D	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	0	0	0	0	0	1	0	x	0	x	0	x	1	x
1	0	0	0	1	0	0	1	1	0	x	0	x	1	x	x	0
3	0	0	1	1	0	1	0	1	0	x	1	x	x	1	x	0
5	0	1	0	1	0	1	1	1	0	x	x	0	1	x	x	0
7	0	1	1	1	1	0	0	1	1	x	x	1	x	1	x	0
9	1	0	0	1	1	0	1	1	x	0	0	x	1	x	x	0
11	1	0	1	1	1	1	0	1	x	0	1	x	x	1	x	0
13	1	1	0	1	1	1	1	1	x	0	x	0	1	x	x	0
15	1	1	1	1	0	0	0	1	x	1	x	1	x	1	x	0

Fig. 9.6.1 Secuencia de números impares. Tabla de sucesores para los distintos estados iniciales involucrados y valores de J y K en los cuatro biestables.

El siguiente paso es la minimización de las expresiones de J y K en los casos en que fuera necesario.

De la tabla obtenemos fácilmente J_A , K_A , J_B y K_B :

$$J_A = 1$$

$$K_A = 0$$

Obsérvese que la salida del biestable A estará siempre a 1 salvo en el posible estado inicial 0. Esto era de suponer, ya que en base binaria, los números impares tienen su bit menos significativo a uno. Esto nos permitiría eliminar el biestable del circuito, si eliminásemos la posibilidad del 0.

Para el segundo bit menos significativo (B) tenemos que su estado debe alternar entre 0 y 1. Esto nos llevaría a tomar $J_B = K_B = 1$. Sin embargo, tal y como sugiere el enunciado hay que tener en cuenta el hecho de tener un estado inicial que representa al cero. Este es el único caso en que la salida no debe conmutar. Por eso, la entrada J_B debe ser distinta de 1 en esa situación con lo que tendremos:

$$J_B = \overline{Q_A Q_B Q_C Q_D} \quad \text{y} \quad K_B = 1$$

Esto puede obtenerse de forma sencilla de la tabla de la figura si consideremos el maxterm M_0 :

$$M_0 = Q_A Q_B Q_C Q_D = \overline{\overline{Q_A Q_B Q_C Q_D}} = J_B$$

J_C y K_C son fácilmente minimizables ya que continen numerosos estados irrelevantes que podemos elegir libremente para obtener expresiones más simplificadas. Los diagramas de Karnaugh correspondientes a estas dos variables se muestran en la figura (9.6.2).

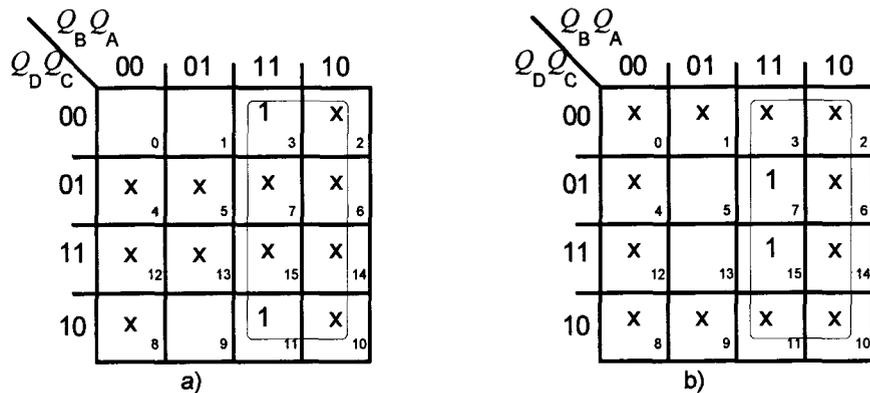


Fig. 9.6.2 Diagramas de Karnaugh de las variables J_C (a) y K_C (b). Números impares

De las dos partes de esta figura obtenemos:

$$J_C = Q_B \quad \text{y} \quad K_C = Q_B$$

Haciendo lo mismo con J_D y K_D obtenemos (fig. 9.6.3):

$$J_D = Q_B Q_C \quad \text{y} \quad K_D = Q_B Q_C$$

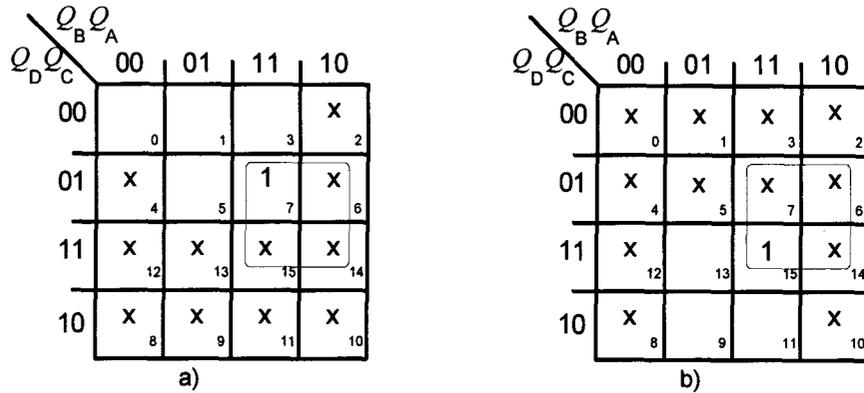


Fig. 9.6.3 Diagramas de Karnaugh de las variables J_D (a) y K_D (b). Números impares

El circuito resultante se muestra en la figura (9.6.4).

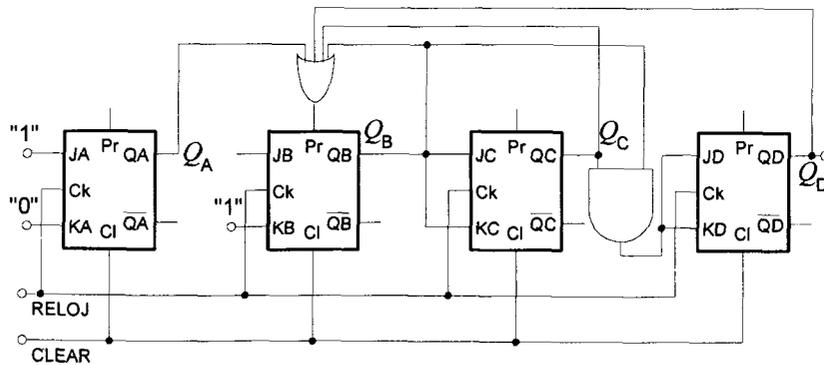


Fig. 9.6.4 Circuito generador de la secuencia de números impares

- B) Para la secuencia de números pares el desarrollo es análogo. Los estados actuales y siguientes y los valores de las correspondientes entradas a los biestables se muestran en la figura (9.6.5).

Estado actual					Estado siguiente				Señales de control							
	Q_D	Q_C	Q_B	Q_A	Q_D	Q_C	Q_B	Q_A	J_D	K_D	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	0	0	0	0	1	0	0	x	0	x	1	x	0	x
2	0	0	1	0	0	1	0	0	0	x	1	x	x	1	0	x
4	0	1	0	0	0	1	1	0	0	x	x	0	1	x	0	x
6	0	1	1	0	1	0	0	0	1	x	x	1	x	1	0	x
8	1	0	0	0	1	0	1	0	x	0	0	x	1	x	0	x
10	1	0	1	0	1	1	0	0	x	0	1	x	x	1	0	x
12	1	1	0	0	1	1	1	0	x	0	x	0	1	x	0	x
14	1	1	1	0	0	0	0	0	x	1	x	1	x	1	0	x

Fig. 9.6.5 Secuencia de números pares

En la tabla vemos que J_A es siempre cero (aparte de los términos impares que son irrelevantes) y que la entrada K_A puede ser cualquiera, ya que todos sus términos son irrelevantes. Esto nos permite por sencillez escoger:

$$K_A = J_A = 0$$

Esto hace que el biestable A mantenga permanentemente su salida a cero, con lo que nuevamente se podría eliminar del circuito. Esto es lógico si tenemos en cuenta que si contamos en binario, el bit menos significativo de todos los números pares es siempre cero, al igual que cuando en base decimal contamos de diez en diez. En ambos casos añadimos a cada número el valor de la base para obtener el siguiente elemento de la secuencia y la última cifra se mantiene a 0. El biestable A puede eliminarse porque realmente tenemos sólo ocho estados distintos con lo que bastan tres biestables para implementar el circuito.

J_B y K_B también resultan realmente simples, ya que deben ser siempre uno (o irrelevante), lo que nos lleva a:

$$J_B = K_B = 1$$

El resto de funciones de entrada admiten una minimización considerable, ya que poseen numerosos estados irrelevantes. Los diagramas de Karnaugh utilizados para realizar tales minimizaciones aparecen en las figuras (9.6.6) y (9.6.7).

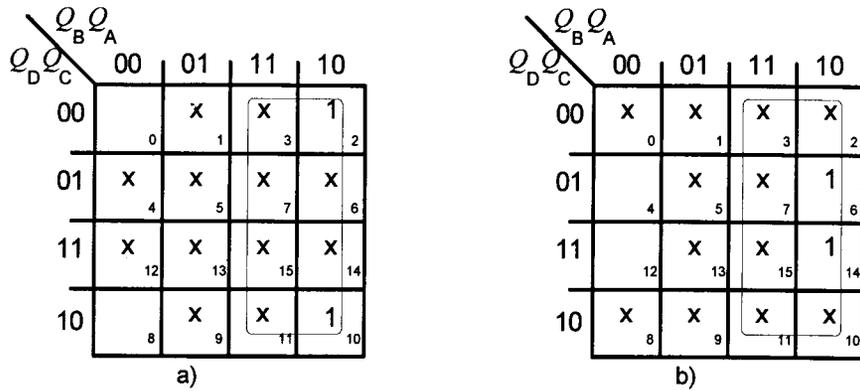


Fig. 9.6.6 Diagramas de Karnaugh de las variables J_C (a) y K_C (b). Números pares

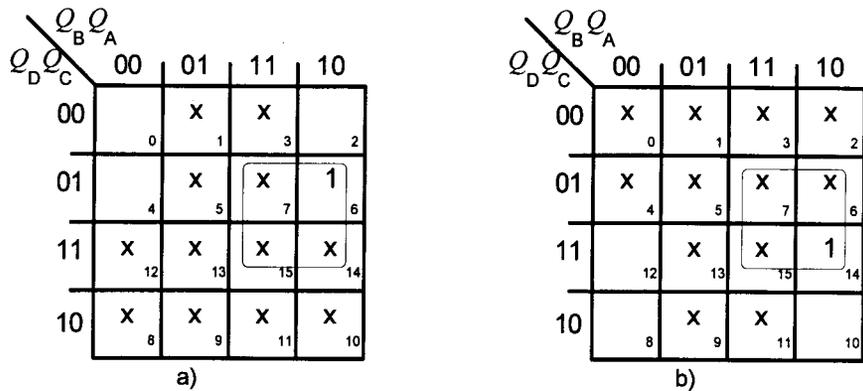


Fig. 9.6.7 Diagramas de Karnaugh de las variables J_D (a) y K_D (b). Números pares

De estos diagramas obtenemos:

$$J_C = K_C = Q_B \quad J_D = K_D = Q_B Q_C$$

El circuito resultante es el de la figura (9.6.8).

Obsérvese, como se comentó anteriormente, que el primer biestable podría ser eliminado del circuito ya que su estado será siempre el mismo $Q_A = 0$.

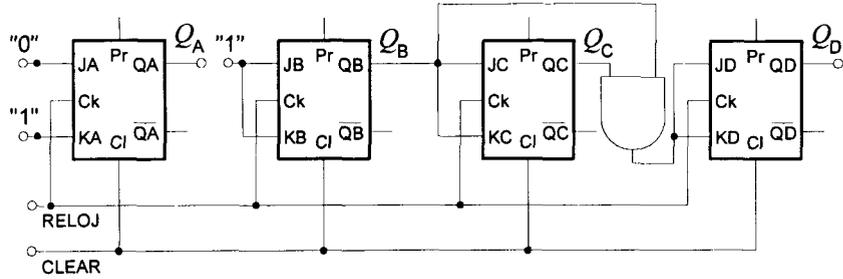
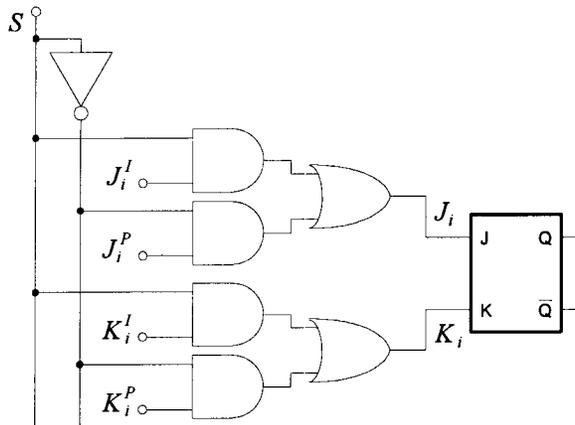


Fig. 9.6.8 Circuito de los números pares

Hay que tener en cuenta también que si existiese la posibilidad de un estado inicial que no fuese un número par (como sucedía en el caso de los impares) el primer biestable mantendría su estado indefinidamente, es decir, si estuviese inicialmente a 1, el circuito recorrería los números impares en lugar de los pares dado que $J_A = K_A = 0$ y el biestable no cambia de estado. Para garantizar el paso inmediato a la secuencia de números pares bastaría hacer $K_A = 1$. Esto podría hacerse aunque no tengamos ningún estado impar, ya que en la tabla de la figura todos los términos de K_A son irrelevantes. Así si ponemos $J_A = 0$ y $K_A = 1$ nos aseguramos de que el circuito siempre estará en un estado impar, por ejemplo siempre $Q_A = 1$.

- C) No existe un procedimiento general para hacer reversible cualquier máquina de estados finitos. En algunas estructuras, tales como los registros de desplazamiento, o los contadores el problema es más fácil, de forma que se hacen coexistir las funciones lógicas combinacionales correspondientes a los dos sentidos del desplazamiento y se usa un multiplexor controlado a su vez por una variable adicional que relaciona el sentido (desplazar hacia la derecha o desplazar a la izquierda, contar hacia arriba o hacia abajo,...).

En el caso del problema se tendrían que sintetizar los autómatas correspondientes a las secuencias inversas: $15 \rightarrow 13 \rightarrow 11 \rightarrow \dots, 3 \rightarrow 1 \rightarrow 15$, en el caso de los números impares y $14 \rightarrow 12 \rightarrow \dots, 2 \rightarrow 0 \rightarrow 14$, en el caso de los números pares, de forma que se trata de dos nuevos problemas que se resuelven por el procedimiento general usado en los apartados a) y b) de este ejercicio.


 Fig. 9.6.9 Selección por la señal S de las secuencias pares/impares

- D)** Hemos contestado en parte esta cuestión dentro del apartado c). por sencillez, no repetiremos todo el circuito. Basta con llamar (J_i^P, K_i^P) y (J_i^I, K_i^I) a las entradas J y K calculadas para las secuencias pares e impares respectivamente y recordar que el subíndice i toma los valores A, B, C y D . En todos los biestables, se multiplexan las entradas J (J_i^P y J_i^I) y las K (K_i^P y K_i^I), bajo control de la nueva variable externa S , de forma que ante $S=0$ ($\bar{S}=1$), se seleccionan los controles correspondientes a la secuencia de los números pares (J_i^P, K_i^P) y ante $S=1$ los correspondientes a los números impares (J_i^I, K_i^I), tal como se muestra en la figura (9.6.9).

El circuito completo sería:

$$J_A^I = 1, J_A^P = 0; J_B^I = Q_A + Q_B + Q_C + Q_D, J_B^P = 1; J_C^I = Q_B = J_C^P, J_D^I = Q_B Q_C = J_D^P$$

$$K_A^I = 0, K_A^P = 1; K_B^I = 1, K_B^P = 1; K_C^I = Q_B = K_C^P, K_D^I = Q_B Q_C = K_D^P$$

Obsérvese que aún se puede simplificar más ya que $K_B^P = K_B^I = 1$, y aún más ya que

$$J_A^I = 1, K_A^I = 0 \text{ y entonces } J_A^I = \bar{K}_A^I, \text{ y}$$

$$J_A^P = 0, K_A^P = 1 \text{ y entonces } J_A^P = \bar{K}_A^P$$

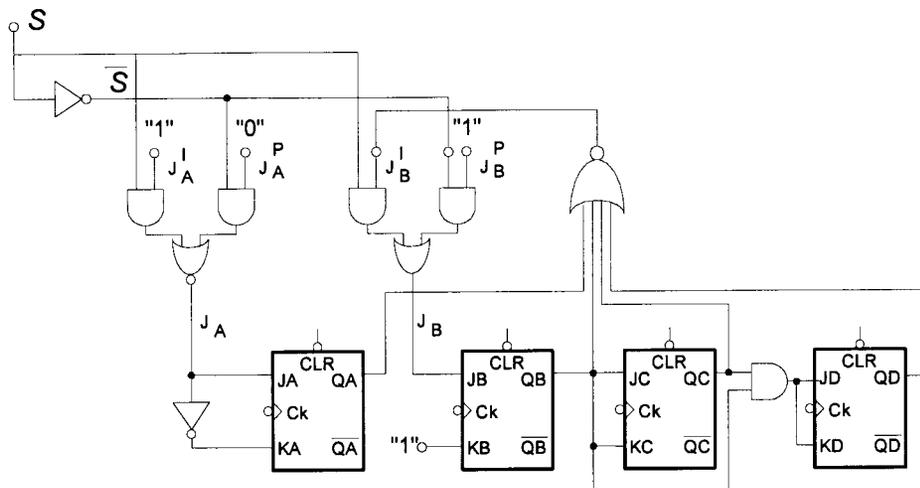


Fig. 9.6.10 Circuito que detecta las dos secuencias del enunciado en función de la entrada S



E.9.7 Análisis de contadores

Analizar los circuitos de las figuras adjuntas. ¿Qué tipo de contadores son?. Dibujar el diagrama de transición de estados y justificar la necesidad de las expresiones lógicas correspondientes a las funciones de excitación (J y K) de cada uno de los cuatro biestables.

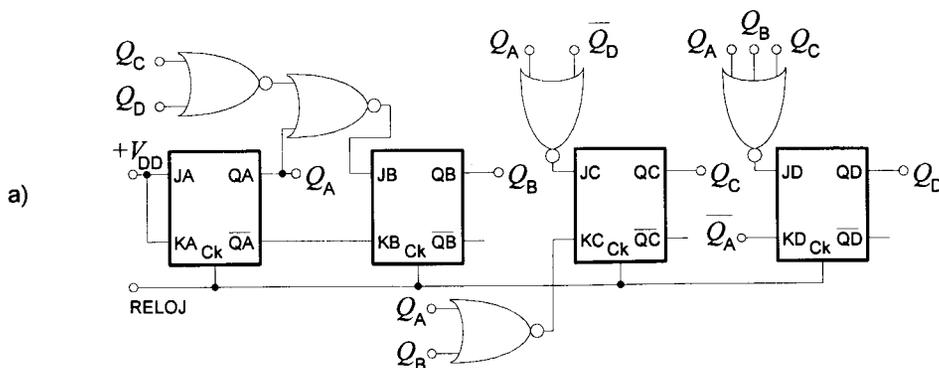


Fig. 9.7.1

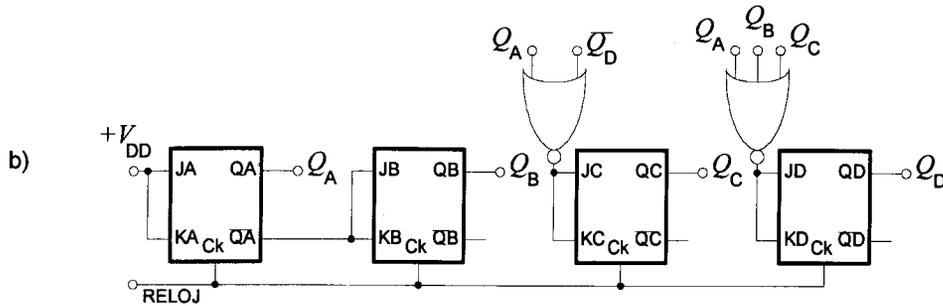


Fig. 9.7.2

Solución:

En ambos circuitos (a y b) lo que vamos a hacer es escribir la tabla de verdad con todas las configuraciones posibles para las cuatro variables de estado (Q_A^n , Q_B^n , Q_C^n y Q_D^n), ver a continuación las expresiones de sus señales de control ($J_A, K_A; \dots; J_D, K_D$) y obtener los estados sucesores (Q_A^{n+1} , Q_B^{n+1} , Q_C^{n+1} y Q_D^{n+1}). Dibujamos después los diagramas de transición de estados por simple inspección de las tablas correspondientes.

Veamos una de estas transiciones para el caso a). El resto de transiciones (filas de la tabla) del caso a) y del caso b) son análogas.

Caso a: Sucesor de $(ABCD) = (0110)$

Las ecuaciones de excitación de los biestables son:

$$\begin{aligned}
 J_A &= K_A = 1 \\
 J_B &= \overline{Q_C + Q_D + Q_A} & K_B &= \overline{Q_A} \\
 J_C &= \overline{Q_A + Q_D} & K_C &= \overline{Q_A + Q_B} \\
 J_D &= \overline{Q_A + Q_B + Q_C} & K_D &= \overline{Q_A}
 \end{aligned}$$

Como $J_A = K_A = 1$, $Q_A^{n+1} = \overline{Q_A^n} = 1$.

Análogamente como $J_B = \overline{Q_C + Q_D + Q_A} = \overline{1+0+0} = 1$ y $K_B = \overline{Q_A} = \overline{0} = 1$ hay cambio de estado y $Q_B^{n+1} = \overline{Q_B^n} = 0$. Del mismo modo $J_C = \overline{Q_A + Q_D} = \overline{0+0} = 0$ y $K_C = \overline{Q_A + Q_B} = \overline{0+1} = 0$ luego no hay cambio y $Q_C^{n+1} = Q_C^n = 1$. Finalmente $J_D = \overline{Q_A + Q_B + Q_C} = \overline{0+1+1} = 0$ y $K_D = \overline{Q_A} = \overline{0} = 1$, luego Q_D pasa a cero sea cual fuese el estado anterior, $Q_D^{n+1} = 0$.

MSB		LSB								J_A				
Q_D^n	Q_C^n	Q_B^n	Q_A^n	J_D	K_D	J_C	K_C	J_B	K_B	K_A	Q_D^{n+1}	Q_C^{n+1}	Q_B^{n+1}	Q_A^{n+1}
0	0	0	0	1	1	0	1	0	1	1	1	0	0	1
0	0	0	1	0	0	0	0	0	0	1	0	0	0	0
0	0	1	0	0	1	0	0	0	1	1	0	0	0	1
0	0	1	1	0	0	0	0	0	0	1	0	0	1	0
0	1	0	0	0	1	0	1	1	1	1	0	0	1	1
0	1	0	1	0	0	0	0	0	0	1	0	1	0	0
0	1	1	0	0	1	0	0	1	1	1	0	1	0	1
0	1	1	1	0	0	0	0	0	0	1	0	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1	1	1
1	0	0	1	0	0	0	0	0	0	1	1	0	0	0
1	0	1	0	0	1	1	0	1	1	1	0	1	0	1
1	0	1	1	0	0	0	0	0	0	1	1	0	1	0
1	1	0	0	0	1	1	1	1	1	1	0	0	1	1
1	1	0	1	0	0	0	0	0	0	1	1	1	0	0
1	1	1	0	0	1	1	0	1	1	1	0	1	0	1
1	1	1	1	0	0	0	0	0	0	1	1	1	1	0

Fig. 9.7.3 Tabla correspondiente al caso a)

Así el sucesor del estado (0110) es el estado (0101). De la misma forma operaríamos con el resto de los estados. El diagrama de transición de estados es el de la figura (9.7.4).

Si se estudia detenidamente el diagrama de Transición de Estados vemos que no es un contador hacia abajo de diez a cero. Es decir, del estado S_9 (1001) pasa al S_8 (1000), ..., hasta S_0 (0000), de aquí vuelve a S_9 y así sucesivamente. El resto de los estados S_{10} a S_{15} son estados transitorios de forma que si el contador entra a alguno de estos estados pasa a S_3 o S_5 y entra en el contador.

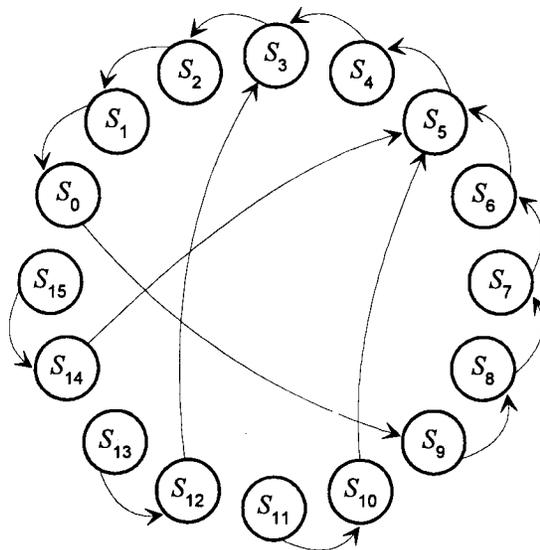


Fig. 9.7.4 Diagrama de transición de estados del caso a)

Caso b:

Las ecuaciones de excitación son ahora

$$J_A = K_A = 1$$

$$J_B = K_B = \overline{Q_A}$$

$$J_C = K_C = \overline{Q_A + Q_D}$$

$$J_D = K_D = \overline{Q_A + Q_B + Q_C}$$

y la tabla y el diagrama de estados se muestran en las figuras (9.7.5) y (9.7.6).

Aquí de nuevo funciona como dos contadores de cuatro estados (\$S_7, S_6, S_5, S_4\$ y \$S_{11}, S_{10}, S_{13}, S_{12}\$) a los que llega tras un transitorio \$S_{15}, S_{14}, S_9, S_8\$ y \$S_7\$ para el presente caso y \$S_3, S_2, S_1, S_0\$ y \$S_{11}\$ para el segundo caso, de forma que entre en el estado que entre, siempre termina en uno de los dos lazos.

MSB				LSB							
Q_D^n	Q_C^n	Q_B^n	Q_A^n	J_D	J_C	J_B	J_A	Q_D^{n+1}	Q_C^{n+1}	Q_B^{n+1}	Q_A^{n+1}
0	0	0	0	1	0	1	1	1	0	1	1
0	0	0	1	0	0	0	1	0	0	0	0
0	0	1	0	0	0	1	1	0	0	0	1
0	0	1	1	0	0	0	1	0	0	1	0
0	1	0	0	0	0	1	1	0	1	1	1
0	1	0	1	0	0	0	1	0	1	0	0
0	1	1	0	0	0	1	1	0	1	0	1
0	1	1	1	0	0	0	1	0	1	1	0
1	0	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	0	0	1	1	0	0	0
1	0	1	0	0	1	1	1	1	1	0	1
1	0	1	1	0	0	0	1	1	0	1	0
1	1	0	0	0	1	1	1	1	0	1	1
1	1	0	1	0	0	0	1	1	1	0	0
1	1	1	0	0	1	1	1	1	0	0	1
1	1	1	1	0	0	0	1	1	1	1	0

Fig. 9.7.5 Tabla del caso b)

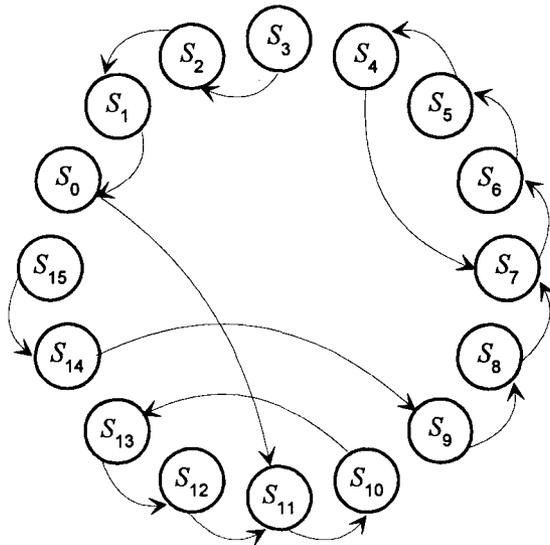


Fig. 9.7.6 Diagrama de transición de estados del caso b)

□ □ □ □

E.9.8 Registro de desplazamiento

En teoría hemos estudiado los registros de desplazamiento a partir de un ejemplo representativo de las soluciones MSI en tecnología integrada. En este ejercicio queremos abordar su síntesis de forma general, con PLD's y biestables D. Vamos a limitarnos sin pérdida de generalidad a registros de desplazamiento de 3 bits con la estructura de la figura (9.8.1). Es decir, con tres biestables D conectados en serie, de forma que la salida del primero ataca al segundo y la del segundo al tercero. En paralelo, las tres salidas (Q_0 , Q_1 , Q_2) junto con la entrada (x), participan en una función de lógica combinacional que genera la entrada al primer biestable.

a) Suponiendo que $D_0 = f(x; Q_0, Q_1, Q_2) = x$, calcular las matrices de transición y la matriz funcional.

b) ¿Qué cambios tendríamos que introducir en la matriz funcional si la conexión entre biestables partiera de \bar{Q} ? Es decir, si:

$$D_0 = f(x; Q_0, Q_1, Q_2) \quad D_1 = \bar{Q}_0 \quad D_2 = \bar{Q}_1$$

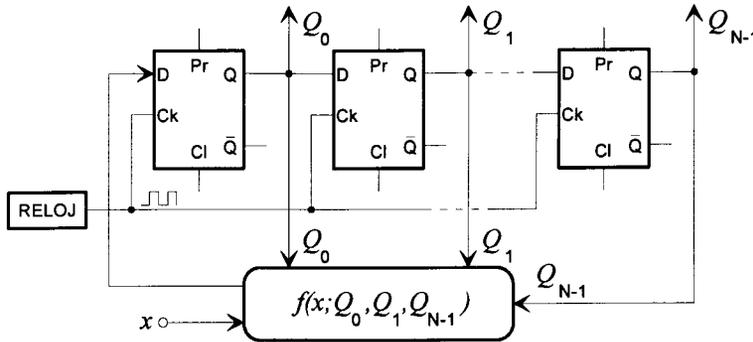


Fig. 9.8.1 Estructura general de los registros de desplazamiento

Solución:

La estructura general de un registro de desplazamiento es la que se muestra en la figura (9.8.1) que procede de la figura 9.18 del texto base y que repetimos aquí por complitud. En las soluciones con PLD's actuales tanto la lógica combinacional como los biestables están incluidos en el mismo circuito integrado. Aquí, sin embargo, vamos a suponer que los biestables están separados de la lógica de realimentación y vamos a utilizar el procedimiento general de síntesis para calcular la matriz funcional en el caso más sencillo en el que $D_0 = x$, $D_1 = Q_0$ y $D_2 = Q_1$.

Como disponemos de tres biestables estamos hablando de un autómata finito de $2^3 = 8$ estados cuyo espacio de entradas sólo posee a la variable x que da lugar a dos matrices de transición (para $x = 0 \rightarrow T_{ij}^0$ y para $x = 1 \rightarrow T_{ij}^1$). El espacio de salidas lo constituye el estado del último biestable (D_2). Supongamos además que el comportamiento es síncrono de forma que todas las transiciones coinciden con la bajada o subida del pulso de reloj y en ese instante se acepta el nuevo dato, se desplaza el contenido de los biestables y se obtiene como respuesta el estado del último. La figura (9.8.2) muestra el diagrama de transición de estados. Obsérvese que el sucesor de 000 si entra $x=0$ es 000 y si entra $x=1$ es 100. Análogamente el sucesor de 010 será 001 (ante $x=0$) y 101 (ante $x=1$). De forma análoga se completa el resto del diagrama de transición.

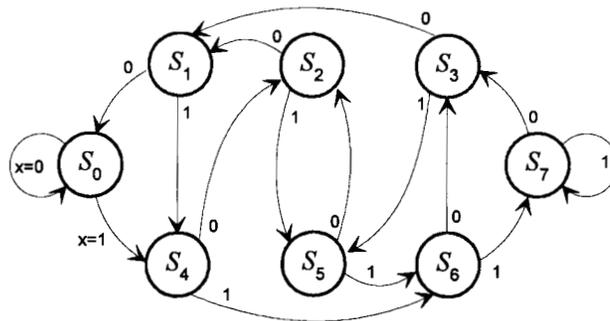


Fig. 9.8.2 Diagrama de transición de estados

Para la obtención de la matriz funcional podemos seguir los dos procedimientos usuales:

- a) Sumar los productos de las matrices de transición por las entradas que las activan:

$$M(x) = \bar{x} \cdot T_{ij}^0 + x \cdot T_{ij}^1$$

- b) Usar el procedimiento general

$$m_{ij}(X_m) = D_0^q(X_m, S_i) D_1^r(X_m, S_i) D_2^s(X_m, S_i)$$

donde q, r y s son los bits del estado final (S_j), S_i es el estado inicial y D_0, D_1 y D_2

las funciones de excitación: $D_0 = x$ $D_1 = Q_0$ $D_2 = Q_1$

Veamos primero el procedimiento a)

Matriz de transición: T_{ij}^0

$x = 0$	S_0 $Q_0Q_1Q_2$ 000	S_1 $Q_0Q_1Q_2$ 001	S_2 $Q_0Q_1Q_2$ 010	S_3 $Q_0Q_1Q_2$ 011	S_4 $Q_0Q_1Q_2$ 100	S_5 $Q_0Q_1Q_2$ 101	S_6 $Q_0Q_1Q_2$ 110	S_7 $Q_0Q_1Q_2$ 111
S_0	1	0	0	0	0	0	0	0
S_1	1	0	0	0	0	0	0	0
S_2	0	1	0	0	0	0	0	0
S_3	0	1	0	0	0	0	0	0
S_4	0	0	1	0	0	0	0	0
S_5	0	0	1	0	0	0	0	0
S_6	0	0	0	1	0	0	0	0
S_7	0	0	0	1	0	0	0	0

Fig. 9.8.3

Matriz de transición: T_{ij}^1

$x = 1$	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7
S_0	0	0	0	0	1	0	0	0
S_1	0	0	0	0	1	0	0	0
S_2	0	0	0	0	0	1	0	0
S_3	0	0	0	0	0	1	0	0
S_4	0	0	0	0	0	0	1	0
S_5	0	0	0	0	0	0	1	0
S_6	0	0	0	0	0	0	0	1
S_7	0	0	0	0	0	0	0	1

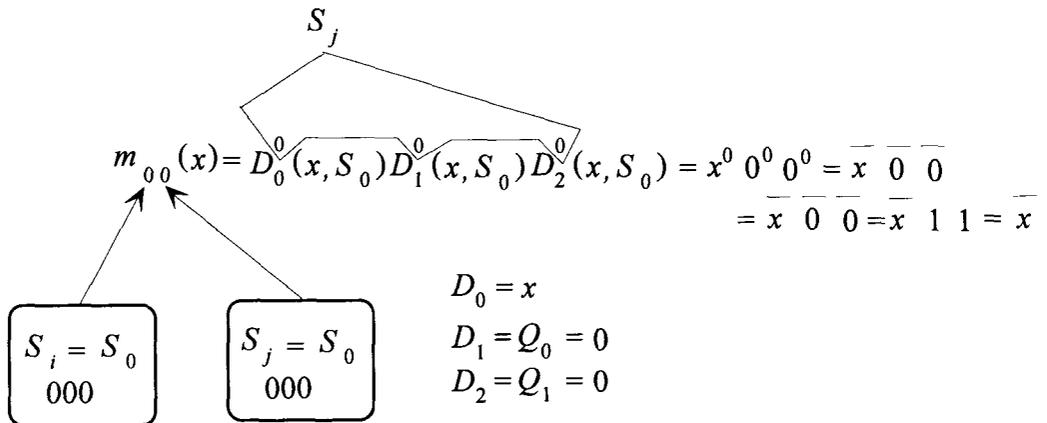
Fig. 9.8.4

Así la matriz funcional es: $M(x)$

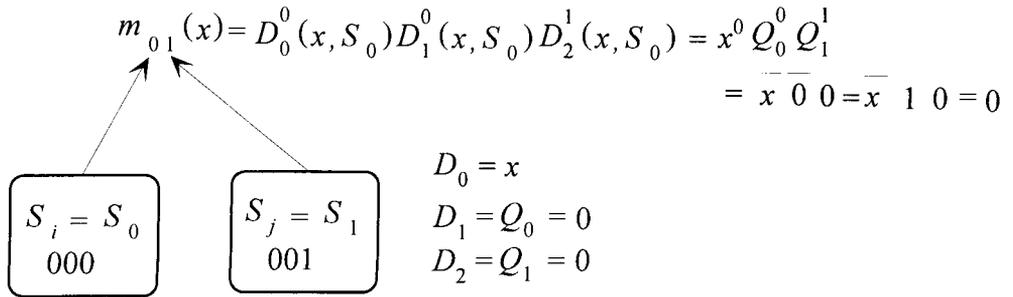
	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7
S_0	\bar{x}	0	0	0	x	0	0	0
S_1	\bar{x}	0	0	0	x	0	0	0
S_2	0	\bar{x}	0	0	0	x	0	0
S_3	0	\bar{x}	0	0	0	x	0	0
S_4	0	0	\bar{x}	0	0	0	x	0
S_5	0	0	\bar{x}	0	0	0	x	0
S_6	0	0	0	\bar{x}	0	0	0	x
S_7	0	0	0	\bar{x}	0	0	0	x

Fig. 9.8.5

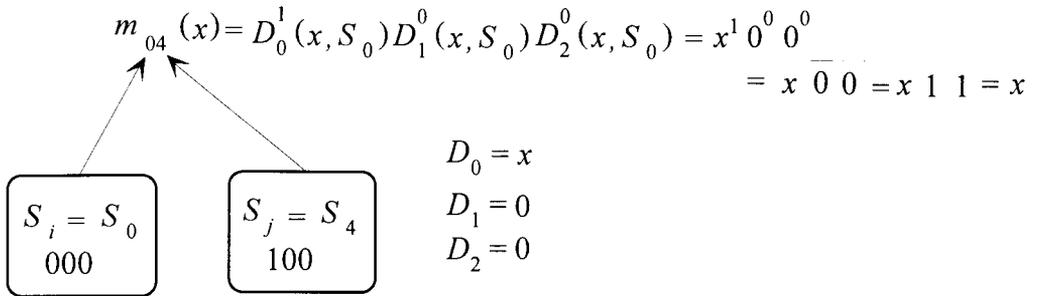
Veamos ahora el procedimiento general b).



es decir, el término m_{00} define los términos entre el estado inicial S_0 (000) y el estado final S_0 (000). Por consiguiente, los bits del exponente ($q r s$) son cero los tres, lo que significa que, de acuerdo con la notación de Gilstrap, se complementan D_0 , D_1 y D_2 .



$$m_{02} = m_{03} = m_{05} = m_{06} = m_{07} = 0$$



Así, la primera fila de la Mtriz Funcional es: $(m_{00}, m_{01}, \dots, m_{07}) = (\overline{x} \ 0 \ 0 \ 0 \ x \ 0 \ 0 \ 0)$
 Análogamente obtendríamos el resto de las filas de la matriz funcional que, como vemos, coincide con la obtenida por el otro procedimiento.

Finalmente, en la segunda parte del problema se nos piden los cambios que sufriría la matriz funcional si $D_0 = x$, $D_1 = \overline{Q_0}$ y $D_2 = \overline{Q_1}$. En realidad se trata de repetir el procedimiento para la nueva dinámica de transición de estados.

La figura (9.8.6) resume la solución, y la tabla de transición de estados dependiendo de la entrada x .

x	$Q_n^0 Q_1^n Q_2^n$	$Q_0^{n+1} Q_1^{n+1} Q_2^{n+1}$
0	000	011
	001	011
	010	010
	011	010
	100	001
	101	001
	110	000
	111	000
1	000	111
	001	111
	010	110
	011	110
	100	101
	101	101
	110	100
	111	100

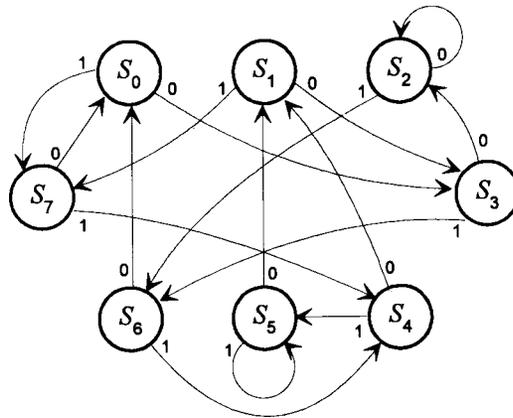


Fig. 9.8.6 Diagrama de transición de estados del caso $D_0 = x$, $D_1 = \overline{Q_0}$ y $D_2 = \overline{Q_1}$

Matriz de transición de estados cuando a la entrada tenemos $x=0$. Es decir:

$$T_{ij}^0$$

	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7
S_0	0	0	0	1	0	0	0	0
S_1	0	0	0	1	0	0	0	0
S_2	0	0	1	0	0	0	0	0
S_3	0	0	1	0	0	0	0	0
S_4	0	1	0	0	0	0	0	0
S_5	0	1	0	0	0	0	0	0
S_6	1	0	0	0	0	0	0	0
S_7	1	0	0	0	0	0	0	0

Matriz de transición de estados cuando la entrada es $x=1$:

$$T_{ij}^1$$

	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7
S_0	0	0	0	0	0	0	0	1
S_1	0	0	0	0	0	0	0	1
S_2	0	0	0	0	0	0	1	0
S_3	0	0	0	0	0	0	1	0
S_4	0	0	0	0	0	1	0	0
S_5	0	0	0	0	0	1	0	0
S_6	0	0	0	0	1	0	0	0
S_7	0	0	0	0	1	0	0	0

Matriz funcional del caso b) en el que:

$$D_0 = x,$$

$$D_1 = \overline{Q_0}$$

$$\text{y } D_2 = \overline{Q_1}$$

$$M = \begin{pmatrix} 0 & 0 & 0 & x & 0 & 0 & 0 & x \\ 0 & 0 & 0 & x & 0 & 0 & 0 & x \\ 0 & 0 & x & 0 & 0 & 0 & x & 0 \\ 0 & 0 & x & 0 & 0 & 0 & x & 0 \\ 0 & x & 0 & 0 & 0 & x & 0 & 0 \\ 0 & x & 0 & 0 & 0 & x & 0 & 0 \\ x & 0 & 0 & 0 & x & 0 & 0 & 0 \\ x & 0 & 0 & 0 & x & 0 & 0 & 0 \end{pmatrix}$$

Fig. 9.8.7 Resumen de la solución del caso b)



E.9.9 Análisis de un registro de desplazamiento universal (SN74S195)

Analizar el registro universal bidireccional SN74S195 cuyo esquema aparece en la figura (9.9.1) y su cronograma en la figura (9.9.3). En el desarrollo teórico se ha presentado una descripción cualitativa del funcionamiento, sin obtener las expresiones lógicas de R_A , R_B , R_C y R_D para las situaciones de carga serie, carga paralelo y desplazamiento serie. Obtenerlas aquí, comprobando la tabla de la figura (9.9.2).

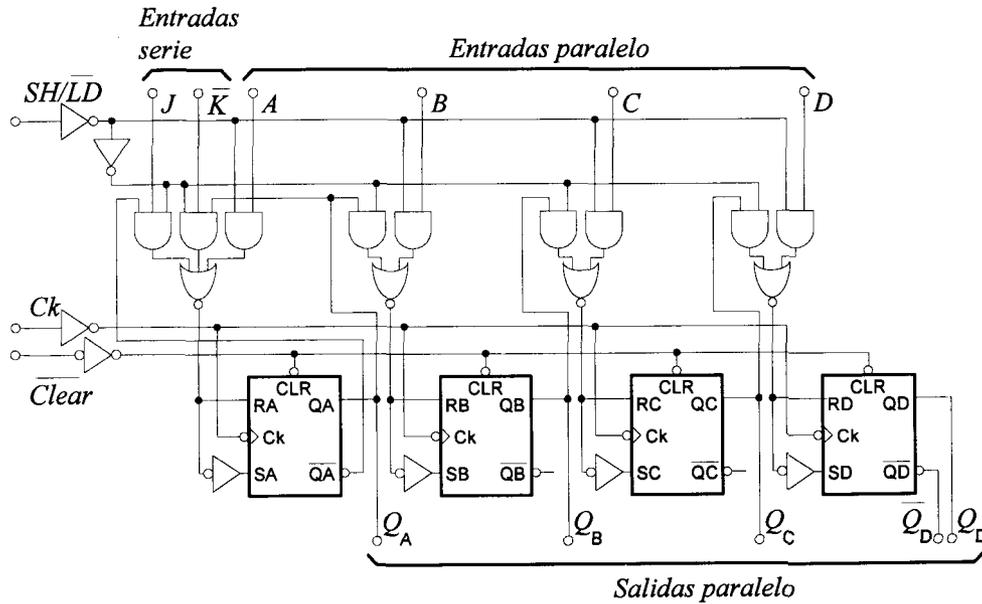


Fig. 9.9.1 Esquema circuital del registro de desplazamiento 74195

		ENTRADAS							SALIDAS				
		Ck	SERIE		PARALELO				Q_A	Q_B	Q_C	Q_D	$\overline{Q_D}$
\overline{Clear}	SH/\overline{LD}		J	\overline{K}	A	B	C	D					
L	x	x	x	x	x	x	x	x	L	L	L	L	H
H	L	\uparrow	x	x	a	b	c	d	a	b	c	d	\overline{d}
H	H	L	x	x	x	x	x	x	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}	$\overline{Q_{D0}}$
H	H	\uparrow	L	H	x	x	x	x	Q_{A0}	Q_{A0}	Q_{Bn}	Q_{Cn}	$\overline{Q_{Cn}}$
H	H	\uparrow	L	L	x	x	x	x	L	Q_{An}	Q_{Bn}	Q_{Cn}	$\overline{Q_{Cn}}$
H	H	\uparrow	H	H	x	x	x	x	H	Q_{An}	Q_{Bn}	Q_{Cn}	$\overline{Q_{Cn}}$
H	H	\uparrow	H	L	x	x	x	x	$\overline{Q_{An}}$	Q_{An}	Q_{Bn}	Q_{Cn}	$\overline{Q_{Cn}}$

Fig. 9.9.2 Tabla de control de función del registro de desplazamiento 74195

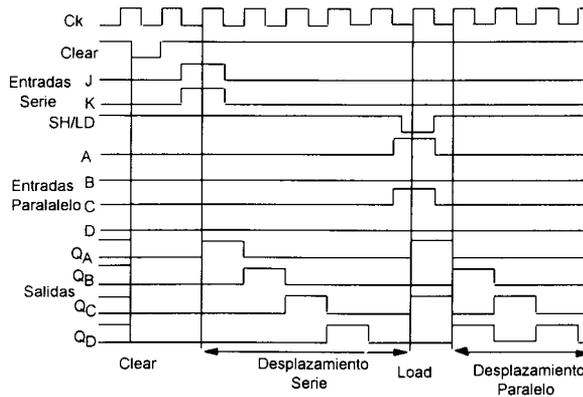


Fig. 9.9.3 Cronograma correspondiente al registro de desplazamiento SN74195

Solución:

El objetivo de este problema es hacer que el alumno profundice en la comprensión de un circuito real forzándole a manejar el significado funcional de sus terminales, la tabla de verdad y los cronogramas correspondientes a los distintos modos de funcionamiento (carga serie o paralelo y desplazamiento). Para conseguir esto vamos a obtener primero las expresiones de R_A , R_B , R_C y R_D y después vamos a ver la tabla de verdad.

Por simple inspección del circuito vemos que las expresiones de las señales de excitación son:

$$R_A = \overline{(\overline{Q_A} \cdot J + Q_A \cdot K) \cdot SH + \overline{SH} \cdot A} = \overline{D_A}$$

$$R_B = \overline{Q_A \cdot SH + B \cdot \overline{SH}} = \overline{D_B}$$

$$R_C = \overline{Q_B \cdot SH + C \cdot \overline{SH}} = \overline{D_C}$$

$$R_D = \overline{Q_C \cdot SH + D \cdot \overline{SH}} = \overline{D_D}$$

Las hemos llamado al final como D_A , D_B , D_C y D_D porque, aunque los biestables son R - S actúan como D ($R = \overline{S}$) con la señal activa en baja.

Comprobar la tabla de verdad significa que bajo la orden de carga serie, efectivamente los valores almacenados en el primer biestable corresponden al nuevo dato de entrada (J, \bar{K}) . Análogamente, bajo la orden de carga paralelo los cuatro biestables almacenan a la vez los datos que le ofrecen las cuatro líneas de entrada (A, B, C, D) . Finalmente, ante la orden de desplazamiento se traslada el contenido de todos los biestables. Dicho de otro modo, comprobar la tabla de verdad es un problema de análisis en el que nos dan un circuito (en este caso el SN74195) y nos piden las funciones que describen su comportamiento. Como en este caso ya conocemos el resultado vamos a limitarnos a comprobar que es cierto.

1.- Función de "Clear".

Tal como vemos en la tabla esta señal es activa en baja de forma que cuando pasa a cero vemos que en la entrada de "Clear" de los biestables (R) aparece un uno pasando a cero sus salidas. Nos olvidamos en adelante de esta señal, que permanece en alta el resto del tiempo, para simplificar las expresiones.

2.- Carga Paralelo

Se realiza cuando SH / \bar{LD} está en baja. Sustituyendo este valor en las expresiones de R_A, R_B, R_C y R_D obtenemos:

$$\begin{array}{cccc} R_A = \bar{A} & R_B = \bar{B} & R_C = \bar{C} & R_D = \bar{D} \\ S_A = A & S_B = B & S_C = C & S_D = D \end{array}$$

es decir, la entrada de "Set" de los biestables R - S coincide exactamente con el bit correspondiente de la palabra que se quiere cargar.

3.- Carga Serie

Se realiza cuando SH / \bar{LD} está en alta. Entonces se inhiben las entradas paralelo $(ABCD)$ y se facilitan las entradas serie J y \bar{K} del multiplexor cuya salida va a R_A . Por consiguiente el dato serie aparece en el primer biestable, mientras que en los otros biestables se facilita la vía del multiplexor que les hace entrar el estado del biestable anterior, de forma que

$$R_A = \overline{Q_A J + Q_A \bar{K}} \quad R_B = \bar{Q}_A \quad R_C = \bar{Q}_B \quad R_D = \bar{Q}_C$$

con lo cual se desplazan todos los bits y en el primero tenemos cuatro opciones, de acuerdo con la tabla de la figura (9.9.4).

Es decir si $J = \overline{K} = 0$ se escribe un cero, si $J = \overline{K} = 1$ se escribe un uno. Cuando $J=0$ y $\overline{K}=1$ se mantiene el valor que tenía en el instante anterior (Q_A) y cuando $J=1$ y $\overline{K}=0$ se carga el complementario del estado anterior ($\overline{Q_A}$). El resumen de los tres modos de funcionamiento es el que se incluye en la tabla de partida.

J	\overline{K}	$R_A = \overline{J\overline{Q_A} + \overline{K}Q_A}$	$Q_A = \overline{R_A} = S_A$
0	0	$\overline{0 + 0} = 1$	0
0	1	$\overline{Q_A}$	Q_A
1	0	Q_A	$\overline{Q_A}$
1	1	$\overline{\overline{Q_A} + Q_A} = 0$	1

Fig. 9.9.4

□ □ □ □

E.9.10 Síntesis de registro de desplazamiento

Diseñar un circuito que controle el registro de desplazamiento del problema anterior haciéndolo pasar sucesivamente por los siguientes modos de funcionamiento:

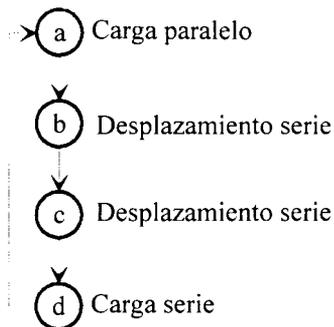


Fig. 9.10.1 Secuencia de modos de funcionamiento del registro de desplazamiento

Solución:

Para resolver este problema partimos de los datos del problema anterior (circuito y tabla de verdad). Como hemos visto, este circuito permite cargar datos en serie o en paralelo y después el desplazamiento serie.

Observando la tabla de verdad y el cronograma vemos que para que cargue los datos en paralelo se debe verificar que la señal de control SH / \overline{LD} esté en baja, mientras que para que la carga sea en serie deberá estar en alta. En este último caso, el dato que se carga en serie se hace a través de la entrada $J - \overline{K}$, de forma que si se quiere cargar un uno deberemos poner $J = \overline{K} = 1$ y si se quiere cargar un cero, $J = \overline{K} = 0$. Además se puede usar como dato el introducido en el instante anterior si se usa la configuración $J = 0, \overline{K} = 1$ o bien su complementario, con $J = 1, \overline{K} = 0$.

Para el desplazamiento serie usamos la configuración $SH / \overline{LD} = H$ y $J = \overline{K} = 0$, que hará que tras la entrada de los datos, se ponga a cero el primer biestable y así permanecerá hasta que se vuelvan a introducir nuevos datos.

Como queremos que el registro de desplazamiento pase sucesivamente por los modos de funcionamiento: carga paralelo, desplazamiento serie, desplazamiento serie, carga serie y de nuevo se repita el ciclo, tendremos que diseñar un circuito que genere de forma sucesiva las cuatro configuraciones de control que exige la secuencia solicitada. Para controlar cuatro estados necesitamos dos variables de control que llamaremos C_1 y C_2 . Vamos a considerar que cuando $C_1 = 0$ y $C_2 = 0$ se va a realizar la carga en paralelo, cuando $C_1 = 1$ y $C_2 = 1$ se realiza la carga serie y para los desplazamientos serie usamos las configuraciones $C_1 = 1, C_2 = 0$ y $C_1 = 0, C_2 = 1$, tal como se muestra en la tabla de la figura (9.10.2).

C_1	C_2	Función
0	0	Carga paralelo
0	1	Desplazamiento Serie
1	0	Desplazamiento Serie
1	1	Carga serie

Fig. 9.10.2 Tabla de control

Como puede verse C_1 y C_2 corresponden a las salidas (Q_0, Q_1) de un contador asíncrono de dos bits. Así, el circuito que genera las variables de control constará de un reloj básico que podemos realizar con un 555 en configuración astable y dos biestables $J-K$ trabajando como T ($J=K=1$) como se muestra en la figura (9.10.3).

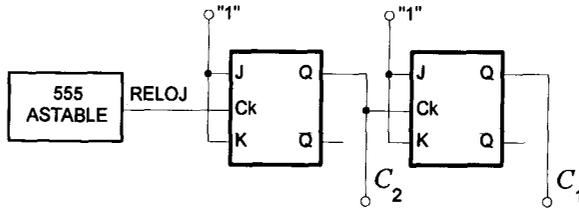
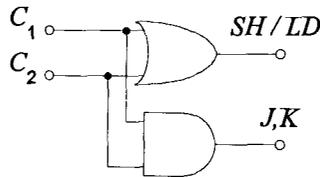


Fig. 9.10.3 Circuito de control

Veamos ahora el circuito combinacional que hemos de añadir al circuito anterior para que se den las condiciones de carga paralelo, serie y desplazamiento, en las señales de control del circuito SN74195 que según hemos visto son las de la figura (9.10.4 a).

	SH / \overline{LD}	J	\overline{K}	Ck	C_1	C_2
Carga paralelo	0	0	0	↑	0	0
Desplazamiento	1	0	0	↑	0	1
Carga serie	1	x	x	↑	1	1

a)



b)

Fig. 9.10.4 Paso del contador que genera la secuencia de control a los valores necesarios en la entrada del SN74195. a) Tabla. b) Circuito

Así:

$$SH / \overline{LD} = \overline{C_1}C_2 + C_1\overline{C_2} + C_1C_2 = C_1 + C_2$$

$$J = C_1C_2$$

$$\overline{K} = C_1C_2$$

y el circuito será el de la figura (9.10.4 b).

Como J y \bar{K} son las entradas de datos serie hemos de poner puertas AND controladas por C_1C_2 y que nos dejen pasar los valores de J y \bar{K} que serán entradas externas. Así el circuito completo se muestra en la figura (9.10.5):

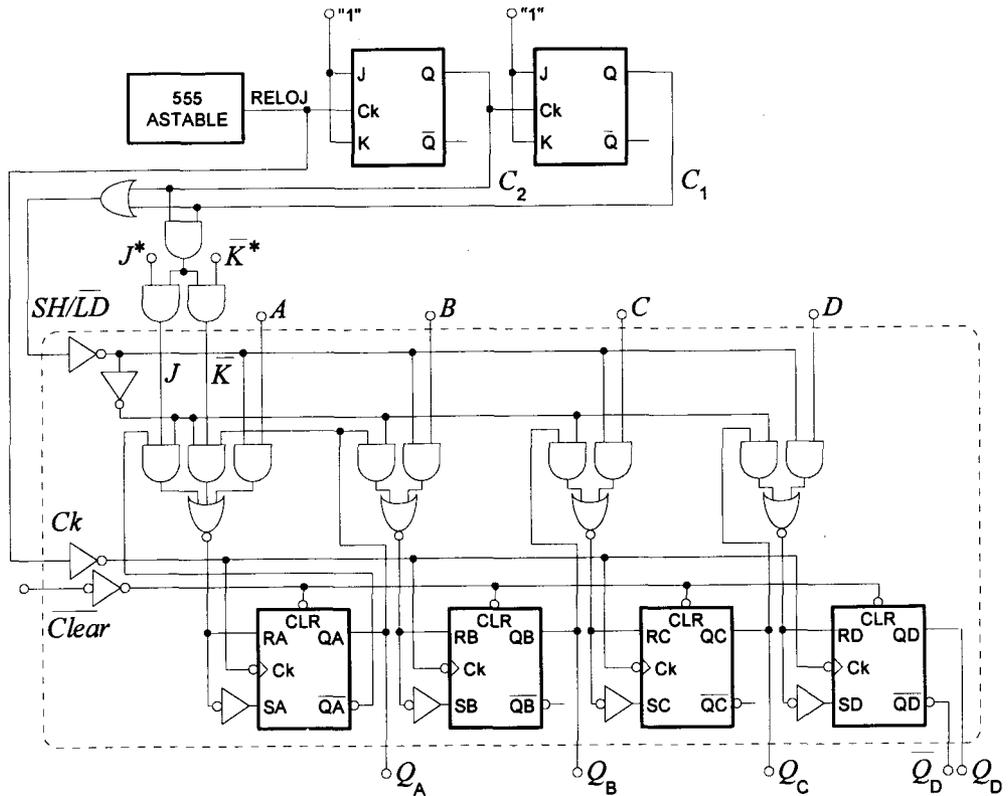


Fig. 9.10.5 Circuito completo

Temporizadores y relojes

PROPÓSITO

El objetivo de este capítulo es entender los procesos básicos de análisis y síntesis de temporizadores. En esencia, de circuitos monoestables, que generan un pulso de inicio y duración controlables, y de circuitos astables o multivibradores que son osciladores no lineales de frecuencia controlable.

Para que se entiendan los procesos adicionales de "start" y "reset", en alguno de los problemas se incluyen biestables y puertas lógicas que marcan la condición de inicio o inhibición del funcionamiento normal del circuito. Por razones pedagógicas se hace referencia a la estructura interna (dos inversores que controlan la carga y descarga de un condensador), aunque en problemas reales se usarán normalmente las soluciones integradas tipo 555 o programables tipo 8240.



EJERCICIOS RESUELTOS

E.10.1 Análisis de un circuito monoestable construido con puertas TTL

El circuito de la figura (10.1.1) incluye un **monoestable sintetizado con puertas**, junto con un generador de los pulsos de disparo. Dibujar las formas de onda en los puntos (1), (3) y (5) como respuesta al tren de impulsos que se muestra en la primera línea del cronograma. Suponiendo que las puertas usadas son TTL y que la alimentación es $V_{CC}=5$ Volts. ¿Cuál es la expresión analítica de la forma de onda en el punto (3), que mide la variación de la carga en el condensador?

Considerar que el estado inicial del biestable J-K es alto ($Q=1$) y que se dispara a bajadas. ¿Cuál es la máxima duración del pulso del monoestable suponiendo que $T_p=10^{-6}$ seg?. Recordando que la duración del pulso que genera el monoestable es $\tau = 0.69 \cdot R \cdot C$, ¿qué valores de R y C necesitaríamos para conseguir ese pulso?.

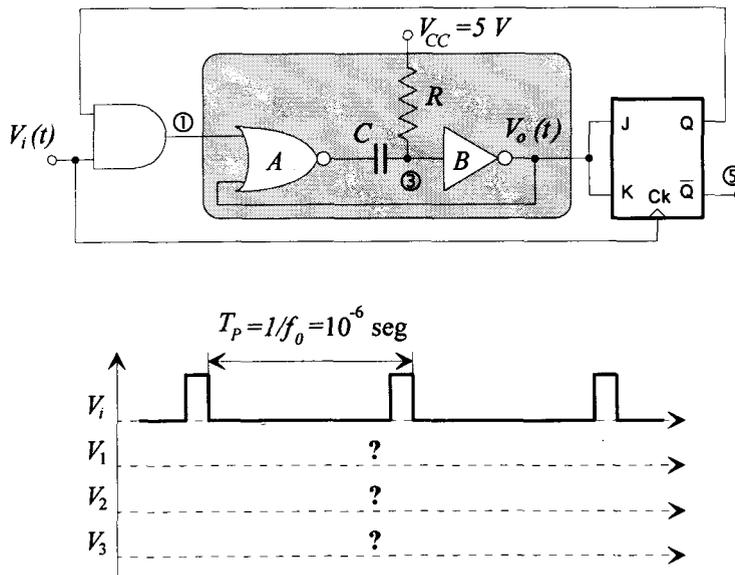


Fig. 10.1.1

Solución:

Para la solución de este problema conviene distinguir entre la función propia de un monoestable (área sombreada de la figura) y los circuitos externos que habilitan o inhiben el disparo del monoestable. Veamos primero estos circuitos que son los responsables de la señal en el punto 1, a partir del reloj externo y del estado inicial del biestable J - K .

Como $J=K$, el biestable actúa como T , de forma que cambia de estado en las bajadas del pulso de reloj si $J=K=1$, o permanece en el estado anterior si $J=K=0$. Como el estado inicial es $Q=1$, el pulso de reloj pasa la puerta AND y aparece en 1.

Olvidémonos de momento de la forma de la señal en 3. El área sombreada es un monoestable y por consiguiente se dispara con la subida del pulso en 1 y la tensión en $V_o(t)$ pasa a alta, donde permanece durante $\tau = RC \ln 2$. Después pasa de nuevo a baja. Como $V_o(t) = J = K$ durante el pulso del monoestable, el biestable T está preparado para cambiar de estado, pero como este cambio sólo puede ocurrir a las bajadas del reloj (se considera que la duración del pulso τ^* es muy pequeña, menor que el propio retardo de los componentes), sólo se producirá si $\tau > T_p$ (periodo). En caso contrario, al llegar el nuevo pulso, $V_o(t) = J = K$ estará en baja y no volcarán al biestable nunca.

Obsérvense dos puntos importantes: a) El J - K se dispara en las bajadas del pulso del reloj, mientras que el monoestable lo hace en las subidas, y b) Se consideran, lógicamente, dos duraciones de pulsos distintos, una τ^* que es la duración del pulso del reloj y otra τ que es la de duración del pulso del monoestable.

Veamos la duración máxima del pulso para $\tau < T_p$. La figura (10.1.2) muestra el esquema del T síncrono (ver también la figura 8.15 del texto de base), que es clave para entender este problema. Como el periodo es $T_p = 10^{-6}$ seg, la duración máxima del pulso del monoestable será T_p . Así

$$\tau_{\text{máximo}} \approx T_p = 10^{-6} \text{ seg.}$$

Así, para $\tau < T_p$ la salida del circuito es la de la figura (10.1.3) en la que podemos observar como el biestable T no cambia de estado por no darse la condición de que $T=1$ cuando baja el pulso de reloj.

Más adelante, al calcular la expresión de τ a partir de la curva de carga del condensador (señal en 3), estimaremos valores para R y C .

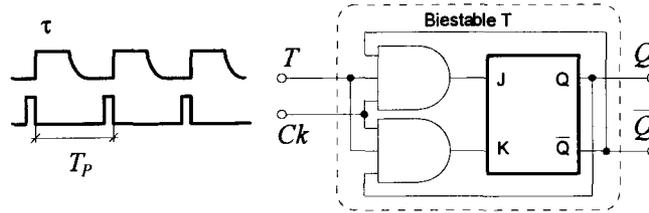


Fig. 10.1.2 Esquema del T síncrono. El reloj es el mismo que el del monoestable

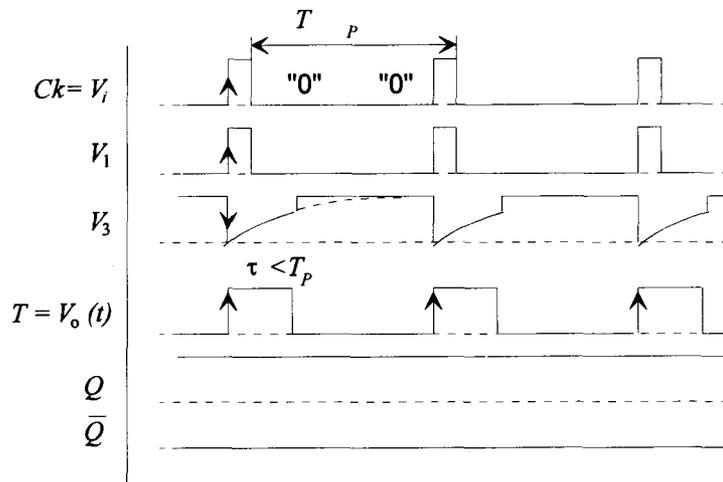


Fig. 10.1.3 Comportamiento para $\tau < T_p$

Veamos ahora el caso $\tau > T_p$, en el que la duración del estado metaestable (τ) es mayor que el periodo del reloj de forma que cuando llega el segundo pulso, el monoestable todavía sigue en alta ($V_o(t) = J = K = 1$). Esto hace que vuelque el biestable T , pasando $Q=0$ y $\bar{Q}=1$, con lo que se cierra la puerta AND de entrada y no permite nunca más el redisparo del monoestable, que sólo ha podido producir un

pulso. Obsérvese que al final de τ , $V_o(t) = J = K = 0$ y no podrá haber más cambios hasta que $J = K = 1$, pero esto no volverá a suceder porque la salida del biestable ($Q=0$) no permite nuevos disparos. La figura (10.1.4) ilustra este comportamiento.

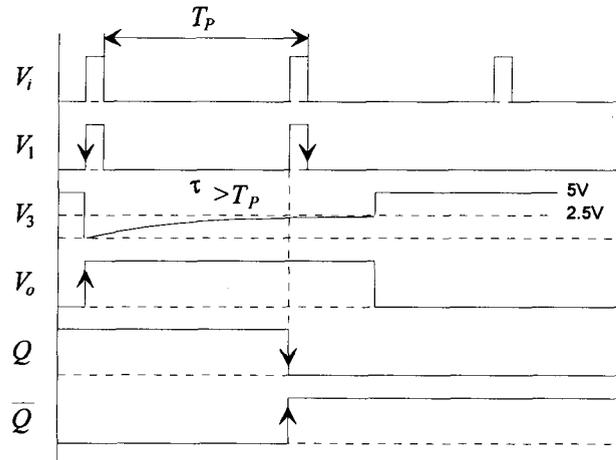


Fig. 10.1.4 Comportamiento para $\tau > T_p$

La forma de onda en el nudo (3) corresponde a la carga y descarga de la capacidad C y fue vista en teoría (ver figura 10.3 del texto base y la descripción correspondiente). Conviene recordar sin embargo que en la solución de este tipo de problemas siempre especificamos el estado inicial y el final y aplicamos la ecuación:

$$V_c(t) = V_{final} + (V_{inicial} - V_{final})e^{-t/RC}$$

que en el caso del ejemplo queda:

$$V_c(t) = V_c + (0 - V_c)e^{-t/RC} = 5 - 5e^{-t/RC} = 5(1 - e^{-t/RC})$$

suponiendo que las puertas son TTL y que la tensión de alimentación es $V_{CC} = 5V$.

Este proceso de carga se detiene cuando $V_c(t)$ alcanza el valor umbral de las puertas TTL. Entonces, el inversor B cambia y se vuelve al estado estable. La duración del pulso es el valor de t que hace $V_c(t) = V_{umbral}$ de la familia lógica en cuestión.

Entonces el inversor B cambia de nivel y el monoestable vuelve a su estado estable. La duración del pulso es el valor del tiempo de carga $t = \tau$ que hace que la tensión en el condensador alcance el valor umbral.

$$t = \tau \Leftrightarrow V_C(t) = V_3 = V_{umbral}$$

Si admitimos que el valor umbral en la familia TTL alimentada a 5 voltios es del orden de 2.5 voltios, tendremos:

$$V_c(t) = V_{umbral} = V_{CC}(1 - e^{-t/RC}) \Rightarrow \frac{v_{umbral}}{V_{CC}} = (1 - e^{-t/RC})$$

Tomando logaritmos:

$$-\frac{\tau}{RC} = \ln\left(1 - \frac{V_{umbral}}{V_{cc}}\right) \Rightarrow \tau = -RC \ln\left(1 - \frac{v_{umbral}}{V_{cc}}\right)$$

En este problema tenemos:

$$V_{cc} = 5V \quad y \quad v_{umbral} = 2.5V$$

por lo tanto:

$$\tau = -RC \ln\left(1 - \frac{2.5}{5}\right) = -RC(-0.69) = 0.69 RC$$

Al explicar el funcionamiento del circuito ya comentamos que para conseguir disparos sucesivos del monoestable con los pulsos del reloj, la duración del pulso (estado metaestable) debería ser algo menor que el periodo del astable ($T_p = 10^{-6}$ seg), luego:

$$\tau_{\text{máximo}} \approx T_p = 10^{-6} \text{ seg} = 0.69 RC$$

$$(RC)_{\text{máximo}} = \frac{10^{-6}}{0.69} = 1.45 \cdot 10^{-6}$$

Nos queda ahora la selección de R o C , puesto que sólo conocemos el valor del producto. Son razonables valores de R a partir de $1K\Omega$.

$$\text{Si } R = 10^3 \Omega, \quad C = \frac{1.45 \cdot 10^{-6} \text{ seg}}{10^3 \Omega} = 1.45 \cdot 10^{-9} \text{ seg} / \Omega$$

es decir, $C = 1.45$ nanofaradios.

En el segundo caso, cuando la duración del pulso es mayor que el periodo del reloj, no hay máximo teórico sino mínimo. Obsérvese que este mínimo es justo el máximo de la condición anterior, porque basta con que τ supere a T_p para que no vuelva a dispararse.

□ □ □ □

E.10.2 Obtención de formas de onda de un astable construido con inversores CMOS

Recordemos que el principio de funcionamiento de un *astable* es la detección de un potencial, de valor preestablecido, en los extremos de un condensador. Este potencial se presenta tras un cierto tiempo definido por la constante de carga y descarga del condensador ($\tau=R \cdot C$), y por el valor de la fuente de alimentación, V_{CC} , hacia la que tiende la tensión. Al alcanzar este valor hay un cambio brusco en el estado de los inversores y comienza de nuevo todo el ciclo de carga/descarga.

En el desarrollo teórico del capítulo hemos analizado la solución con amplificador operacional. Vamos a realizar aquí el análisis de la solución con dos inversores. La descripción cualitativa es la correspondiente a las figuras (10.2.1) y (10.2.2).

Para puertas en CMOS la tensión de disparo es $V_{CC}/2$. Comprobar entonces las formas de onda de la figura, obtener su expresión analítica y demostrar que $T=2R \cdot C \cdot \ln 2$.

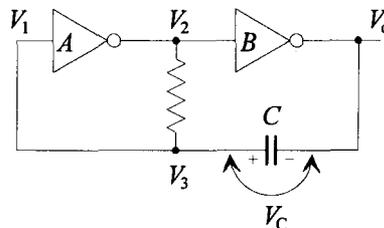


Fig. 10.2.1 Esquema de un circuito astable basado en dos inversores

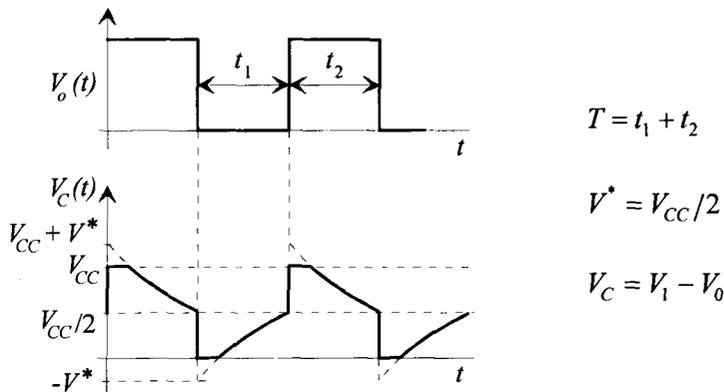


Fig. 10.2.2 Cronograma del circuito astable de la figura (10.2.1)

Solución:

En los circuitos astables no hay ningún estado estable. Ambos estados son metaestables, de forma que ninguno de los dos inversores puede permanecer mucho tiempo en el mismo estado. De nuevo es la carga y descarga de un condensador quien controla las transiciones. Cualitativamente, es como si resolviéramos dos veces el problema anterior y sumáramos las duraciones de los dos estados metaestables. Esta suma es el periodo del astable ($T_p = t_1 + t_2$).

Supongamos por ejemplo que inicialmente la salida del inversor B , $V_o(t)$, está en baja, por lo que la tensión en la salida del inversor A , V_2 , estará en alta y la tensión en su entrada, V_1 , estará en baja. En estas condiciones no hay diferencia de potencial entre los extremos del condensador. Es decir: $V_C = V_1 - V_o = 0$.

Esto ocurre sólo durante un instante porque un extremo del condensador está apoyado a la entrada de la puerta B (salida de la A) a través de la resistencia R , de forma que la corriente pasa por R y el condensador se va cargando, subiendo la tensión V_1 , mientras que V_o permanece constante e igual a cero. Así continúan las cosas hasta que el condensador se carga al valor de la tensión umbral ($V_{CC}/2$). Entonces conmuta el inversor A que a su vez hace conmutar al inversor B , pasando $V_o(t)$ a alta. Durante la conmutación el condensador se descarga bruscamente a través de los diodos de entrada del inversor. La figura (10.2.3) resume esta situación. Para facilitar la comprensión del proceso de carga del condensador hemos redibujado el circuito del

inversor manteniendo su topología, poniendo a V_{CC} el nodo que está a uno, (V_1), y a tierra el que está a cero, (V_0).

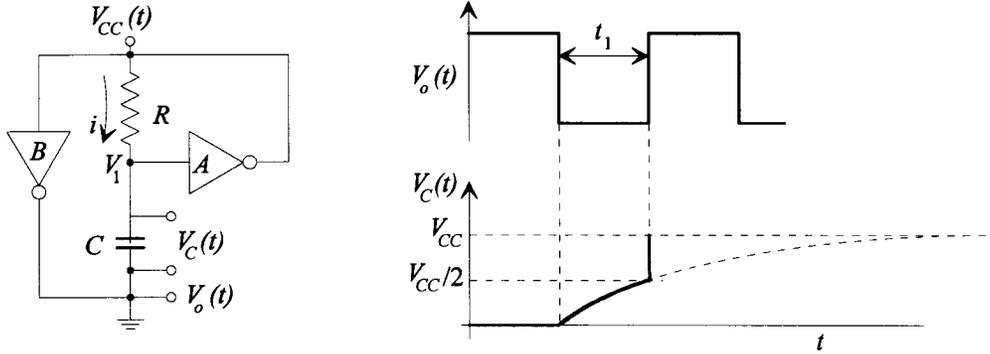


Fig. 10.2.3 Primera situación t_1

Para calcular la expresión del proceso de carga y del valor de t_1 , repetimos los cálculos que hicimos para el monoestable en el problema anterior.

Primera situación (proceso de carga de C). Tramo t_1 .

$$V_{inicial} = 0; \quad V_{final} = V_{CC}$$

$$V_C(t) = V_{final} + (V_{inicial} - V_{final})e^{-t/RC} = V_{CC} + (-V_{CC})e^{-t/RC} = V_{CC}(1 - e^{-t/RC})$$

Como t_1 es el tiempo, t , en el que $V_C(t_1) = V_{CC}/2$ tenemos:

$$\frac{V_{CC}}{2} = V_{CC}(1 - e^{-t_1/RC}) \Rightarrow \frac{-t_1}{RC} = \ln\left(V_{CC} - \frac{V_{CC}}{2}\right) = -\ln 2 \Rightarrow t_1 = RC \ln 2$$

En $t = t_1$, $V_C(t) = \frac{V_{CC}}{2}$, valor que hace que el inversor A cambie de estado, por ser esta la tensión de disparo de estas puertas y así al final de esta etapa tenemos $V_0(t) = V_{CC}$ (alta), $V_2 = 0$ (baja) y $V_1 = V_{CC}$ (alta) y al condensador con la misma tensión en ambos terminales (descargado, $V_C = V_{CC} - V_{CC} = 0$). Pero esto sólo dura un instante porque

ahora se invierte el proceso ya que de nuevo empieza a pasar corriente por la resistencia R que lleva al condensador desde V_{CC} hacia tierra. El proceso se para cuando se atraviesa la tensión umbral, $V_{cc}/2$, porque entonces conmutan los inversores. Este nuevo estado metaestable dura un tiempo, t_2 , y completa el ciclo del oscilador. Al igual que en el caso anterior, la figura (10.2.4) muestra la situación inicial y las formas de onda correspondientes.

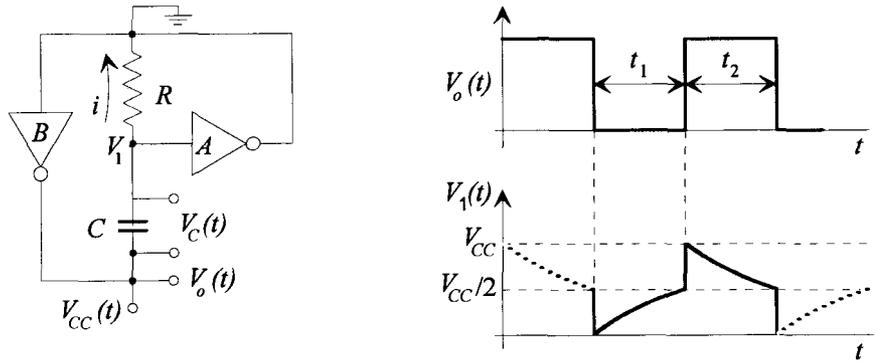


Fig. 10.2.4 Segunda situación t_2

Análogamente al caso anterior tenemos:

$$V_{inicial} = V_{CC}; \quad V_{final} = 0$$

$$V_C(t) = V_{final} + (V_{inicial} - V_{final})e^{-t/RC} = 0 + V_{CC}e^{-t/RC}$$

y el tiempo t_2 será aquel para el que de nuevo $V_C = V_{CC}/2$

$$\frac{V_{CC}}{2} = V_{CC}e^{-t_2/RC} \Rightarrow t_2 = RC \ln 2.$$

Por consiguiente, el periodo del oscilador es: $T_p = t_1 + t_2 = 2RC \ln 2.$

Cuando el circuito astable se realiza con puertas MOS (tipo CD4011A), se deben tener en cuenta aspectos tales como las posibles fluctuaciones en la fuente de alimentación que no han sido consideradas en el análisis anterior. Para hacer independiente de V_{CC} la forma de onda del oscilador se añade una resistencia, R_s , en serie con la entrada al inversor A , tal como se muestra en la figura (10.2.5). El valor de esta resistencia debe ser mayor que $2R$, siendo R la responsable de la constante de tiempo (RC), para permitir que la tensión generada en el nudo 2 donde coinciden C , R y R_s pueda subir hasta $V_{CC} + V_{CC}/2$. La forma de onda queda sujeta entre V_{CC} y tierra, igual que en el caso anterior, pero hemos conseguido dos ventajas con R_s . Primero, hacer a T_p independiente del valor preciso de V_{CC} y segundo, reducir la sensibilidad del periodo de muestreo ante la dispersión que siempre existe en el valor de la tensión umbral, que hemos supuesto igual a $V_{CC}/2$, pero que sólo podemos afirmar que se encuentra entre el 40 y el 60 por ciento de V_{CC} . Esto último es cierto porque ahora, al introducir R_s , la expresión de $T_p = t_1 + t_2$ es la siguiente:

$$T_p = -RC \left[\ln \frac{V_{umbral}}{V_{CC} + V_{umbral}} + \ln \frac{V_{CC} - V_{umbral}}{2V_{CC} - V_{umbral}} \right]$$

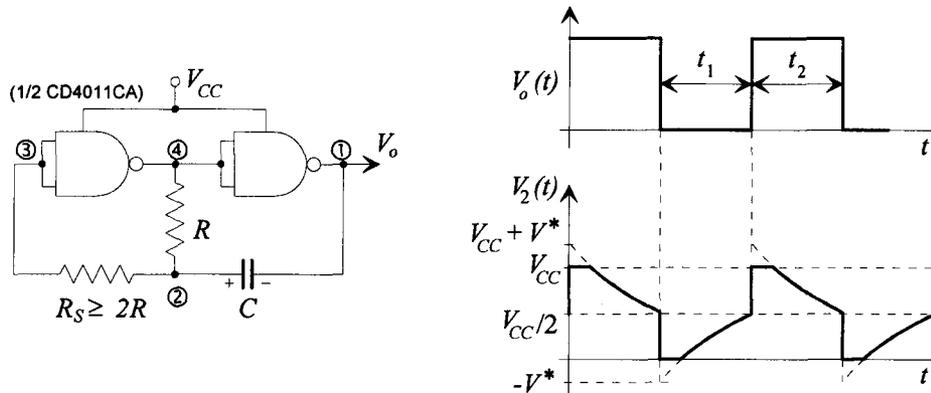


Fig. 10.2.5 Influencia de R_s en V_C ($V^* \equiv V_{umbral}$)

Todo ocurre como si el proceso de carga se inicia en $(-V_{umbral})$, (ver línea punteada en el dibujo), y sigue hacia V_{CC} , sólo que al pasar el valor umbral se realiza la conmutación. Análogamente, el proceso de descarga también ocurre como si se iniciara en $V_{CC} + V_{umbral}$ y siguiera hacia cero, realizándose también la conmutación cuando pasa por el valor umbral.

□ □ □ □

E.10.3 Construcción de un circuito estable con dos monoestables

El circuito SN74122 es un monoestable redispensible, cuya tabla de verdad y cronograma se muestra en las figuras (10.3.1) y (10.3.2). ¿Cómo realizarías las conexiones para, usando dos circuitos de este tipo, conseguir:

- a) *Un circuito estable de frecuencia de oscilación 200 KHz y onda cuadrada.*
- b) *Un circuito estable de frecuencia de oscilación 100 KHz y onda rectangular con duración del pulso, $t = 2 \cdot 10^{-6}$ seg.*

Dado que esto es un circuito comercial el cálculo de los valores de los componentes externos (R_{ext} y C_{ext}) hay que hacerlo de acuerdo con las especificaciones del fabricante, que para este circuito son:

- a) *Para $C_{ext} \leq 10^3$ pF el fabricante da una familia de curvas en las que se representa la anchura del pulso frente a la C_{ext} y como parámetro R_{ext} .*
- b) *Para $C_{ext} > 10^3$ pF, la anchura del pulso viene dada por*

$$t_w = K \cdot R_{ext} \cdot C_{ext} \left(1 + \frac{0.7}{R_{ext}} \right)$$

donde $K=0.32$ para el circuito SN74122 (simple) y $K=0.28$ para el circuito SN74123 (doble). En ambos casos, en esta expresión se considera que el valor de R viene dado en $k\Omega$ y el de C en pF. Se obtiene así la duración del pulso en nseg. En nuestro caso, $K=0.32$

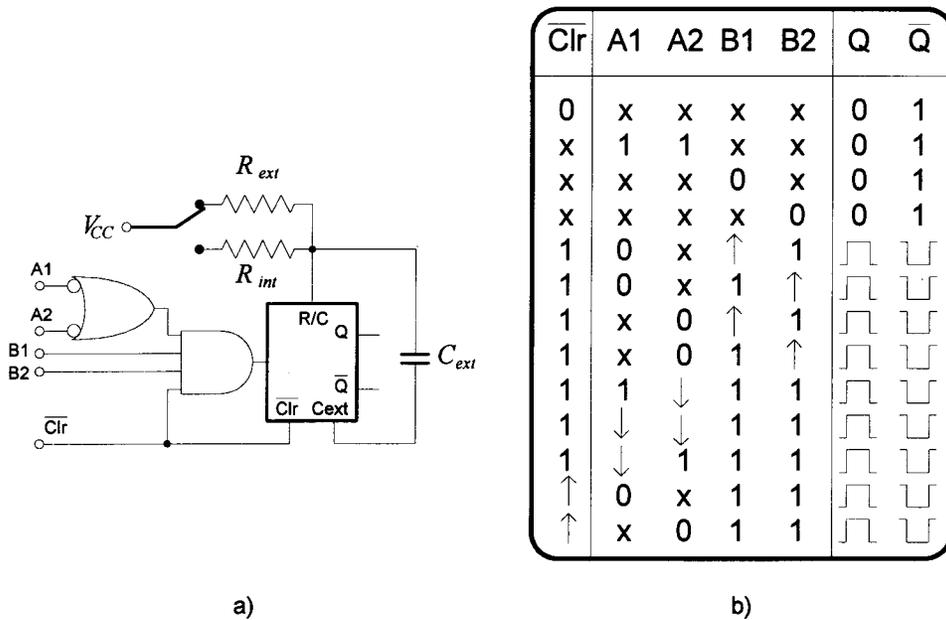


Fig. 10.3.1 a) Circuito monoestable redispensible SN74123 y b) Tabla de verdad correspondiente

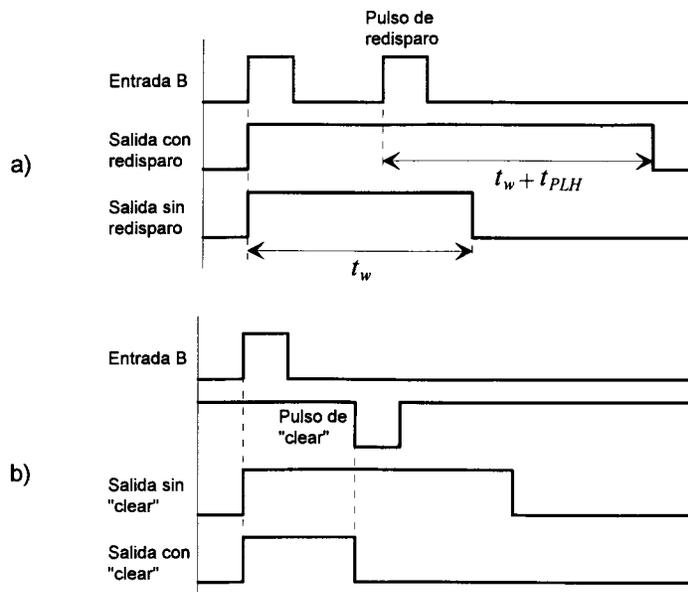


Fig. 10.3.2 Cronograma del circuito monoestable redispensible SN74123 a) Cronograma de disparo, mostrando la diferente duración del pulso con redispazo y sin redispazo. b) Cronograma de borrado ("clear")

Solución:

Los pasos que vamos a seguir para la solución del problema son los siguientes:

- 1.- Idea básica.
- 2.- Posibilidades del circuito seleccionado.
- 3.- Conexiones y cálculo de valores en R_{ext} y C_{ext} para obtener onda cuadrada de $f = 200\text{ KHz}$.
- 4.- Calcularlos para onda rectangular con pulsos de $2 \cdot 10^{-6}$ seg.

La idea básica es usar dos monoestables realimentados de forma que la salida del primero actúe como entrada del segundo y la salida del segundo sea la entrada del primero, tal como se ilustra en la figura (10.3.3). Cada monoestable debe de producir un pulso de anchura igual a la mitad del periodo del oscilador, de forma que al realimentar obtenemos una onda cuadrada de periodo igual al doble de la duración de los estados metaestables ($T_p = t_1 + t_2 = 2t_1$).

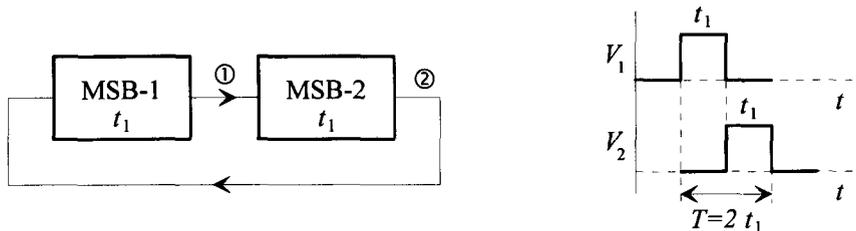


Fig. 10.3.3 Idea básica de diseño. a) Topología. b) Formas de onda

El circuito seleccionado (SN74122) o su versión doble (SN74123) incluye muchas más funcionalidades de las necesarias en este problema:

- a) Se dispara por niveles tanto para lógica positiva (entradas B activas en alta) como para lógica negativa (entradas A activas en baja).
- b) Se puede *aumentar* la duración del pulso redispárandolo o *disminuirla* usando el pulso de "clear".

En nuestro diseño podremos dejar a valores fijos (0 ó 1) muchas de las variables. Una de las posibles soluciones es la que se muestra en la figura (10.3.4), en la que usamos

las configuraciones $\overline{Clr}=1$, $A_1 = A_2 = 0$ y $B_2 = 1$ de forma que con los cambios de nivel de B_1 se producen los cambios de estado de los monoestables. Para obtener la señal de disparo del segundo monoestable usamos la salida negada del primero ($\overline{Q_1}$). Análogamente, para disparar el primer monoestable realimentamos la salida negada del segundo ($\overline{Q_2}$) tal como se ilustra en la parte b) de la figura (10.3.4).

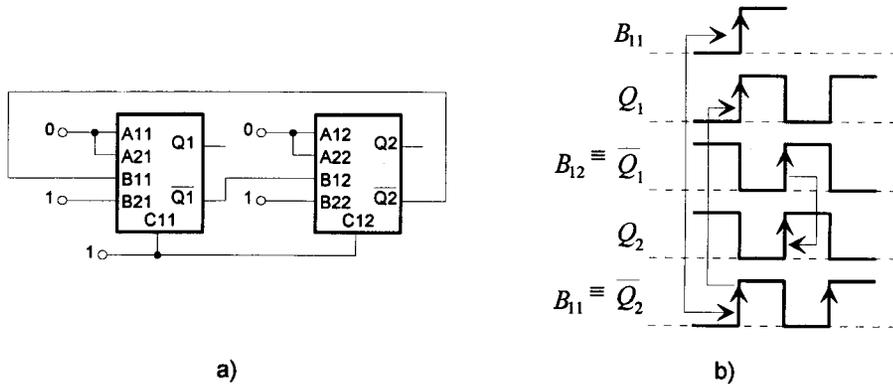


Fig. 10.3.4 Una posible solución usando lógica positiva (entrada B). a) conexiones. b) Formas de onda

Veamos ahora el cálculo de la resistencia y el condensador externos para el caso de onda cuadrada. Si la frecuencia de oscilación es de 2 MHz, el periodo será:

$$T_p = \frac{1}{f} = \frac{1}{200 \cdot 10^3} = 5 \cdot 10^{-6} \text{ seg}$$

por consiguiente la duración del estado metaestable con los dos monoestables deberá ser la mitad

$$t_1 = t_2 = \frac{T_p}{2} = 2.5 \cdot 10^{-6} \text{ seg}$$

Dado que de las dos condiciones que propone el fabricante no conocemos las curvas y sólo nos dan la expresión de t_w con la condición de que C_{ext} tiene que ser mayor que 1000 pF, tomamos $C_{ext} = 2200$ pF y hacemos los cálculos con las expresiones del enunciado.

Así: $t_1 = 2.5 \cdot 10^{-6} \text{ seg} = 2500 \cdot 10^{-9} \text{ seg} = 2500 \text{ nseg}$

$$2500 = 0.32 RC \left(1 + \frac{0.7}{R} \right)$$

Como esta ecuación sólo nos ofrece un valor del producto RC vamos a elegir un valor razonable de C porque siempre es más sencillo ajustar el valor de una resistencia usando un potenciómetro. Tomemos por ejemplo $C=2200 \text{ pF}$. Entonces

$$R = \frac{2500}{0.32 C} - 0.7 = \frac{2500}{0.32 \cdot 2200} - 0.7 = 2.85 \text{ k}\Omega$$

La solución práctica es usar un potenciómetro doble de $5 \text{ k}\Omega$ y ajustar.

Veamos finalmente los cálculos correspondientes al caso de onda rectangular. La topología sigue siendo la misma. El primer monoestable fabrica un pulso de duración el 20% del periodo ($t_1 = 2 \cdot 10^{-6} \text{ seg}$) y el segundo monoestable fabrica el pulso complementario ($t_2 = 8 \cdot 10^{-6} \text{ seg}$) con lo cual el periodo del oscilador será:

$$T_p = t_1 + t_2 = 2 \cdot 10^{-6} + 8 \cdot 10^{-6} = 10 \cdot 10^{-6} \text{ seg}$$

tal como se nos pedía en el enunciado del problema ya que la frecuencia correspondiente es de 100 KHz .

$$f = \frac{1}{T_p} = \frac{1}{10 \cdot 10^{-6}} = 10^5 \text{ Hz}$$

Repitiendo las operaciones del caso anterior y tomando en ambos casos $C_1 = C_2 = 2200 \text{ pF}$ se obtiene

1) Para el primer monoestable:

$$t_1 = 0.32 R_1 C_1 \left(1 + \frac{0.7}{R_1} \right) = 0.32 \cdot 2200 (R_1 + 0.7) = 2000 \text{ nsg}$$

$$C_1 = 2200 \text{ pF y } R_1 = 2.14 \text{ k}\Omega$$

2) Para el segundo monoestable

$$t_2 = 0.32 R_2 C_2 \left(1 + \frac{0.7}{R_2} \right) = 0.32 \cdot 2200 (R_2 + 0.7) = 8000 \text{ ns}$$

$$C_2 = 2200 \text{ pF y } R_2 = 10.66 \text{ k}\Omega$$

donde, de nuevo, hemos preferido fijar $C_1 = C_2 = 2200 \text{ pF}$ y calcular los valores correspondientes de R_1 y R_2 .

□ □ □ □

E.10.4 Análisis del comportamiento del circuito integrado 555

En la figura se muestra el circuito interno del 555 y el esquema externo de conexión para configurarlo como astable o como monoestable. Rellenar los valores de tensión, estados lógicos y formas de onda de la siguiente tabla para $V_{CC}=5$ volts. en los siguientes casos:

- Configuración monoestable.
- " astable.

Reset ④	Disparo ②	Umbral ⑥	R	S	G	$V_{drenador}$ ⑦	Extremos de C	Salida ③
0	?	?	?	?	?	?	?	?
1	"	"	"	"	"	"	"	"

Fig. 10.4.1 Tabla a rellenar al analizar el comportamiento del integrado 555

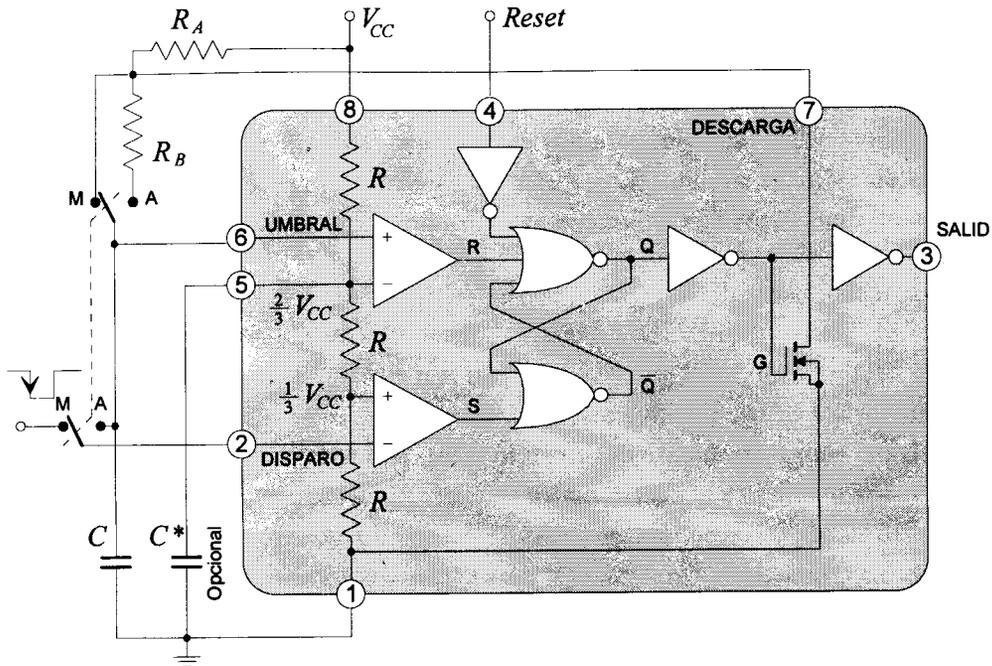


Fig. 10.4.2 Esquema interno del integrado NE555 con la circuitería externa para configurarlo como astable (posición A del conmutador) o como monoestable (posición M)

Solución:

En vez de contestar el problema mediante una descripción que podría ser redundante con el material teórico del texto base hemos preferido rellenar la tabla incluyendo pequeñas figuras, esquemas y comentarios locales a los que siempre puede volver el alumno para refrescar su nivel de comprensión del circuito en sus dos modos de funcionamiento.

555 como MONOESTABLE										
Reset ④	Disparo ②	Umbral ⑥ $v_c(t)$	R	S	Q	G	Estado del Transistor	Descarga ⑦	Umbral Salida ③ $v_c(t+\Delta t)$	Estado del Monoestable
0	x	x	x	x	0	1	Conducción	Baja Z		0 Estable
1		$V < 2V_{cc}/3$	0	0	0	1	Conducción	Baja Z	$v_c(t) = 0$	0 Estable
1		$V < 2V_{cc}/3$	0	1	1	0	Corte	Alta Z	$\tau = R_A C$	1 Metaestable
1		$2V_{cc}/3$	1	0	0	1	Conducción	Baja Z	$\tau^* = r_d C$	0 Transición
1		$2V_{cc}/3$	0	0	0	1	Conducción	Baja Z		0 Estable

CÁLCULO de t_1
$v(t) = v_f + (v_i - v_f) e^{-t/\tau}$ $v_f = V_{cc}, \quad \tau = R_A C$ $v_i = 0, \quad v(t_1) = 2V_{cc}/3$ $2V_{cc}/3 = V_{cc} + (0 - V_{cc}) e^{-t_1/R_A C}$ <div style="border: 1px solid black; padding: 5px; display: inline-block;"> $t_1 = R_A C \ln 3$ </div>

Fig. 10.4.3 Tabla resumen del integrado NE555 configurado como monoestable

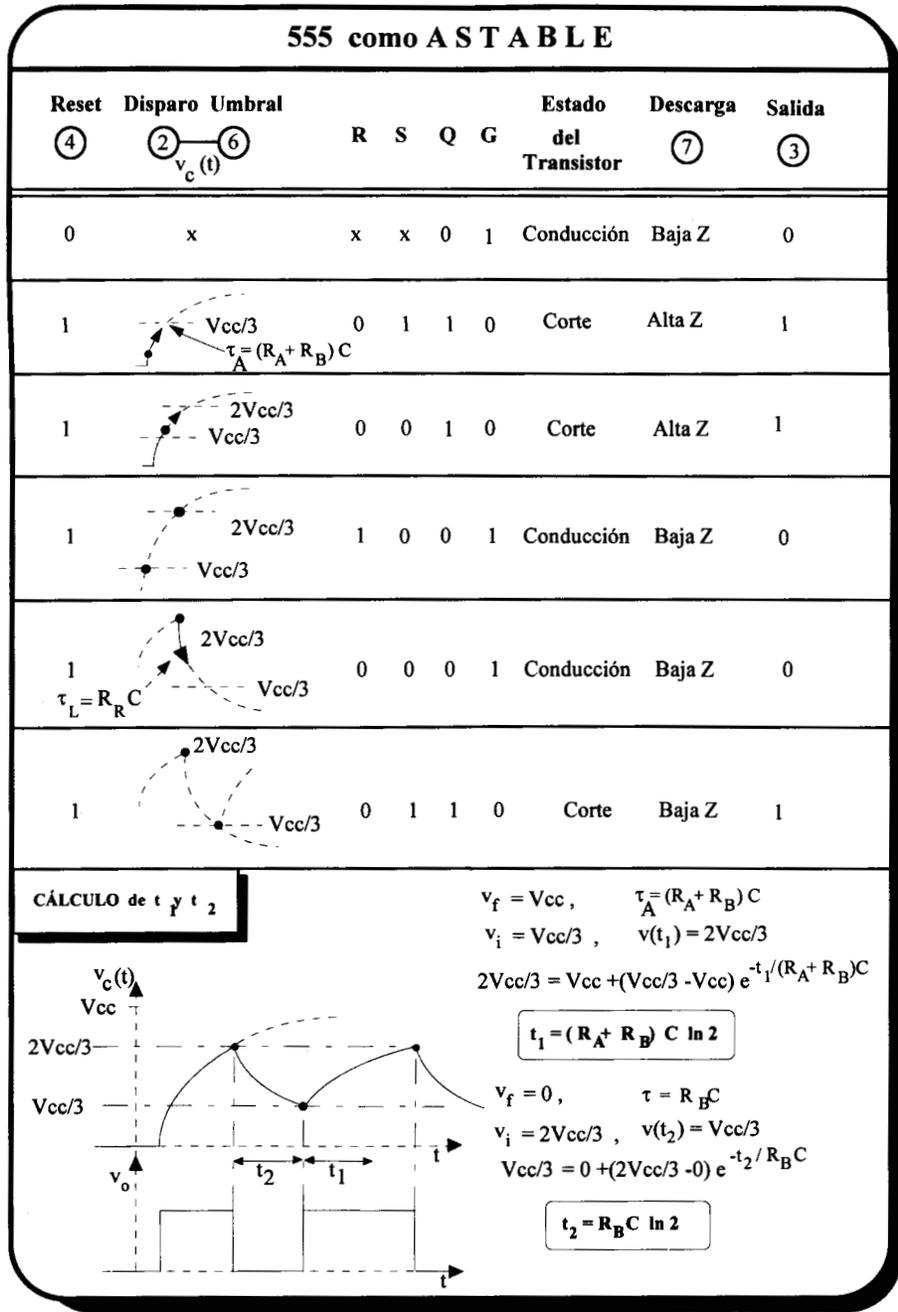


Fig. 10.4.4 Tabla resumen del integrado NE555 configurado como astable



E.10.5 Síntesis de un divisor $\div 2$ de frecuencia con un monoestable y un astable

¿Cómo podríamos sintetizar un divisor por 2 de la frecuencia de un tren de impulsos usando un astable y un monoestable?. Dibujar el circuito y estimar valores para las R y C externas suponiendo que la frecuencia del tren de impulsos que debe generar el astable es $f = 1.2 \cdot 10^6$ Hz. ¿Cómo podríamos modificar el circuito anterior para dividir por 3 la frecuencia inicial?.

Solución:

La idea básica para la solución del problema consiste en usar un 555 en configuración astable para generar un tren de pulsos de onda cuadrada de la frecuencia solicitada ($1.2 \cdot 10^6$ Hz) y usar posteriormente otro 555 en configuración monoestable disparado, por ejemplo, con las transiciones de bajada de los pulsos del astable. La duración del pulso que genera el monoestable se ajusta a un valor superior al periodo del astable. Así, de cada dos pulsos se "come" uno, actuando como un divisor por 2. La figura (10.5.1) muestra el circuito y el diagrama de tiempos correspondiente.

Veamos ahora los valores de las resistencias y los condensadores de ambos circuitos. Las expresiones para los tiempos t_H y t_L del 555 en modo monoestable y astable se muestran en las figuras (10.4.3) y (10.4.4).

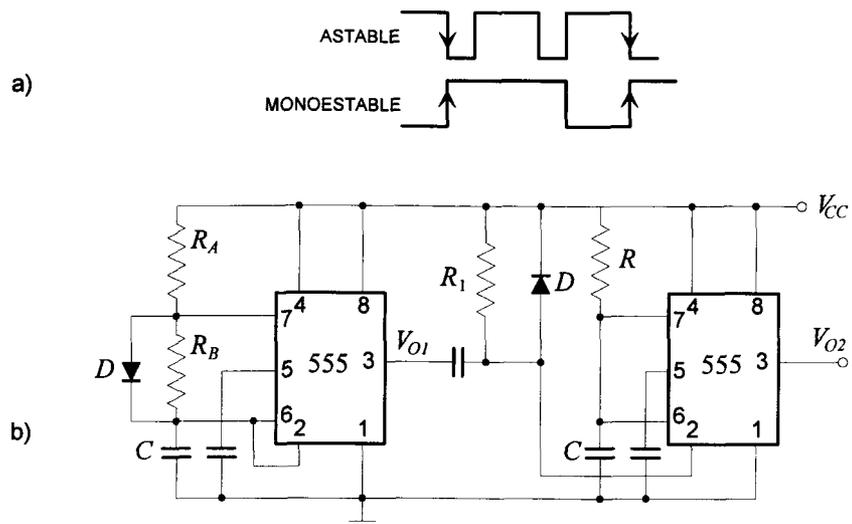


Fig. 10.5.1 Esquema del divisor de frecuencia.

a) Formas de onda. b) Conexión de los dos integrados tipo 555

1) Astable.

$$T_p = \frac{1}{f} = \frac{1}{1.2 \cdot 10^6} = 0.833 \mu\text{seg}$$

Existen pequeñas modificaciones en las expresiones para el cálculo de las resistencias, de acuerdo con los datos del fabricante, dependiendo de que se use o no un diodo en la configuración.

a) Sin diodo.

Las ecuaciones con las que contamos son:

$$t_H = 0.69(R_A + R_B)C; t_L = 0.69R_B C \Rightarrow T_p = 0.69(R_A + 2R_B)C$$

Ciclo de trabajo:

$$\frac{t_H}{T_p} = \frac{t_H}{t_L + t_H} = \frac{R_A + R_B}{R_A + 2R_B}$$

Como no nos dicen nada acerca del ancho del pulso (se desconoce el ciclo de trabajo o lo que es lo mismo, la relación entre t_H y t_L están no determinadas), para calcular las resistencias basta con tener en cuenta que t_H debe ser mayor que t_L . Tomemos por ejemplo:

$$\begin{aligned} t_H &= \frac{3}{4} T_p & \Rightarrow \frac{R_A + R_B}{R_A + 2R_B} &= \frac{3}{4} \\ \Rightarrow 4R_A + 4R_B &= 3R_A + 6R_B & \Rightarrow R_A &= 2R_B \end{aligned}$$

Como $T_p = 0.833 \mu\text{s}$ entonces $t_L = \frac{1}{4} 0.833 \mu\text{s} = 0.208 \mu\text{s}$.

por tanto: $0.208 \mu\text{s} = 0.69 R_B C$

Elegimos por ejemplo para $C = 0.1 \text{ nF}$

$$R_B = \frac{0.208 \cdot 10^{-6}}{0.69 \cdot 10^{-10}} = 3 \text{ K}\Omega \quad \text{y} \quad R_A = 6 \text{ K}\Omega,$$

b) Con diodo.

Si ponemos el diodo D en bornes de R_B , estamos puentando esta resistencia durante el proceso de carga, de forma que el condensador se carga únicamente a través de R_A . Durante el proceso de descarga, el diodo queda polarizado en inversa y no interviene. En este caso como se vió en teoría:

$$\frac{t_H}{t_H + t_L} = \frac{R_A}{R_A + R_B}; \quad t_H = 0.69 R_A C; \quad t_L = 0.69 R_B C$$

Así, si tomamos el mismo valor para $C=0.1$ nF

$$t_H = 0.69 R_A 10^{-10}; \quad t_L = 0.69 R_B 10^{-10}$$

$$\Rightarrow T_p = 0.69 \cdot 10^{-10} (R_A + R_B) = 0.833 \cdot 10^{-6}$$

$$R_A + R_B = \frac{0.833 \cdot 10^{-6}}{0.69 \cdot 10^{-10}} = 1.207 \cdot 10^4 = 12072 \approx 12 \text{ k}\Omega$$

Esto nos permite poner un potenciómetro para $R_A + R_B$, tal como se ilustra en la figura (10.5.2). Otra solución sería elegir valores para R_A y R_B , partiendo del hecho de que su suma tiene que ser 12 k Ω . Por ejemplo, $R_A = 3 \text{ k}\Omega$ y $R_B = 9 \text{ k}\Omega$. Esto proporciona una relación $t_H/T_p = 3/12 = 1/4$. Es decir, el tren de impulsos posee un estado de alta que dura 3/4 del periodo y uno de baja que dura el cuarto restante.

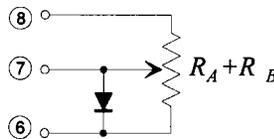


Fig. 10.5.2 Uso de un potenciómetro para ajustar $R_A + R_B$

2) Monoestable.

Tal como comentamos al comienzo, la función del monoestable es eliminar uno de cada dos pulsos. Esto se consigue haciendo que el estado metaestable permanezca hasta que en el oscilador pase el pulso siguiente al que disparó al monoestable tal como se ilustra en la figura (10.5.3). El tiempo del estado metaestable lo controlamos

con R_A y debe ser mayor que el periodo del astable. Suponiendo que el astable está en alta $\frac{3}{4}T_p$ y $\frac{1}{4}T_p$ en baja, tenemos:

$$t_H \text{ mayor que el periodo del astable, por ejemplo, } t_H = \frac{5}{4}T_p$$

$$t_H = R_A C \ln 3; \frac{5}{4} \cdot 0.833 = 1.1 R_A C. \text{ Si } C=1\text{nF, } R_A = 946\Omega \text{ (potenciómetro de } 1\text{ K}\Omega)$$

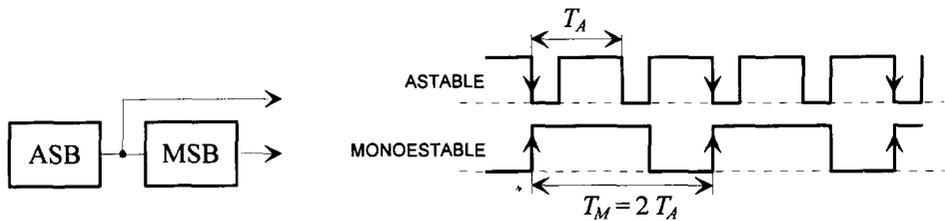


Fig. 10.5.3 Divisor por dos del tren de pulsos

Veamos ahora las modificaciones necesarias para convertir el circuito anterior en otro que divida por tres la frecuencia del tren de impulsos. La topología del circuito es la misma y sólo necesitamos modificar los valores del producto $R_A C$ del 555 que opera en configuración monoestable. Ahora la duración del estado metaestable debe superar al doble del periodo del astable sin disparar de nuevo al monoestable.

En la figura (10.5.4) se muestran las formas de onda deseadas.

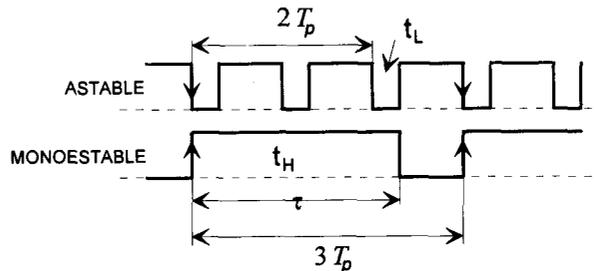


Fig. 10.5.4 División por tres de la frecuencia del tren de pulsos de la entrada

Para que el último pulso del astable esté en alta en la bajada del monoestable y evitar posibles conflictos en el biestable $R-S$ del 555 (configuración $R=1, S=1$) modificamos levemente el ancho del pulso haciendo que cumpla:

$$3T_p > \tau = t_H(\text{del monoestable}) > 2T_p + t_L(\text{del astable})$$

$$t_L(\text{del astable}) = 0.69R_B C$$

Antes hemos elegido $R_B = 9\text{K}\Omega$, $C=0.1\text{nF}$ por lo que el valor de t_L es:

$$t_L = 0.621 \cdot 10^{-6} \text{ seg}; t_H(\text{del monoestable}) = 1.1R_A C$$

$$\Rightarrow t_{H\text{ minimo}} = 2T_p + t_L = 2 \cdot 0.833 + 0.621 = 2.287 \mu\text{seg}$$

$$\Rightarrow R_A C \ln(3) = 1.1R_A C = 2.287 \cdot 10^{-6} \text{ seg}$$

Eligiendo ahora un condensador de 1nF , obtenemos $R_A = 2\text{K}\Omega$.

□ □ □ □

E.10.6 Síntesis de un detector de omisión de un pulso de un tren de pulsos

En el texto base hemos comentado cómo podría usarse un 555 como circuito detector de la omisión de un pulso en un tren de impulsos estableciendo un tiempo de retardo algo mayor que el intervalo entre dos pulsos sucesivos.

- Diseñar de forma precisa el circuito que realiza esta función para trenes de impulsos cuya frecuencia es 10 kHz y la duración del pulso es de $0.3 \cdot 10^{-4}\text{ seg}$.
- ¿Qué modificaciones tendríamos que introducir en el apartado anterior para que sólo se detectara un fallo cuando faltaran dos pulsos sucesivos?.

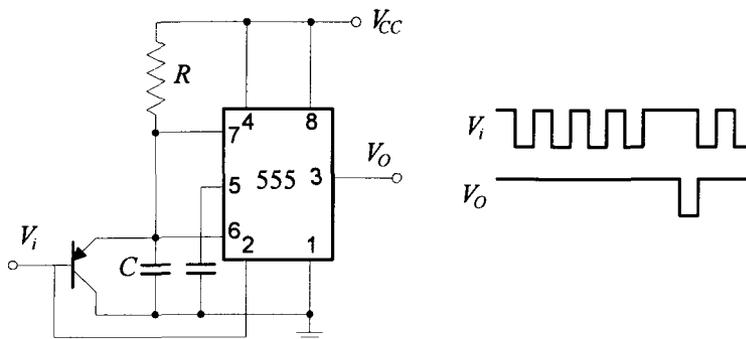


Fig. 10.6.1 Circuito detector de la omisión de un pulso en una secuencia.

Solución:

Vamos a resolver este problema presentando primero el concepto en el que se basa la solución y realizando después el análisis más detallado de la solución.

Si se observa con detalle el circuito vemos que es una configuración del 555 en modo monoestable a la que se ha añadido externamente un transistor PNP entre los terminales 6, 2 y tierra. Recordemos que un transistor conduce cuando la unión base-emisor está polarizada en sentido directo con un valor superior a los 0.5 voltios, entrando en saturación para los 0.8 voltios aproximadamente. En estas condiciones el transistor conduce y se convierte en un camino de baja impedancia en paralelo con el condensador, haciendo que este se descargue rápidamente antes de alcanzar el valor umbral de disparo del comparador diferencial que hay a la entrada del 555.

En cambio cuando la unión base-emisor está polarizada en sentido inverso (y esto ocurre para una diferencia de potencial menor o igual que 0.5 voltios) el transistor no conduce y se comporta como una vía de alta impedancia en paralelo con el condensador.

En estas condiciones el condensador no se descarga antes de tiempo sino que sigue su ciclo de carga hacia V_{CC} hasta que alcanza el valor umbral del comparador diferencial ($\frac{2}{3}V_{CC}$) y dispara el modo monoestable, detectando así la omisión de un pulso o un cambio fuerte en la frecuencia del oscilador. La figura (10.6.2) muestra el detalle del circuito en torno al transistor, y las formas de onda correspondientes al proceso de carga y descarga del condensador tanto en los intervalos en los que el tren de impulsos es regular como en el momento en el que se omite un pulso y, por consiguiente la tensión del condensador pueda alcanzar el valor umbral, ($\frac{2}{3}V_{CC}$), disparando así al monoestable.

Veamos ahora los cálculos numéricos para los datos del problema. Las condiciones del diseño sólo exigen que la duración del estado metaestable (retardo, τ) sea algo superior al periodo del tren de impulsos. Por ejemplo en un 15%. Así

$$\tau = 1.15T_p = 1.15 \cdot 10^{-4} \text{ seg} = 1.1R_A C$$

Si fijamos $C = 0.1\mu\text{F}$ obtenemos para R_A :

$$R_A = \frac{1.15 \cdot 10^{-4}}{1.1 \cdot 0.1 \cdot 10^{-6}} = 1.045 \cdot 10^3 \approx 1\text{k}\Omega$$

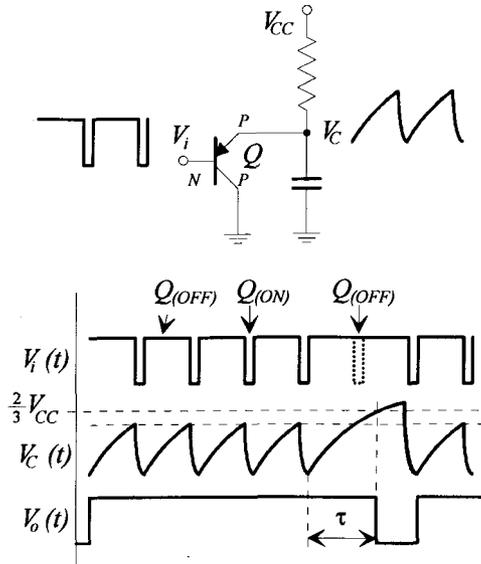


Fig. 10.6.2 Formas de onda del circuito detector de la omisión de un pulso

En la parte b) del problema se nos piden las modificaciones que tendríamos que introducir para que sólo se detectara un fallo cuando faltasen dos pulsos sucesivos.

La solución consiste de nuevo en controlar el proceso de carga y descarga del condensador para que si falta un pulso todavía no se alcancen los $\frac{2}{3}V_{CC}$ pero si fallan dos sí que se alcancen, terminando el ciclo. Para ello se deben cumplir las siguientes condiciones:

- 1.- $V_C|_{2T_p < t} < \frac{2}{3}V_{CC}$
- 2.- $V_C|_{2T_p < t \leq 3T_p} = \frac{2}{3}V_{CC}$

Conviene recordar de nuevo que el transistor PNP modifica el funcionamiento normal del monoestable haciendo que el condensador que controla el retardo no llegue a

cargarse a $\frac{2}{3}V_{CC}$ salvo que fallen dos pulsos sucesivos, ya que cada nuevo pulso le hace entrar en conducción ofreciendo un camino de baja impedancia que descarga al condensador. La figura (10.6.3) ilustra este comportamiento para el caso de los dos pulsos sucesivos haciendo énfasis en la forma de onda que aparece en la unión base-emisor del transistor y en la etapa de entrada del 555. Esta figura puede considerarse una revisión más detallada de la figura (10.6.2) que presentaba el comportamiento del circuito de forma cualitativa.

Para el cálculo numérico de los valores de R_A y C supondremos que la duración del retardo es un 10% superior al doble del periodo. Así:

$$t_H = 2.2T_p = 2.2 \cdot 10^{-4} \text{ seg}; \quad t_H = 1.1R_AC; \quad R_AC = 2 \cdot 10^{-4} \text{ seg}$$

Fijamos $C = 0.1\mu\text{F}$ con lo que se obtiene:

$$R_A = \frac{2 \cdot 10^{-4}}{10^{-7}} = 2 \cdot 10^3 \Omega = 2 \text{ k}\Omega$$

Con esto cumplimos las condiciones temporales garantizando el momento en el que la tensión en los extremos del condensador alcanza los $\frac{2}{3}V_{CC}$. Sin embargo nos queda por considerar las condiciones relacionadas con la amplitud de los pulsos, V_p , que debe ser tal que al ser restados de la tensión del condensador todavía producen una tensión base-emisor que inhiba el paso a conducción del transistor hasta el momento deseado.

Es decir:

Para un pulso: $[V_C(t=T) - V_p] < V_\gamma \approx 0.5 \text{ voltios}$

Para dos pulsos: $[V_C(t=2T) - V_p] < V_\gamma$

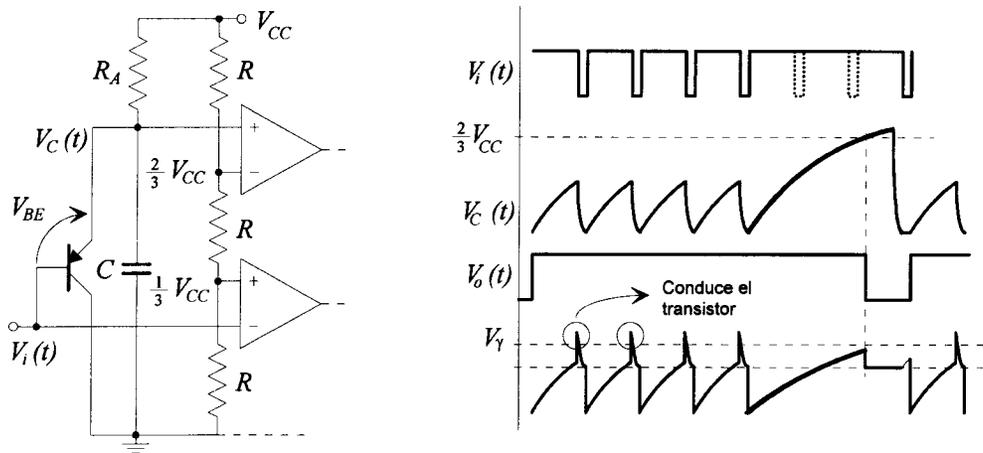


Fig. 10.6.3 Formas de onda en la unión Base-Emissor del transistor que facilita la detección de la omisión de dos pulsos sucesivos

Tal como se observa en las formas de onda de la figura (10.6.3) esta condición está asociada al valor de la fuente de alimentación (V_{CC}). En efecto, para el caso de dos pulsos tendremos:

$$V_C(t) = V_{CC}(1 - e^{-t/R_A C});$$

$$V_C(t = 2T_p) = V_{CC}(1 - e^{-2T_p/R_A C}) = V_{CC}(1 - e^{-1}) = 0.6V_{CC}$$

con lo que la condición de relación entre las amplitudes queda:

$$0.6V_{CC} - V_p < 0.5 \quad \Rightarrow \quad V_p > 0.6V_{CC} - 0.5$$

Por ejemplo para $V_{CC}=15$ Voltios tendríamos que la tensión umbral es $\frac{2}{3}V_{CC} = 10$ voltios y el valor necesario en la amplitud del tren de impulsos es:

$$V_p > 0.6 \cdot 15 - 0.5 = 8.5 \text{ Voltios}$$

□ □ □ □

E.10.7 Análisis de circuitos de generación de trenes de pulsos

Obtener las formas de onda que generan los circuitos de las siguientes figuras en V_{01} y V_{02} .

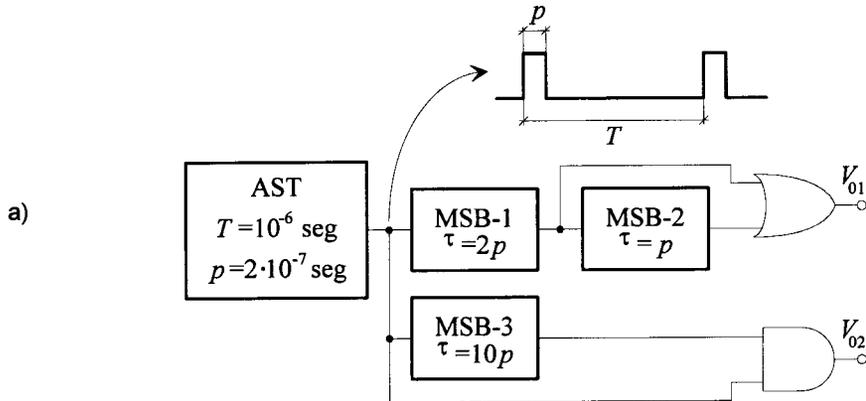


Fig. 10.7.1 Circuito a analizar a)

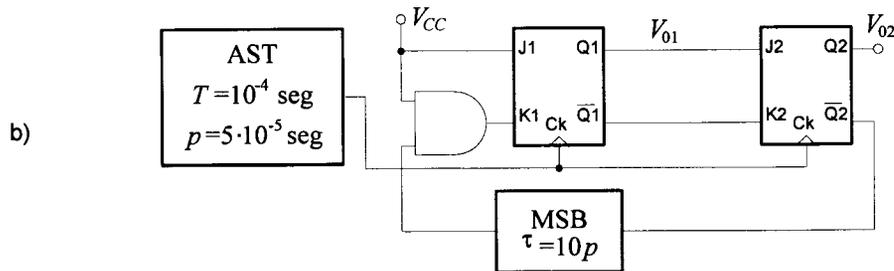


Fig. 10.7.2 Circuito a analizar b)

Solución:

Este es un problema de análisis. Se presentan dos circuitos que incluyen puertas lógicas, astables, monoestables y biestables $J-K$, y se piden las formas de onda en puntos específicos. Para su solución basta con seguir los caminos de la señal desde el oscilador de entrada dibujando los diagramas de tiempo para todas las señales. Como los circuitos son síncronos empezaremos dibujando la forma de onda del oscilador principal. Todos los cambios ocurrirán en las transiciones de alta a baja, o de baja a alta, de los pulsos del reloj.

Al intervenir también circuitos monoestables se introduce comportamiento asíncrono porque las puertas lógicas cambian de estado de acuerdo con el valor instantáneo de los niveles de tensión en sus entradas y algunos de estos niveles son salidas de monoestables. Estos pulsos de los monoestables se han iniciado en sincronismo con el reloj pero pueden finalizar en cualquier momento, dependiendo del valor del retardo.

Cronograma del circuito a)

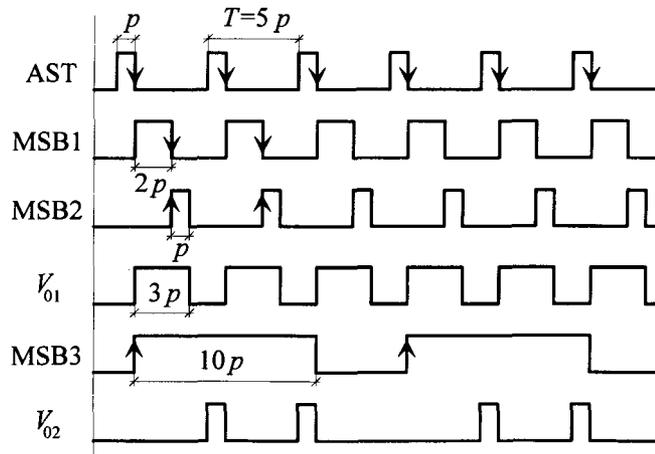


Fig. 10.7.3 Cronograma correspondiente al circuito de la figura (10.7.1)

Si observamos a la vez el circuito de la figura 10.7.1 y el cronograma de la figura 10.7.3 vemos que el análisis y, por consiguiente, el procedimiento de obtención del cronograma es realmente sencillo ya que sólo existen monoestables y puertas lógicas. Así la generación de la señal V_{02} empieza con el astable AST que crea la trama periódica de partida. Con la bajada de los pulsos de este astable se dispara el primer nivel monoestable (MSB1) que, tras cada disparo, genera un pulso de anchura $2p$ (duración de su estado metaestable). A la bajada de los pulsos que genera este monoestable (MSB1) se dispara el segundo monoestable (MSB2) que genera otros pulsos de duración p . Este proceso AST, MSB1 y MSB2 es periódico y de él se obtiene la señal V_{01} sumando los pulsos de MSB1 y MSB2 con una puerta OR. Esta señal V_{01} posee el mismo periodo que el astable ($T=5p$) pero ahora la duración del pulso es $3p$.

La señal V_{02} es el producto lógico (puerta AND) de las salidas del astable y de la salida de un nuevo monoestable (MSB3) que también se dispara con las bajadas de los pulsos del astable pero, ahora, la duración del estado metaestable es 10p. Es decir, en este caso hemos generado una señal, V_{02} , que sólo posee aquellos pulsos del astable que coinciden con los estados de alta del monoestable MSB3.

Cronograma del circuito b)

Supondremos que inicialmente $K_1 = 0$ y $Q_2 = 0$ y que el retardo introducido por las puertas AND y NOT es despreciable. Sólo tenemos en cuenta los retardos introducidos por los biestables.

Bajo estas condiciones iniciales el corograma que se obtiene es el mostrado en la figura (10.7.4).

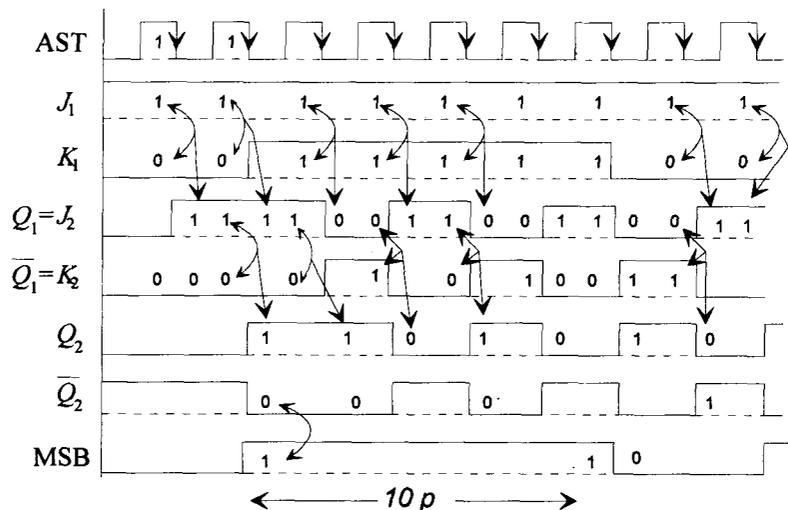


Fig. 10.7.4 Cronograma correspondiente al circuito de la figura (10.7.2)

Como en el caso del cronograma anterior la generación de las formas de onda V_{01} y V_{02} empieza a partir de un circuito astable que fabrica una onda cuadrada que actúa como reloj de los dos biestables J - K . Si vamos mirando a la vez el circuito y el

cronograma correspondiente veremos como aparecen las señales en $J_1 - K_1$, $J_2 - K_2$, Q_2 , \overline{Q}_2 y MSB.

Los cambios en los biestables J-K se producen en las subidas de los pulsos de reloj (AST). Por otro lado el monoestable se dispara con la bajada del pulso de \overline{Q}_2 y constituye la via de realimentación ya que es la salida del monoestable la que entra, a través de una puerta AND a K_1 .

Ya que tenemos a la entrada el pulso de reloj, la V_{CC} y la realimentación, podemos seguir la evolución hacia adelante de la señal en los dos biestables $J-K$. En la bajada del primer pulso de reloj, $J_1 = 1$ y $K_1 = 0$. Esto provoca a la salida $Q_1 = 1 = J_2$ y $\overline{Q}_1 = 0 = K_2$ y así se mantienen hasta la bajada del segundo pulso de reloj. Entonces $J_1 = 1$ y $K_1 = 0$ lo que mantienen $Q_1 = J_2 = 1$ y $\overline{Q}_1 = K_2 = 0$. En esta segunda bajada del pulso de reloj ya se dispara también el segundo biestable. Como $J_2 = 1$ y $K_2 = 0$, entonces $Q_2 = 1$ y $\overline{Q}_2 = 0$. Ahora la bajada de \overline{Q}_2 dispara el monoestable que pasa a 1 (estado metaestable de duración $10p$).

Seguimos la evolución temporal de la señal con los sucesos asociados a la bajada del tercer pulso que coje al primer biestable con $J = K = 1$ con lo que provoca el salto en Q_1 que pasa a $Q_1 = 0$ y por consiguiente $\overline{Q}_1 = 1$.

El punto importante que queremos resaltar es que en el momento de la bajada de este tercer pulso de reloj, J_2 estaba en alta y K_2 en baja y, por consiguiente, el segundo biestable sigue en alta y no cambia de estado. El análisis del resto del cronograma usa argumentos que ya hemos expuesto.

□ □ □ □

E.10.8 Síntesis de un reloj polifásico a partir del cronograma

Diseñar un circuito que genere las formas de onda de la figura (10.8.1). Obsérvese que corresponden de forma cualitativa a las de un reloj polifásico, con sólo dos fases que se activan a partir de un pulso de start y siguen activas hasta el cambio de nivel de la señal de halt. Para la síntesis se pueden usar monoestables, astables, biestables y puertas lógicas. Para fijar valores numéricos en las R y C externas, suponer que el reloj principal es de 1 MHz, y que todos los pulsos duran $0.5 \cdot 10^{-6}$ seg.

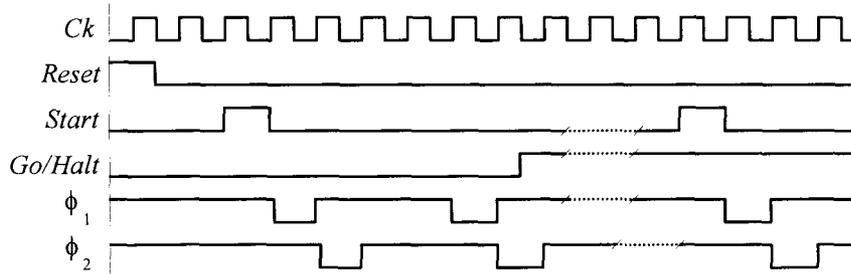


Fig. 10.8.1 Formas de onda de un reloj polifásico

Solución:

Este es un problema de síntesis en el que nos dan un cronograma y nos piden un circuito que lo genere. Pertenece además a una familia específica de problemas de síntesis, de los que aparecerán otros en temas sucesivos, consistente en pedir versiones mínimas de circuitos comerciales complejos.

En este caso, se ha visto en teoría el principio de funcionamiento y el diagrama de bloques de un reloj polifásico real (MC10802) y se pide una versión simplificada para dos fases con pulsos de anchura constante, sin detector de fase para funcionamiento continuo y con un conjunto simplificado de señales de control ($Reset$, $Start$ y $\overline{Go/Halt}$).

Para la resolución de este problema, debemos comenzar por estudiar con detalle el cronograma del que se pueden sacar las siguientes conclusiones generales:

- Todas las transiciones están sincronizadas con el reloj
- Una vez que se da la señal de comienzo ($start$), su secuencia se repite cada cuatro ciclos del reloj base de sincronía.

- El comienzo de la secuencia está sincronizado con el flanco descendente del pulso de *start*.
- Si damos la orden de parada ($\overline{Go} / Halt=1$), el circuito debe seguir funcionando hasta que complete la secuencia, o al menos hasta que termine la mitad (activación de las dos fases).
- Los cambios en los biestables se van a producir en las subidas del pulso de reloj.

Para generar los cuatro estados por los que pasa el circuito podemos emplear un autómata de dos bits. En este caso basta un contador cíclico de dos bits que pase por los cuatro estados (00, 01, 10 y 11) y a partir de estos estados, generaremos las dos funciones de salida (ϕ_1, ϕ_2). En la figura (10.8.2) se muestra el cronograma del contador junto con la lógica combinacional que produce las fases. En esta misma figura podemos ver fácilmente que la obtención de dos nuevas fases es realmente sencilla. Veremos más adelante como pueden resultar útiles estas fases.

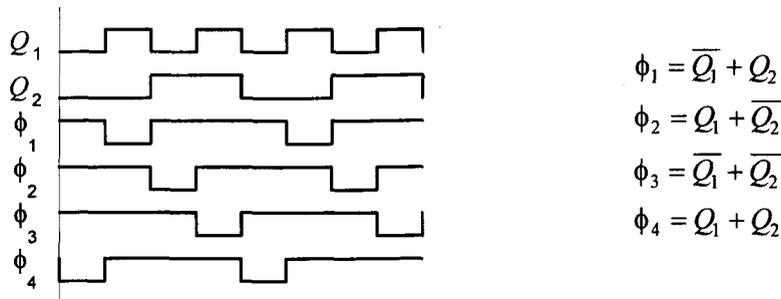


Fig. 10.8.2 Cronograma del contador y de las fases de salida junto con sus expresiones analíticas

La figura (10.8.3) muestra el circuito del contador junto con la producción de las salidas.

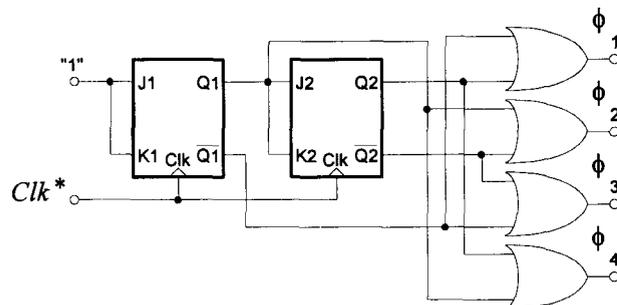


Fig. 10.8.3 Circuito del contador con la lógica de generación de fases

Una vez que hemos obtenido la secuencia que nos pide el problema, sólo falta sincronizar su inicio y su parada según las conclusiones obtenidas del cronograma.

Para iniciar o parar el contador, basta con habilitar o inhabilitar el reloj que lo incrementa. Esto se puede hacer multiplicándolo por una señal de habilitación que indicará cuando el sistema está en funcionamiento y cuando en reposo. Esto lo podemos conseguir con un biestable que se ponga a "1" cuando llegue la señal de inicio y a "0" cuando llegue la de finalización. Para esta parte escogemos un biestable de tipo J - K , ya que nos proporciona directamente estas características. De esta forma obtenemos la nueva señal de reloj:

$$Clk^* = Q_0 \cdot Clk$$

donde Q_0 es la salida del biestable.

Obsérvese en el cronograma que para que el circuito inicie la secuencia la entrada de parada (\overline{G}/H) está en estado bajo, y en ese momento, llega la señal de comienzo (pulso de *start*). Podemos por tanto conectar la señal de parada (\overline{G}/H) a la entrada K_0 del biestable y el pulso de inicio (*start*) a la entrada J_0 . Como según el cronograma, cuando llega la señal de inicio el circuito está en reposo, la configuración de entrada $J_0=1$ y $K_0=0$ llevará al biestable del estado $Q_0 = 0$ a $Q_0 = 1$, según la tabla de transiciones del biestable J - K ampliamente utilizada en capítulos anteriores.

La señal de inicio la conectamos directamente a la entrada J_0 , sin embargo la entrada de \overline{G}/H no podemos conectarla directamente a K_0 , ya que si se hiciera de esta manera, una vez que cambia su estado, en el primer pulso de reloj se produciría el cambio del biestable independientemente del estado del contador, con lo que se podría interrumpir la secuencia de fases de forma prematura. Para conseguir que Q_0 se mantenga a "1" mientras no hayan acabado las frases, basta con inhabilitar esta señal mientras las frases están activas.

Si habilitamos esta entrada después de las dos primeras fases (en la 3ª y 4ª), la señal de habilitación será:

$$EN = \overline{Q_1 \oplus Q_2}$$

Si quisiéramos completar la secuencia de cuatro fases deberíamos habilitar la parada únicamente durante la última fase, con lo que la señal de habilitación queda especialmente simple:

$$EN = \overline{\phi_4}$$

Esta solución tiene además otra ventaja adicional: si paramos el contador durante la cuarta fase (estado $Q_1 = 0$ y $Q_2 = 0$) cuando el sistema inicie su funcionamiento nuevamente, comenzará por el siguiente estado ($Q_1 = 1$, $Q_2 = 0$) que es precisamente el primero de la secuencia. Sin embargo, si paramos el contador antes, deberíamos llevar el contador al estado $Q_1 = 0$ y $Q_2 = 0$ a través de las entradas de \overline{clear} de los biestables. La figura (10.8.4) muestra el biestable de sincronía junto con las entradas y la generación del reloj interno Clk^*

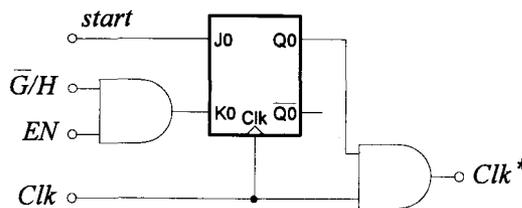


Fig. 10.8.4 Detalle del Flip-Flop habilitador y sus entradas

En el circuito de la figura (10.8.4) puede advertirse un problema, y es el de la incertidumbre que se produce en la entrada J_0 , cuando llega el flanco de disparo del reloj, ya que simultáneamente, la entrada cambia de estado. Esto lo podemos evitar de varias formas que se ilustran en la figura (10.8.5).

Una de las soluciones emplea un monoestable disparado a subidas que prolongue el ancho del pulso de start, de forma que cuando llegue el disparo del biestable, la señal de entrada todavía permanezca estable, con lo que eliminamos la incertidumbre. La constante de tiempo de este biestable debe ser por tanto: $\tau > T$, siendo T el período del reloj de entrada.

La segunda solución se basa en el empleo de un biestable con una estructura de Maestro-Esclavo pero con bloqueo de datos de entrada. Si recordamos la forma de trabajo de un biestable Maestro-Esclavo, éste habilitaba la entrada de datos al maestro

en el flanco de subida del reloj y permanece habilitada hasta la llegada del flanco descendente. Mientras el reloj está en estado alto, el estado del maestro sigue a la entrada hasta que llega el flanco descendente, momento en que se inhabilita la entrada y el estado del maestro pasa al esclavo. Según esto un Maestro-Esclavo convencional no nos resuelve el problema. Lo ideal sería que la entrada fuese capturada por el maestro únicamente durante el flanco de subida. Este tipo de circuitos existe comercialmente. Por ejemplo en el catálogo de TTL de Texas Instruments podemos encontrar el circuito integrado SN74111 que contiene dos biestables J-K Maestro-Esclavo con bloqueo de datos. Este circuito concreto habilita la entrada durante un máximo de 30 nanosegundos después del flanco de subida del reloj. De esta forma aunque los datos varíen mientras el reloj esté en estado alto, la entrada es ignorada salvo en esos primeros 30 nanosegundos, y por lo tanto, el dato que vuelca el maestro al esclavo en el flanco de bajada del reloj es el que se capturó en el pequeño intervalo posterior al flanco de subida.

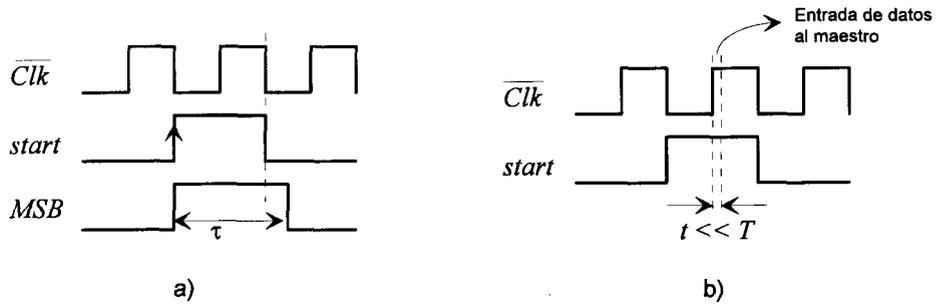


Fig. 10.8.5 Eliminación de la incertidumbre de la entrada de comienzo. a) Usando un monoestable disparado por flanco de subida. b) Empleando un biestable Maestro-Esclavo con bloqueo de entrada (SN74111). En ambos casos se toma un "1" con seguridad. Las dos figuras muestran el reloj invertido porque en los circuitos comerciales lo más habitual es que las salidas de los biestables cambien en los flancos de bajada del reloj, por lo que si deseamos que éstas tengan lugar en los flancos ascendentes deberemos introducir la señal invertida.

Con todo esto podemos obtener el circuito completo que se muestra en la figura (10.8.6). El cronograma completo correspondiente a este circuito aparece en la figura (10.8.7).

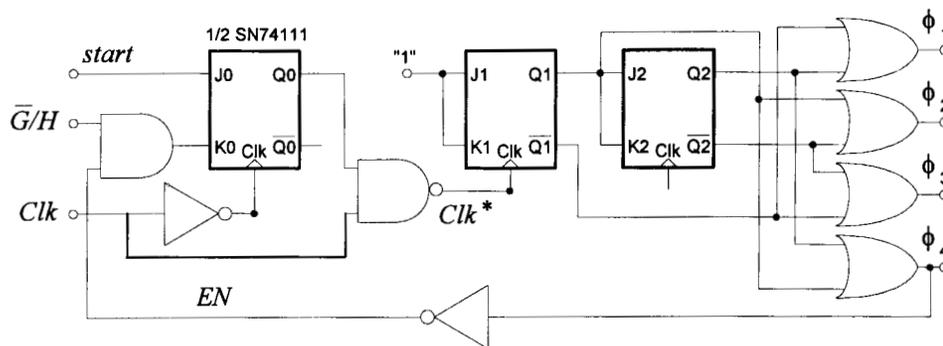


Fig. 10.8.6 Circuito generador de las fases a partir de un reloj externo

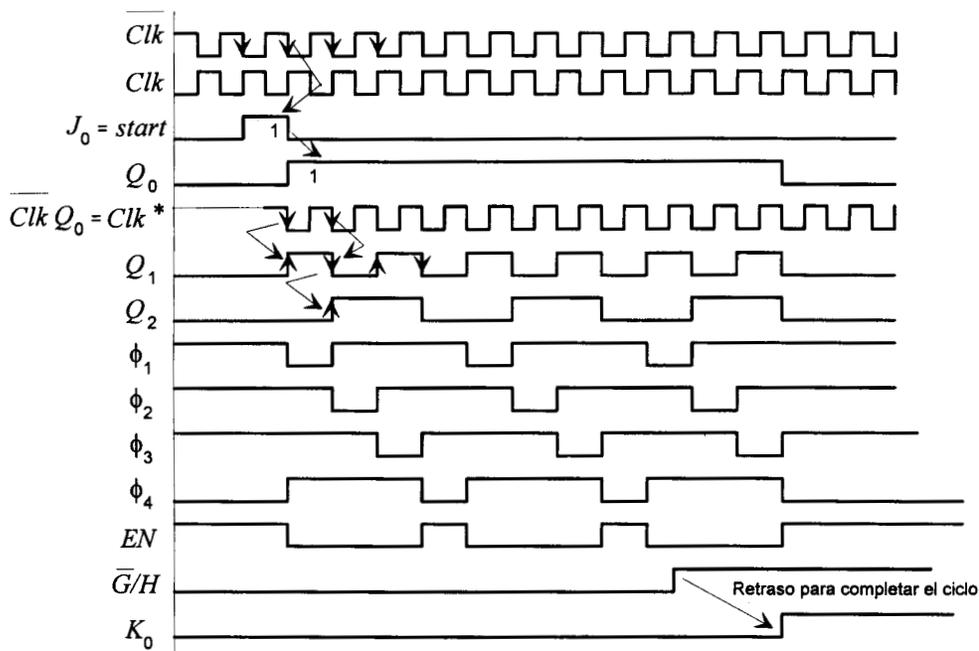


Fig. 10.8.7 Cronograma correspondiente al circuito de la figura (10.8.6)

Al igual que hemos generado las fases con la ayuda de un contador de dos bits, podríamos haber buscado una solución basada en monoestables configurados como divisores de frecuencia (ver ejercicio E.10.5). Esto tendría la ventaja de poder elegir independientemente el ancho del pulso de cada una de las fases. Bastaría para ello el

empleo de un monoestable independiente para cada una de las fases. Si deseásemos generar la frecuencia del reloj base, podríamos conseguirlo con la ayuda de dos monoestables encadenados formando un generador de onda cuadrada (o rectangular), como ya se vió en el ejercicio E.10.3.

La diferencia con el astable propuesto en aquel ejercicio es que ahora no podemos permitir un funcionamiento continuo, con lo que debemos romper el lazo formado por los dos monoestables mediante una entrada de habilitación.

Sin embargo, obsérvese que la solución con biestables no requiere ajustes de R ni de C, siendo por tanto de mayor aplicación general. Así, si el reloj principal es de 2 MHz., la solución da pulsos de 0.25 μ seg. En la solución con monoestables habría que recalcular R y C adecuadamente para obtener el divisor necesario.

La solución con monoestables introduciría el problema de la sincronización con el reloj principal que al emplear biestables queda eliminado.

* * * *

Memorias RAM y CAM

PROPÓSITO

En el estado actual de desarrollo de la tecnología bipolar y en el campo de las memorias RAM estáticas y dinámicas y de las memorias direccionables por contenido (CAM), es evidente que la naturaleza de los problemas de este capítulo tiene que ser forzosamente pedagógica.

No tiene ningún sentido práctico el diseñar memorias a partir de biestables, contadores y puertas lógicas cuando el grado de integración supera los 10 Megabytes. Sin embargo, para comprender la estructura de las celdas de memoria hay que bajar al nivel de dispositivos y demostrar que efectivamente almacenan, leen y escriben. Análogamente, para comprender la organización, hay que bajar al nivel de biestables, decodificadores, contadores y puertas lógicas que son los módulos a partir de los cuales se diseña el direccionamiento y el control de lectura y escritura. Por eso usamos como problemas las versiones mínimas (dos o cuatro celdas) de los circuitos comerciales más representativos. Si se conocen los circuitos de control a este nivel, será muy fácil comprender las hojas de datos, los cronogramas y las tablas de los circuitos reales.

En este tema vamos a tratar ambos aspectos, en un principio se presentan varios problemas que ilustran el comportamiento de las celdas de memoria en varias tecnologías trabajando y razonando a nivel de dispositivo. En una segunda parte se hace incapié en la combinación de celdas de memoria implementadas como biestables para acercarnos al concepto de memoria como circuito integrado que puede almacenar gran cantidad de datos (valores binarios 0, 1). Se presentan problemas de combinación de bloques de memoria y de direccionamiento. También se ha incluido al final un problema sobre memorias CAM.



EJERCICIOS RESUELTOS

E.11.1 Análisis de una celda básica de memoria en tecnología NMOS

En la figura (11.1.1) se representa una celda básica de memoria formada por un biestable R-S en tecnología NMOS. Generar su tabla de verdad.

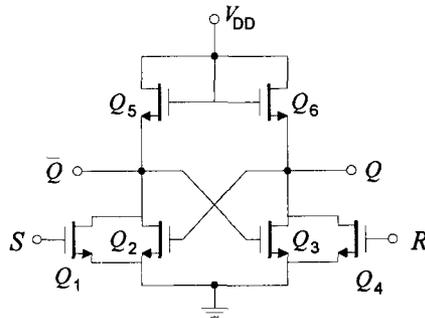


Fig. 11.1.1 R-S en tecnología NMOS

Solución:

A) Caso $S=R=0$.

Si $S=R=0$ tendremos a los transistores Q_1 y Q_4 cortados con lo que la tensión en Q y \bar{Q} dependerá del estado de Q_2 y Q_3 . A su vez el estado de estos transistores depende de las tensiones en Q y \bar{Q} .

Supongamos que Q_3 está cortado. Como Q_4 también está cortado entonces no hay corriente en esa rama y $V_Q \approx V_{DD}$. Esto hace que Q_2 conduzca con lo que $V_{\bar{Q}} \approx 0$ y $\bar{Q} = 0$. Si $V_{\bar{Q}} \approx 0$ entonces Q_3 está cortado como habíamos supuesto inicialmente. Si suponemos que Q_3 conduce entonces $V_Q \approx 0V$, Q_2 está cortado y $V_{\bar{Q}} \approx V_{DD}$ ya que Q_1 también está cortado. Por tanto $\bar{Q} = 1$ y Q_3 está en conducción tal y como supusimos inicialmente.

De estos razonamientos podemos concluir que las salidas Q y \bar{Q} son complementarias y que dependen del estado de Q_2 y Q_3 que a su vez dependen de la situación anterior, por lo que si $R=S=0$ se conserva la información.

B) Caso $S=1, R=0$.

Si $S=1$ entonces Q_1 conduce con lo que $V_{\bar{Q}} \approx 0$, independientemente del estado de Q_2 y Q_3 queda cortado. Como si $R=0$ el transistor Q_4 también está cortado entonces $V_Q \approx V_{DD}$. Tendremos que si $S=1$ y $R=0$ la salida será $Q=1$ y $\bar{Q}=0$ independientemente del estado anterior, con lo que almacenamos un uno en la celda R - S .

C) Caso $S=0, R=1$.

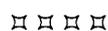
Si $S=0$ entonces Q_1 está cortado. Por tanto, la tensión $V_{\bar{Q}}$ dependerá del estado de Q_2 . Por otra parte, si $R=1$ el transistor Q_4 conduce y entonces $V_Q \approx 0$ (independientemente del estado de Q_3), por lo que el transistor Q_2 queda cortado. Como Q_1 también estaba cortado tendremos $V_{\bar{Q}} \approx V_{DD}$, es decir, $\bar{Q}=1$. Como en el caso anterior, independientemente del estado de Q_2 y Q_3 , tendremos que si $S=0$ y $R=1$ la salida será $Q=0$ y $\bar{Q}=1$, es decir, almacenamos un cero en la celda R - S .

D) Caso $S=1, R=1$.

Si $S=1$ ($V_S = V_{DD}$), el transistor Q_1 conduce y si $R=1$ ($V_R = V_{DD}$) el transistor Q_4 también entra en conducción. Al entrar ambos en conducción, las tensiones en Q y \bar{Q} comenzarán a decrecer simultáneamente lo que limita la conducción, ya que decrece la tensión en las puertas de los transistores Q_2 y Q_3 .

Puesto que los transistores no serán exactamente iguales, siempre existirá un pequeño desequilibrio que vuelque el transistor a un estado imposible de determinar a priori.

Si los transistores fuesen todos idénticos y las tensiones de entrada también, las tensiones en Q y \bar{Q} serían iguales.



E.11.2 Análisis temporal de una celda de memoria RAM estática al escribir datos

El circuito de la figura (11.2.1) muestra el esquema de una celda RAM estática con transistores bipolares multiemisor. Analizar la evolución temporal de la señal en el punto (1) (colector del transistor Q_1) a partir del estado inicial en el que la celda almacena un "0" durante la siguiente secuencia de procesos:

- La celda almacena un "0" y no está direccionada.
- La celda se direcciona y se escribe un "1"
- Sigue direccionada y se lee su estado.
- Se escribe un "0" de nuevo.

Describir cualitativamente la evolución de las señales DL , \overline{DL} y en la línea de selección de dirección correspondiente a esta secuencia.

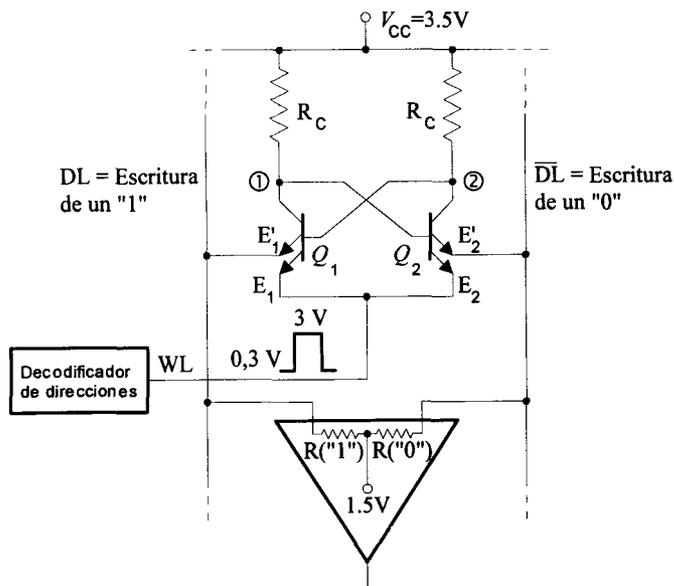


Fig. 11.2.1

Solución:

- A) Si la celda almacena un cero, tal y como se estableció por convenio en la página 373 del libro de teoría, Q_2 está conduciendo y Q_1 en corte. Si la celda no está direccionada $WL \approx 0.3V$, y entonces la tensión en el nudo 1 es aproximadamente V_{CC} y en el nudo 2 es aproximadamente $0.3V + V_{CE}|_{sat} \approx 0.5V$. Las líneas DL y \overline{DL} están indeterminadas ya que dependerán de otras celdas (de las que están direccionadas en ese momento). Al direccionar la celda $WL = 3V$.

- B) Si queremos almacenar un uno debemos conseguir que Q_1 conduzca. Para ello se debe establecer DL a nivel bajo ($\approx 0V$). \overline{DL} debe estar a nivel alto ($\approx 3.5V$) para garantizar que Q_2 esté cortado. En esta situación, las tensiones son $V_{BE_1} > 0.5$ y $V_{BE_2} = V_{BE_2'} \approx 0$, con lo que se consigue que Q_1 conduzca y Q_2 quede cortado.

Al conducir Q_1 la tensión en el nodo 1 baja con lo que se favorece el corte de Q_2 y la tensión en el nodo 2 tiende a la de alimentación debido a que no circulará corriente por la resistencia del colector de Q_2 . Al aumentar la tensión en el nodo 2 (colector del transistor Q_2) se favorece la conducción del transistor Q_1 con lo que llegamos a una situación estable: Q_1 está conduciendo y Q_2 permanece cortado, y la celda almacenará un "1" según el criterio que se tomó inicialmente.

Ahora, aunque la celda dejase de estar direccionada, seguiría manteniendo su estado ya que $V_{BE_1} \gg 0,5$ (WL cae a $0.3V$) y por tanto Q_1 permanece en conducción y Q_2 sigue cortado independientemente del estado de los emisores E_2 y E_2' ya que su base está a un nivel bajo (debido a que Q_1 conduce).

Cuando la celda no está direccionada la línea WL está en estado bajo y se encarga de recoger la corriente que proporciona el transistor que esté en conducción en ese momento (Q_1 si almacena un "1" o Q_2 si almacena un "0").

Sin embargo, si la celda sigue direccionada, podemos leer su estado:

- C) Cuando leemos, las líneas DL y \overline{DL} están conectadas a impedancia muy alta para poder medir, con lo que si no forzamos una situación particular, tal y como se hace al escribir un dato, su estado estará determinado por el estado de los transistores que forman la celda (Q_1 y Q_2).

Como Q_1 está conduciendo, habrá caída de tensión en la resistencia $R("1")$ con lo que se detecta un "1". Como Q_2 está cortado no hay caída de tensión ni en Q_2 ni en la resistencia $R("0")$, con lo que \overline{DL} estará aproximadamente a $1.5V$. Según esto, (caída de tensión en $R("1")$ y no caída de tensión en $R("0")$) podemos concluir que la celda almacena un "1", tal y como se había almacenado previamente.

- D) Para almacenar un "0" basta con forzar DL a nivel alto y \overline{DL} a nivel bajo para llevar Q_1 a corte y Q_2 a conducción.

□ □ □ □

E.11.3 Análisis temporal de una celda RAM estática en tecnología MOS

El circuito de la (11.3.1) se corresponde con la figura 11.6 del libro de teoría, y muestra el esquema de una posible celda RAM estática en tecnología MOS. Dibujar el cronograma en el que se muestre la evolución de las señales (formas de onda) en DL, WL y \overline{DL} durante los procesos de lectura y escritura (a, b, c y d) que allí se describen. Todos los transistores son de acumulación y canal P.

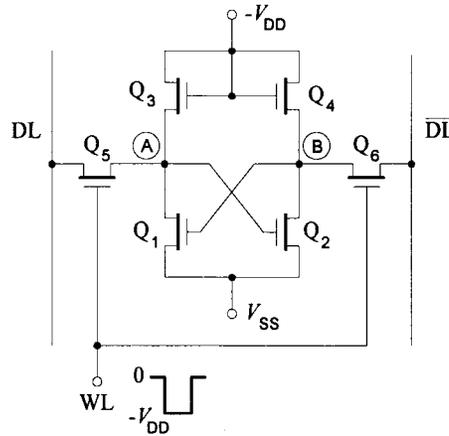


Fig. 11.3.1 Celda de memoria de memoria RAM estática en tecnología MOS

Solución:

- A) Si la celda no está direccionada y almacena un cero, según el convenio en la página 375 del libro de teoría, Q_2 está en conducción y Q_1 en corte. En este caso, $V_B \approx 0$ y $V_A \approx -V_{DD}$. Las tensiones DL y \overline{DL} están indeterminadas ya que Q_5 y Q_6 están cortados (presentan impedancia muy alta) y hacen que la celda esté aislada de las líneas de datos.

Realmente las tensiones en las líneas DL y \overline{DL} dependerán de la celda que esté direccionada en ese momento. Se sobreentiende que sólo una celda está direccionada en cada instante.

- B) Al direccionar la celda, Q_5 y Q_6 pasan a conducción ya que su puerta adquiere el potencial $-V_{DD}$. En este caso tendremos:

$$DL = V_A \approx -V_{DD} \quad \text{y} \quad \overline{DL} = V_B \approx 0$$

ya que tiene almacenado un "0".

Para escribir un uno debemos invertir la situación. Para ello:

$$DL = 0 \quad \text{y} \quad \overline{DL} = -V_{DD}$$

Entonces $V_A = 0$ y el transistor Q_2 pasa a corte y $V_B = -V_{DD}$ con lo que Q_1 entra en conducción y el estado del biestable cambia, almacenando ahora un uno.

- C) Si la celda está direccionada tendremos:

$$DL = V_A \approx 0 \quad \text{y} \quad \overline{DL} = V_B = -V_{DD}$$

Si $DL = 0$ está a nivel alto (el nivel bajo es $-V_{DD}$), y en lógica positiva representa un uno, leyendo así el uno que habíamos escrito.

- D) Para escribir nuevamente el cero debemos volcar otra vez al biestable formado por Q_1 , Q_2 , Q_3 y Q_4 . Para conseguirlo, cambiamos el estado de las líneas DL y \overline{DL} manteniendo la celda seleccionada. Debemos forzar por tanto la siguiente situación:

$$DL \approx -V_{DD} \quad \text{y} \quad \overline{DL} = 0$$

En la figura (11.3.2) se muestra el cronograma correspondiente.

Obsérvese que aunque las líneas DL y \overline{DL} estén indeterminadas (si la celda no está direccionada, su estado viene determinado por el contenido la celda que esté siendo accedida en cada momento) las tensiones en los nudos A y B mantienen un estado bien determinado. Esto es lógico si tenemos en cuenta que la celda debe mantener su estado mientras no actuemos sobre ella. Son los transistores Q_5 y Q_6 los que permiten el aislamiento apropiado, ya que mientras la celda no esté direccionada, estos transistores presentan una impedancia muy elevada, con lo que pueden mantener una diferencia de tensión entre sus terminales de fuente y drenador. Cuando la celda es

direccionada, su impedancia baja casi hasta anularse con lo que se permite el paso de corriente entre la celda y las líneas DL y \overline{DL} o viceversa.

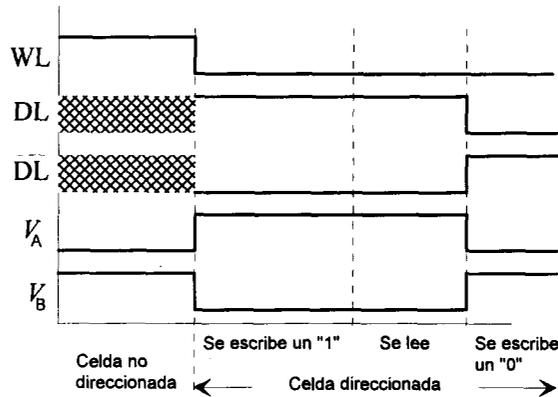


Fig. 11.3.2 Cronograma correspondiente a la celda de memoria de la figura (11.3.1)

□ □ □ □

E.11.4 Síntesis de una celda de memoria estática en tecnología CMOS

Recordando que una celda RAM estática es esencialmente un biestable (dos inversores acoplados) junto con las facilidades de direccionamiento y de lectura y escritura (por ejemplo, a través de un transistor que actúa como puerta de transmisión), proponer y justificar el funcionamiento de una posible celda RAM estática en tecnología CMOS.

Solución:

Un inversor en tecnología CMOS se muestra en la figura (11.4.1 a). Por otra parte, la puerta de transmisión en la misma tecnología aparece en la figura (11.4.1 b).

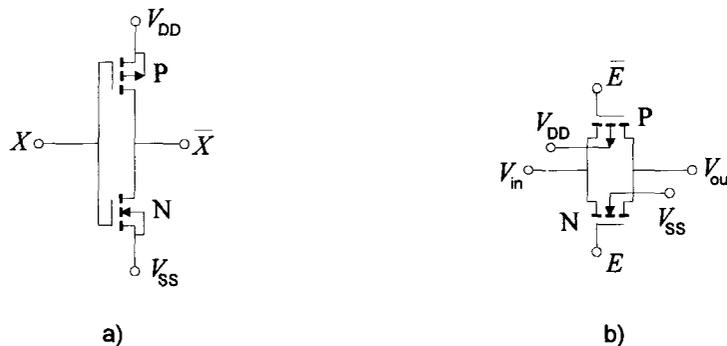


Fig. 11.4.1 a) Inversor CMOS. b) Puerta de transmisión CMOS

Para formar un biestable basta con acoplar los dos inversores (fig. 11.4.2). Si le añadimos ahora dos puertas de transmisión completamos la celda de memoria que puede ya ser direccionada (fig. 11.4.3).

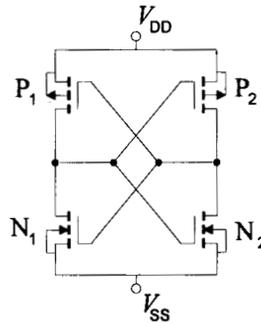


Fig. 11.4.2 Inversores CMOS acoplados para formar una celda de memoria

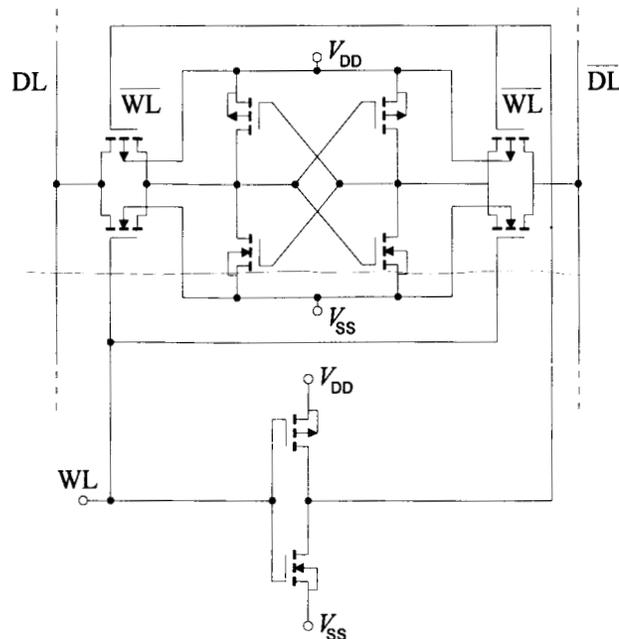


Fig. 11.4.3 Celda completa en tecnología CMOS formada a partir de dos inversores acoplados y dos puertas de transmisión

Su funcionamiento es idéntico al de la celda del problema anterior.

Obsérvese que se ha añadido un inversor adicional en la parte inferior de la figura que no aparecía en el caso de la celda MOS. Este inversor es necesario para el correcto funcionamiento de las puertas de transmisión.

□ □ □ □

E.11.5 Diseño de circuitería para direccionar, leer y escribir en una memoria RAM

Supongamos que disponemos de una memoria RAM mínima consistente en sólo dos biestables R-S con "preset" y "clear".

Diseñar todos los circuitos externos para:

- a) Seleccionar en lectura y escritura.*
- b) Direccionar uno u otro biestable, ó ninguno de los dos.*
- c) Leer en el R-S seleccionado.*
- d) Escribir (0,1) en el R-S seleccionado. Es decir, sintetizar sobre esta memoria mínima y usando puertas AND, OR y NO, todas las funciones de control que son necesarias para una memoria RAM estática.*

Solución:

A cada celda individual debemos proporcionarle la circuitería necesaria para direccionamiento, lectura y habilitación de escritura. Veamos la implementación de cada una de estas tareas.

Por una parte, si la celda no está direccionada, debe mantener su estado, independientemente de la entrada. Para conseguirlo, la entrada al biestable R-S en este caso debe ser cero, ($R=S=0$). Si direccionamos la celda para leer, las entradas R y S deben permanecer en estado bajo ($R=S=0$). Por último, si direccionamos para escritura, en las entradas R y S deben aparecer los valores que consigan llevar al biestable al estado correspondiente. Al hacer esto hay que tener en cuenta que debemos evitar la situación $R=S=1$ ya que en este caso la salida no está determinada, como hemos visto ya en varios ejercicios anteriores. Para conseguirlo, basta con añadir un inversor entre ambas entradas.

En la figura (11.5.1) aparece la tabla de verdad correspondiente a las entradas. En dicha tabla, D indica la línea de dirección, W la habilitación de escritura y X el dato de entrada.

De la misma forma podríamos haber empleado las entradas asíncronas de preset y clear, dejando las entradas R y S a nivel bajo ("0" lógico). En este caso, como no se usan se deben dejar inactivas. Como por regla general estas entradas son activas a nivel bajo deberemos conectarlas al uno lógico (al cero lógico si fuesen activas a nivel alto).

D	W	R	S
0	0	0	0
0	1	0	0
1	0	0	0
1	1	\bar{X}	X

Fig. 11.5.1 Tabla de verdad para la celda de memoria construída a partir de un biestable R-S

Aunque las funciones R y S resultan muy simples, vamos a emplear el método general de síntesis y crear el diagrama de Karnaugh correspondiente a cada entrada a partir de la tabla anterior. Los diagramas correspondientes a ambas funciones se muestran en la figura (11.5.2). En ambos casos interviene un único término mínimo con lo que las expresiones de R y S se obtienen directamente sin necesidad de minimización.

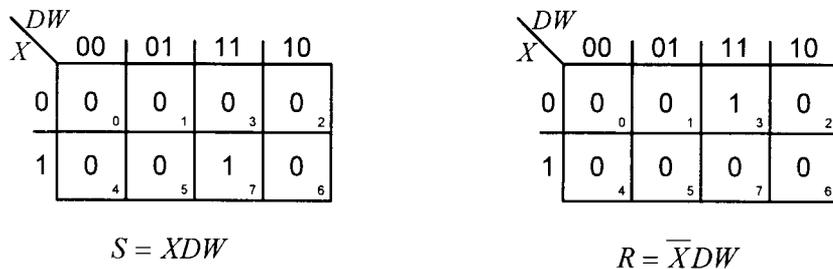


Fig. 11.5.2 Diagramas de Karnaugh empleados para la minimización de las entradas R y S

De estos diagramas obtenemos $S = XDW$ y $R = \bar{X}DW$. La figura (11.5.3 a) recoge el esquema circuital correspondiente.

Los circuitos de lectura son todavía más simples, ya que basta con ver el estado del biestable (Q). No obstante, como normalmente las salidas se conectan todas a una misma línea deberemos añadir un buffer triestado, de forma que cuando la celda no está direccionada presente una gran impedancia a su salida y quede desconectada del

circuito. El esquema completo de la salida de la celda aparece en la figura (11.5.3 b). Si unimos los dos biestables formando una memoria simple de dos bits será necesario añadir la circuitería de direccionamiento. En este caso tan simple, basta con hacer $D_2 = \overline{D_1}$ ya que sólo tenemos dos celdas (fig. 11.5.4).

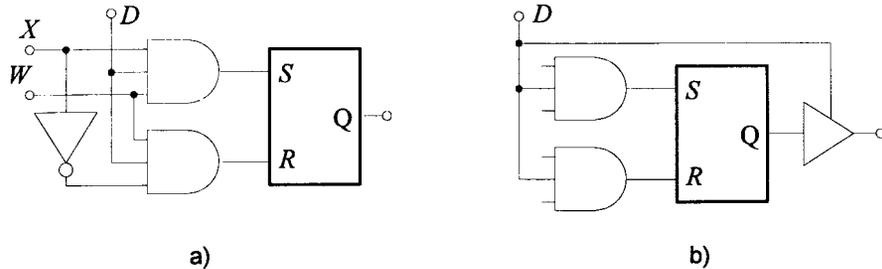


Fig. 11.5.3 a) Detalle del circuito de entrada al biestable R-S. b) buffer triestado de la salida

Si tuviésemos que seleccionar entre un número mayor de celdas de memoria, necesitaríamos implementar un decodificador de direcciones. En ese caso tendríamos que proporcionar un circuito que para cada una de las posibles combinaciones de entrada, proporcionase una única salida en estado alto, manteniendo el resto en estado bajo si la señal de selección fuese activa a nivel alto. En este ejercicio, basta un inversor para conseguir que una línea esté alta y el resto en estado bajo.

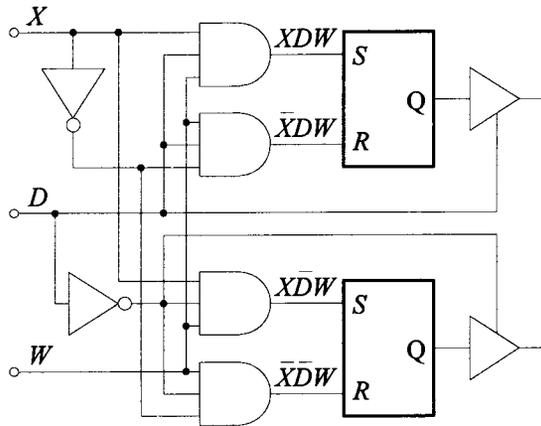


Fig. 11.5.4 Esquema completo de una memoria de dos bits con su circuitos de direccionamiento



E.11.6 Diseño de la circuitería para acceder a las celdas de una memoria RAM

Supongamos que disponemos del circuito de la figura (11.6.1), que es una memoria RAM estática organizada como 4096 "palabras" de un sólo bit organizada en forma de matriz de 64 filas por 64 columnas.

- Diseñar el circuito selector de filas que pase de (A_0, \dots, A_5) a las filas correspondientes. Tenemos así también el circuito selector de columnas.
- ¿Qué contador binario deberíamos usar para conseguir recorrer todas las direcciones posibles de forma secuencial?. ¿Cómo deberíamos conectarlo?.
- ¿Cómo podríamos usar este mismo contador para controlar las señales D_{in} , D_{out} , \overline{CS} y \overline{WE} , de forma que, empezando en la dirección 0 (00...0), vaya leyendo hasta la posición 2000, escriba "unos" desde la 2001 a la 3000 y escriba "ceros" desde la 3001 a la 4.096?

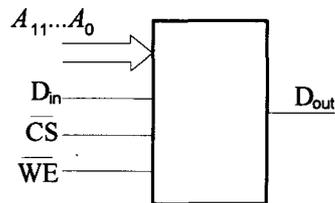


Fig. 11.6.1 Bloque elemental de memoria en el que se muestran las líneas de dirección (12 bits, $A_0 \dots A_{11}$), la entrada y salida de datos (D_{in} y D_{out}), la línea de selección ("chip select", \overline{CS}) y la habilitación de escritura (\overline{WE}). Estas dos últimas activas a nivel bajo.

Solución:

- A) Para diseñar el selector de filas (columnas) no necesitamos más que un decodificador de 6 a 64 que genere todos los minterms realizables con seis variables, que serán desde $\overline{A_0} \overline{A_1} \overline{A_2} \overline{A_3} \overline{A_4} \overline{A_5}$ hasta $A_0 A_1 A_2 A_3 A_4 A_5$ (fig. 11.6.2).

Si deseásemos implementarla podríamos encontrar problemas por el elevado número de entradas de las puertas, (en TTL por ejemplo, el principal fabricante, Texas Instruments, no dispone en su catálogo de tal tipo de circuito), aunque se podría emplear el circuito integrado 7430 que contiene una puerta NAND de ocho entradas. Pero esto obligaría a emplear 64 integrados: una por cada minterm y otros tantos inversores, que además introducirán un retardo adicional.

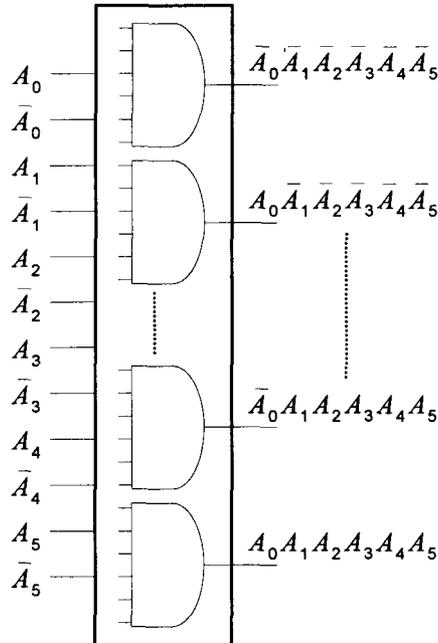


Fig. 11.6.2 Esquema simplificado de un decodificador de 6 a 64 empleando puertas AND

Otra solución más razonable se podría conseguir usando dos niveles de decodificación aunque en este caso, como es lógico, aumentaría el retardo al doble. En este caso pondríamos un decodificador de tres a ocho y en el segundo nivel ocho decodificadores de tres a ocho con lo que obtendríamos las 64 direcciones. Esta solución la podemos implementar directamente con el Demux de tres a ocho 74155 y necesitaríamos sólo nueve integrados, que es un número considerablemente menor. Sin embargo debe tenerse en cuenta que esta reducción en el número de circuitos integrados se realiza a costa de duplicar el retardo. El esquema resultante se muestra en la figura (11.6.3).

- B)** Puesto que debemos acceder a 4096 posiciones distintas, necesitaremos un contador de doce bits ($2^{12} = 4096$). Para recorrer todas las celdas de memoria de forma secuencial y teniendo en cuenta el decodificador previamente diseñado, basta con implementar un contador binario de doce bits.

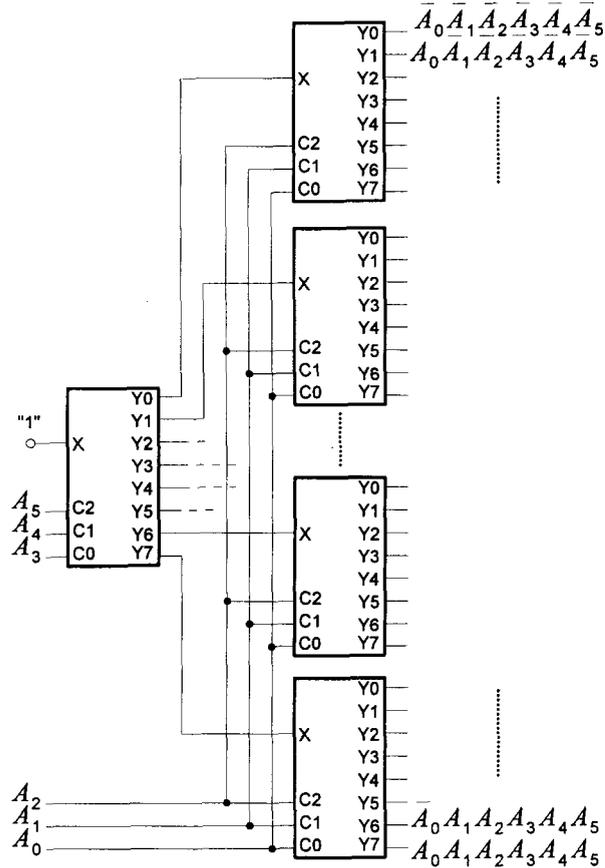


Fig. 11.6.3 Decodificador de 6 a 64 empleando 9 demux de 3 a 8 (74155)

Los seis bits más bajos del contador los conectamos a las líneas $A_5 A_4 A_3 A_2 A_1 A_0$ y los bits altos al resto de líneas de dirección $A_{11} A_{10} A_9 A_8 A_7 A_6$. Si empleamos un contador binario síncrono tendremos el esquema de la figura (11.6.4).

Según que los bits bajos ($A_5 A_4 A_3 A_2 A_1 A_0$) representen a las filas o a las columnas, al realizar la cuenta de los 12 bits leeremos todas las posiciones por columnas o por filas.

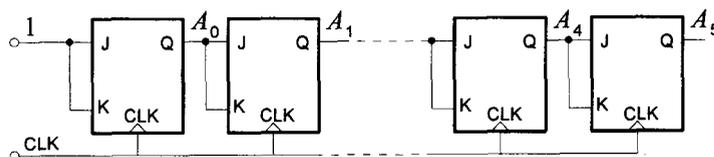


Fig. 11.6.4 Contador binario síncrono de 12 bits empleando biestables J-K

Esta cuenta de 12 bits la podemos implementar con dos integrados, la 74174 o la 74175. Ambas contienen seis biestables tipo *J-K* en cada uno. Podemos emplear también contadores ya integrados como el 74190, que es un contador binario up/down de cuatro bits, con lo que bastarán tres integrados para obtener la cuenta de los doce bits.

- C) Para D_{out} no hace falta nada ya que se obtiene como combinación de los anteriores y del contenido de la memoria. Por lo tanto sólo necesitaremos controlar D_m , \overline{CS} y \overline{WE} . Por otra parte debemos realizar tres acciones distintas que se encuentran recogidas en la tabla de la figura (11.6.5), donde aparecen también las señales D_m , \overline{CS} y \overline{WE} .

Valor de cuenta	Acción	D_m	\overline{CS}	\overline{WE}
de 0 a 2000	leer	x	0	1
de 2001 a 3000	escribir "1"	1	0	0
de 3001 a 4096	escribir "0"	0	0	0

Fig. 11.6.5 Tabla en la que se muestran los valores que deben tomar las señales de entrada para cada valor del contador

Del enunciado se deduce que el integrado debe estar siempre direccionado ya que se leen las primeras 2000 posiciones y se escriben las demás. Por lo tanto \overline{CS} debe ser siempre cero. Durante la lectura, \overline{WE} (habilitación de escritura) debe ser uno, (escritura inhabilitada) y la entrada de datos, como es lógico, es intrascendente.

Para discriminar entre las tres acciones según el valor del contador necesitamos una señal que sea uno entre 0 y 2000 y cero a partir de este valor, y otra señal que sea uno desde 0 hasta 3000 y cero a partir de este valor. Esto se puede obtener con ayuda de dos comparadores de doce bits (ver figura 11.6.6 a). Podemos evitar los inversores si realizamos la comparación con los valores 2001 y 3001 y tomamos la salida $A < B$ como se indica en la figura (11.6.6 b).

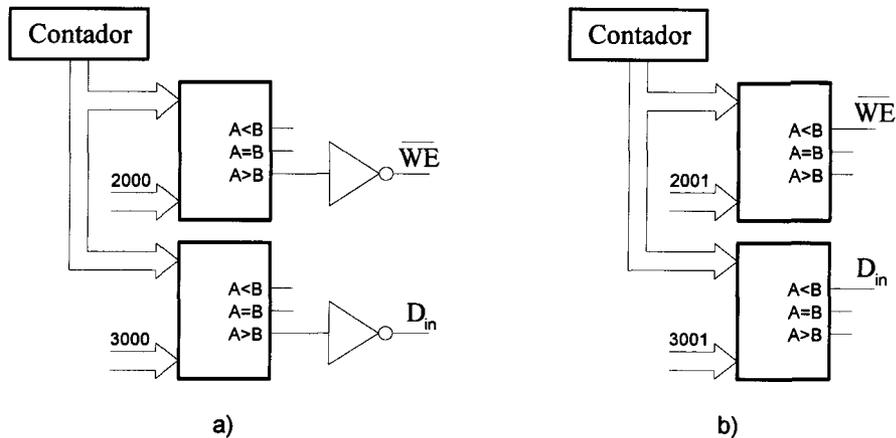


Fig. 11.6.6 a) Obtención de las señales de control a partir de dos comparadores de 12 bits. b) Eliminando los inversores.

□ □ □ □

E.11.7 Organización de memorias y circuito comprobador de escritura

Supogamos que disponemos de cuatro circuitos como los del ejercicio anterior de 4096 "palabras" de un bit.

- ¿Cómo podríamos diseñar un circuito que a través del \overline{CS} de las cuatro memorias las organizara en 4096 palabras de 4 bits?
- ¿Cómo podríamos asegurarnos después de la escritura de una determinada configuración (1100, por ejemplo) que efectivamente ese es el contenido de la celda?. (Pensar en la posibilidad de almacenar lo que se escribe, leer lo último escrito y comparar). Diseñar el circuito que realiza esta comprobación y genera un pulso sólo cuando hay error, es decir, cuando el estado de la celda direccionada no coincide con la palabra que queríamos escribir.
- ¿Cómo podríamos visualizar las palabras que se van a escribir y las que se van leyendo?.

Solución:

- A) En la figura (11.7.1) se representa de forma simplificada la memoria a la que hace referencia el enunciado.

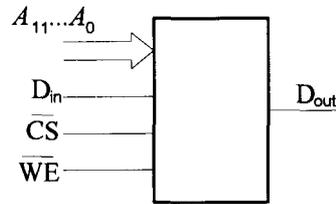


Fig. 11.7.1 Bloque de memoria de 4096 posiciones de un bit

Para conseguir una memoria de 4096 palabras de cuatro bits basta con unir las señales \overline{CS} de todos los bloques. Lo mismo ocurre con la señal \overline{WE} ya que toda la palabra (los cuatro bits) debe ser accedida tanto para lectura como para escritura simultáneamente. En la figura (11.7.2) aparecen las conexiones necesarias.

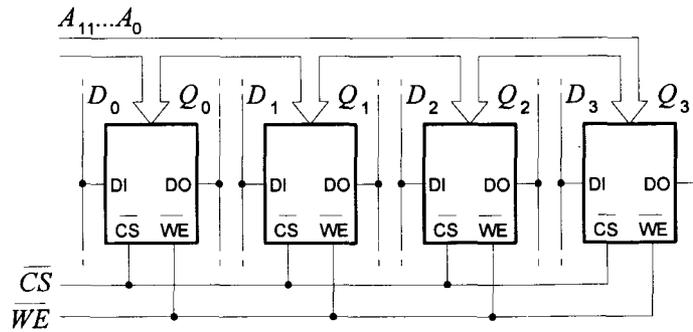


Fig. 11.7.2 Construcción de una memoria de 4096 palabras de 4 bits empleando 4 memorias como la de la figura (11.7.2)

- B) Para comprobar que se ha escrito lo que hemos introducido a la entrada, precisamos almacenar los datos de entrada. Para esto empleamos un registro de cuatro bits que puede implementarse de forma sencilla con cuatro biestables tipo *D*. Este registro debe cargarse cuando se produce una escritura y la memoria está seleccionada, es decir, cuando $\overline{CS} = \overline{WE} = 0$. La señal de carga del registro la podemos obtener por tanto con una puerta NOR. La señal de error debe activarse cuando la celda está seleccionada para lectura y el dato obtenido de la memoria no coincide con el almacenado en el registro. Esto se resume en la tabla de verdad de la figura (11.7.3).

\overline{WE}	\overline{CS}	$A = B$	$ERROR$	
0	0	0	0	Seleccionada para escritura
0	0	1	0	
0	1	0	0	No seleccionada
0	1	1	0	
1	0	0	1	Seleccionada para lectura
1	0	1	0	
1	1	0	0	No seleccionada
1	1	1	0	

Fig. 11.7.3 Tabla que muestra las acciones a realizar para comprobar que se han almacenado los datos correctos

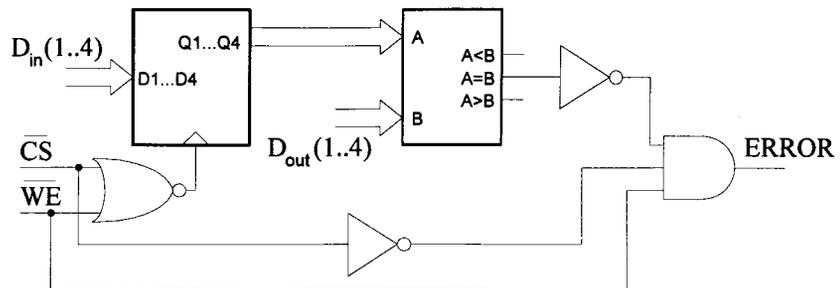


Fig. 11.7.4 Circuito empleado para comprobar si los datos se almacenaron en la memoria correctamente

- C) Para visualizar los datos que se van a escribir y los que se están leyendo basta con añadir unos diodos LED en la líneas de entrada y en las de salida. La forma más apropiada de implementar esto sería con ayuda de unos inversores en colector abierto con la configuración de la figura (11.7.5).

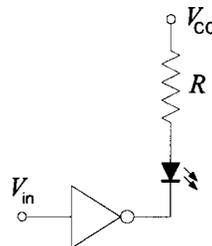


Fig. 11.7.5 Conexión de un diodo LED a la salida de un inversor en colector abierto

De esta forma el diodo se iluminará cuando a la entrada del inversor haya un nivel alto. El valor de R debe calcularse teniendo en cuenta la corriente necesaria para iluminar el LED, la caída de tensión en su interior y la tensión V_{CC} . Un LED convencional se ilumina plenamente con unos 12 mA produciéndose una caída de tensión de aproximadamente 1.6 voltios. Si por ejemplo consideramos la tecnología TTL en la que $V_{CC} = 5V$ tendremos:

$$V_{CC} = iR + V_D; \quad R = \frac{V_{CC} - V_D}{i} = \frac{(5 - 1.6)V}{12\text{mA}} = 283\Omega$$

No obstante, la tensión V_{CC} no tiene que ser la misma que la de alimentación. Esta se podría modificar con objeto de disminuir la potencia disipada en las resistencias. Esta consideración es especialmente interesante si existiesen numerosos indicadores de este tipo.

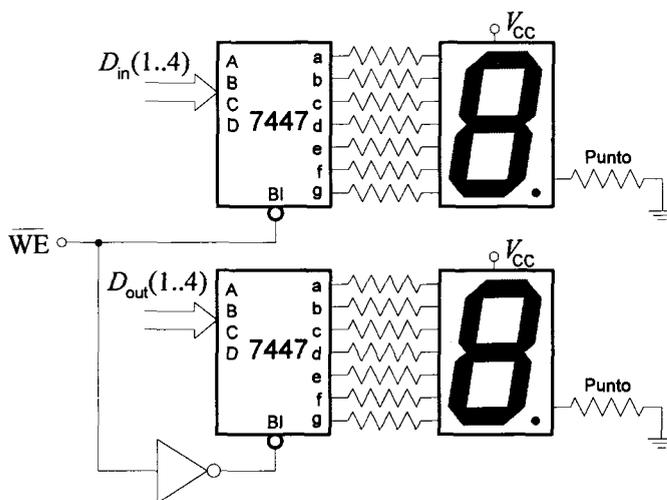


Fig. 11.7.6 Conexión de los visualizadores de 7 segmentos

Una forma más cómoda de visualizar los datos de entrada y de salida es con ayuda de un visualizador ("display") de siete segmentos a la entrada y otro a la salida.

Para iluminar de forma correcta estos visualizadores necesitamos realizar una conversión BCD a siete segmentos. Esto lo podemos realizar con ayuda del integrado 74LS47 si el visualizador es de ánodo común o el 74LS48 si es de cátodo común. Estos integrados tienen además la ventaja de disponer de una entrada de borrado

(BI=blanking input) activa a nivel bajo que apaga el "display". Esto se puede emplear para encender el "display" de entrada o de salida según se produzca una escritura o una lectura, y mantener el otro display apagado. Para ello basta con emplear la señal que distingue entre estos dos casos: \overline{WE} . El esquema de conexionado en este caso aparece en la figura (11.7.6). En esta figura, el punto de ambos visualizadores se ha conectado de forma que esté permanentemente encendido para indicar el funcionamiento del circuito.

□ □ □ □

E.11.8 Organización de memorias

Disponemos de nuevo de cuatro circuitos de memoria del tipo 2147 (4096 palabras de un bit) ¿cómo podríamos conectarlos para:

a) *Conseguir una memoria de 16384 palabras de 1 bit?.*

b) *Conseguir una memoria de 8192 palabras de 2 bits?.*

Dibujar en ambos casos las conexiones correspondientes y los circuitos externos necesarios para coordinar los niveles en las líneas de control y de datos de las cuatro memorias.

Solución:

- A) Como ahora tenemos cuatro circuitos de memoria, necesitamos una circuitería que nos permita seleccionar a cuál de ellos queremos acceder. Para discriminar uno entre cuatro necesitamos dos nuevas líneas de dirección A_{13} y A_{12} . Las otras líneas son comunes a los cuatro integrados, al igual que la línea de datos de entrada y la de salida.

Para seleccionar uno de estos cuatro integrados no basta con decodificar las líneas A_{13} y A_{12} sino que habrá que tener en cuenta también el estado de la línea \overline{CS} . Esto es necesario para tener en cuenta la posibilidad de que no haya ninguna celda direccionada. Si no incluyésemos esta línea, estaríamos suponiendo que siempre hay una celda direccionada, con lo que no podríamos ampliar la capacidad de la memoria conectando más módulos similares. El resultado de combinar estas tres variables nos proporciona la señal de selección de cada uno de los integrados de memoria $\overline{CS}_1, \dots, \overline{CS}_n$. La tabla de verdad correspondiente a estas cuatro señales está representada en la figura (11.8.1). En esta figura se muestran como señales de entrada

las nuevas líneas A_{13} y A_{12} y la línea de selección del nuevo bloque que nos servirá, como se ha comentado, para poder ampliar la capacidad de la memoria.

A_{13}	A_{12}	\overline{CS}	\overline{CS}_1	\overline{CS}_2	\overline{CS}_3	\overline{CS}_4
0	0	0	0	1	1	1
0	0	1	1	1	1	1
0	1	0	1	0	1	1
0	1	1	1	1	1	1
1	0	0	1	1	0	1
1	0	1	1	1	1	1
1	1	0	1	1	1	0
1	1	1	1	1	1	1

Fig. 11.8.1 Tabla de verdad para el caso a)

Como se ve en la tabla si la línea \overline{CS} no está activa no se selecciona ninguno de los integrados, si $A_{13}A_{12} = 00$ se selecciona el primero, si $A_{13}A_{12} = 01$ el segundo y así sucesivamente. También se puede ver que resulta mucho más sencilla una representación en forma de maxterms por lo que la expresión analítica de las cuatro funciones en esta representación será:

$$\overline{CS}_1 = A_{13} + A_{12} + \overline{CS}$$

$$\overline{CS}_2 = A_{13} + \overline{A_{12}} + \overline{CS}$$

$$\overline{CS}_3 = \overline{A_{13}} + A_{12} + \overline{CS}$$

$$\overline{CS}_4 = \overline{A_{13}} + \overline{A_{12}} + \overline{CS}$$

En la figura (11.8.2) aparece el esquema general de conexionado.

En esta figura se muestra claramente la necesidad de contemplar la línea de selección. Basta con observar que los cuatro módulos básicos se han podido interconectar formando un bloque cuatro veces más grande gracias a que disponían de una línea de entrada de selección. Ahora hemos conseguido un bloque de tamaño cuádruple, al que introducimos las líneas de dirección que teníamos previamente (A_{11} , ..., A_0) y que pasan directamente a los cuatro módulos, al igual que las señales de entrada y salida

de datos y la de habilitación de escritura. A su vez, introducimos las nuevas líneas de dirección A_{13} y A_{12} que permiten decidir cual de los cuatro módulos debe ser accedido y la nueva línea externa \overline{CS} que permite la habilitación de todo el circuito.

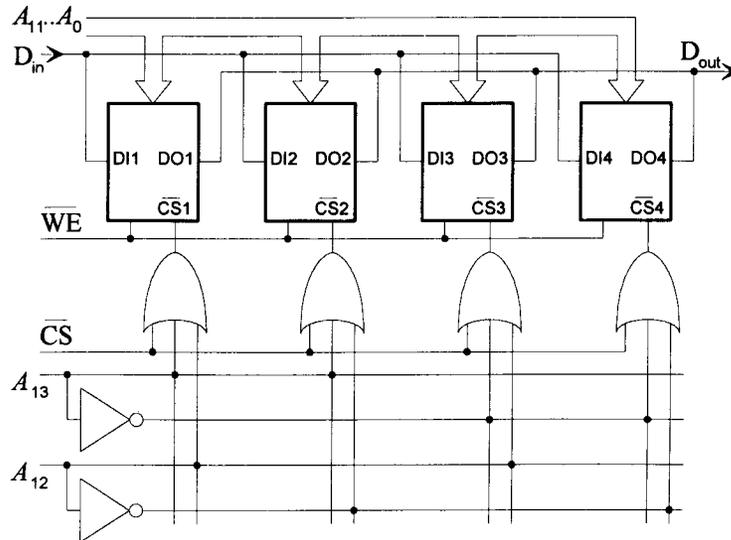


Fig. 11.8.2 Circuito resultante para conseguir una memoria de 16384 palabras de 1 bit

- B) Ahora, como debemos considerar palabras de dos bits, los integrados deben seleccionarse de dos en dos ya que el bit bajo y el bit alto de la palabra deben ser accedidos simultáneamente. Según esto, los integrados que almacenen bits distintos de una misma palabra deben tener común las líneas de selección e independientes las de datos, tanto las de entrada como las de salida. Estas últimas, no obstante, serán comunes a sus homólogas en los otros dos integrados.

Puesto que ahora sólo tenemos dos bloques de memoria, basta con añadir una nueva línea de dirección A_{12} . Si denominamos \overline{CS}_1 a la línea de selección del primer bloque y \overline{CS}_2 a la del segundo, razonando de la misma forma que en el apartado anterior, tendremos:

$$\begin{aligned}\overline{CS}_1 &= A_{12} + \overline{CS} \\ \overline{CS}_2 &= \overline{A_{12}} + \overline{CS}\end{aligned}$$

Finalmente, representando estos resultados de forma conjunta, obtenemos el circuito de la figura (11.8.3).

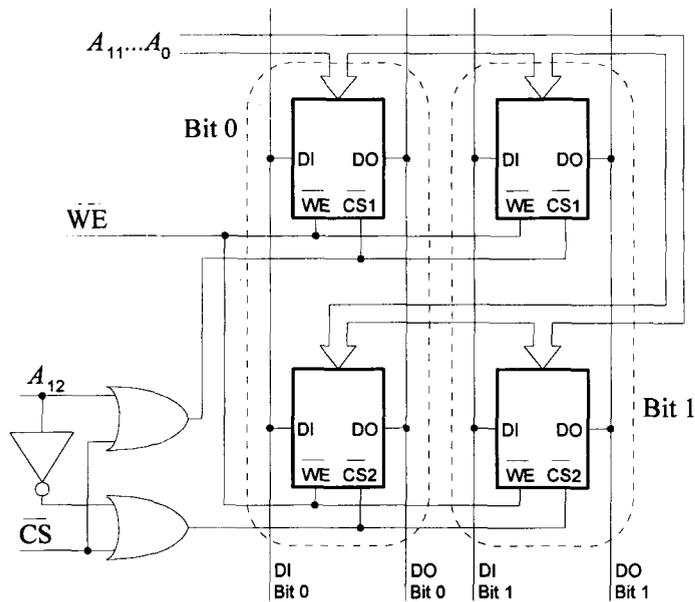


Fig. 11.8.3 Circuito resultante para conseguir una memoria de 8192 palabras de 2 bits



E.11.9 Diseño con memorias CAM

La figura 11.11, del texto de teoría, muestra el esquema conceptual de una memoria CAM incluyendo el "comparando", la "máscara", el "patrón" y el proceso paralelo de comparación con todos los contenidos. Finalmente, incluye el codificador de prioridad para ver si hay alguna coincidencia y para ordenarla en el caso de haber varias. Ya sabemos que existen soluciones integradas para todas estas funciones pero el objetivo de este ejercicio es tratar de diseñar una CAM mínima para reforzar la comprensión de los procesos de lógica combinacional y secuencial que intervienen.

Supongamos entonces que disponemos de una memoria CAM consistente en sólo dos palabras de dos bits, almacenadas en cuatro biestables, R-S. Diseñar los circuitos necesarios para:

- a) Pasar el comparando por la máscara y generar el patrón.
- b) Realizar la comparación simultánea del patrón con las dos palabras de memoria.

c) *Generar cuatro salidas (O_1, O_2, O_3, O_4) dependiendo del resultado de la comparación:*

O_1 : *Si no coincide con ninguna de las dos.*

O_2 : *Si coincide con el contenido de una celda.*

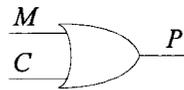
O_3 : *Si coincide con el contenido de la otra celda.*

O_4 : *Si coincide con el contenido de ambas celdas.*

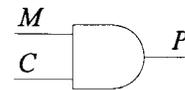
Proponer también todo el circuito de temporización a partir de un reloj principal.

Solución:

- A) Para generar el patrón tenemos dos posibilidades dependiendo de si en la máscara los bits representativos los representamos por ceros o unos. Si los bits que deseamos comparar los representamos por ceros la función que combina la máscara con el patrón debe dejar pasar aquellos bits del comparando que se correspondan con los bits de la máscara. Esto se puede conseguir de forma sencilla con una simple puerta OR. Si por el contrario los bits importantes en la comparación los representamos por unos en la máscara podemos realizar la generación del patrón con una puerta AND. En la figura (11.9.1) aparecen estas dos posibilidades.



a)



b)

Fig. 11.9.1 Circuitos generadores del patrón. a) Suponiendo que la máscara está formada por 0's. b) Suponiendola formada por 1's

- B) Cuando generamos el patrón obtenemos una palabra compuesta por ceros y unos. Los estados intrascendentes "x" no tienen una representación directa en la implementación, con lo que este patrón tiene un propósito más bien conceptual y didáctico.

A la hora de diseñar una memoria CAM es mucho más práctico realizar la comparación directamente entre el comparando y el contenido de cada celda y después aplicar la máscara para eliminar las no coincidencias si las hubiera. Si por el contrario generamos el patrón y después comparamos necesitaríamos todavía otro paso por la máscara para eliminar nuevamente las no coincidencias, con lo que hemos incluido una etapa adicional que no hace más que aumentar el retardo.

Con el objeto de crear un circuito más simple y más rápido consideraremos la primera opción tal y como realiza por ejemplo el integrado Am99C10A. En la figura (11.9.2) aparece el esquema del circuito que realiza la comparación simultánea del comparando con las dos palabras de memoria y después lo filtra con la máscara mediante una puerta NOR. En este caso se ha tomado el criterio de que los bits significativos de la máscara están representados por ceros y que la salida del circuito está en alta cuando el resultado de la comparación es correcto o intrascendente.

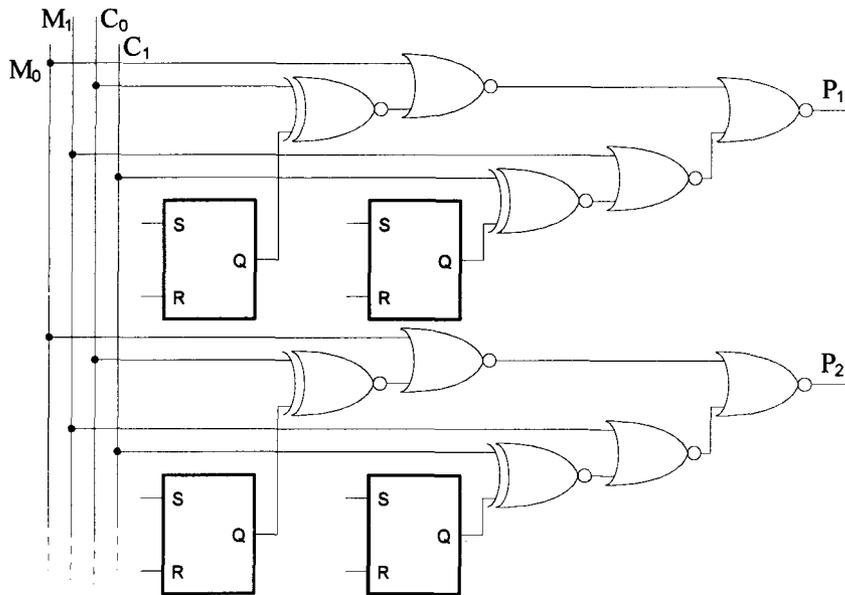


Fig. 11.9.2 Circuito que muestra dos posiciones de memoria de dos bits cada una. La salida P_1 se activa (va a estado alto) cuando se encuentra una coincidencia en la primera palabra o las diferencias corresponden a bits irrelevantes en la máscara. P_2 se activa (va a nivel alto) cuando esta situación se produce en la segunda palabra.

Para obtener la señal de "palabra encontrada" debemos combinar los resultados procedentes de todos los bits de una misma palabra, de forma que proporcione un uno cuando todos los bits se adaptan al comparando o cuando incluso no adaptándose no son relevantes.

Esto se consigue simplemente con una puerta NOR tal y como aparece en la figura (11.9.2).

- C) Para generar las cuatro salidas no necesitamos más que un codificador. En la figura (11.9.3) aparece la tabla de verdad del decodificador y en la figura (11.9.4) el circuito resultante, donde P_i representa la salida de los circuitos comparadores de la palabra i .

P_1	P_2	$O_1 = \overline{P_1} \overline{P_2}$	$O_2 = \overline{P_1} P_2$	$O_3 = P_1 \overline{P_2}$	$O_4 = P_1 P_2$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Fig. 11.9.3 Tabla de verdad del decodificador de salida

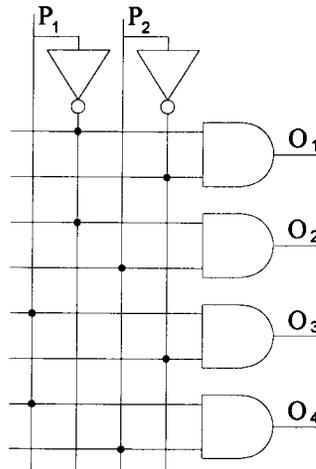


Fig. 11.9.4 Circuito decodificador de la salida

□ □ □ □

E.11.10 Diseño de los circuitos de lectura y escritura para una memoria CAM

En el diseño del ejercicio anterior sólo abordábamos los problemas distintivos de una memoria CAM, sin preocuparnos de la escritura de datos ni de la lectura, en el sentido convencional de las memorias RAM. En cambio, en el ejercicio E.11.5 ya teníamos "resuelto" el problema del direccionamiento, lectura y escritura en biestables R-S.

Realizar ahora una síntesis de ambos ejercicios dotando al circuito solución del ejercicio anterior de la capacidad de lectura y escritura en el sentido RAM. Es decir:

- a) Diseñar los circuitos necesarios para seleccionar una u otra de las dos únicas direcciones de memoria.
- b) Diseñar los circuitos necesarios para leer el contenido de las direcciones de las celdas seleccionadas, es decir, las correspondientes a las salidas O_2 y O_3 del ejercicio anterior (E.11.9).

Solución:

- A) Combinando los circuitos de las figuras (11.5.4) y (11.9.2) obtenemos el circuito de la figura (11.10.1), donde se ha duplicado toda la circuitería para acceder a los dos bits de la palabra. En este circuito se han incluido todos los elementos necesarios para seleccionar una palabra tanto para lectura como para escritura. Para no complicar el esquema, se han eliminado las líneas de máscara y comparando así como las puertas XNOR y NOR que las combinan con las salidas de los biestables y que se muestran en la figura (11.9.2).

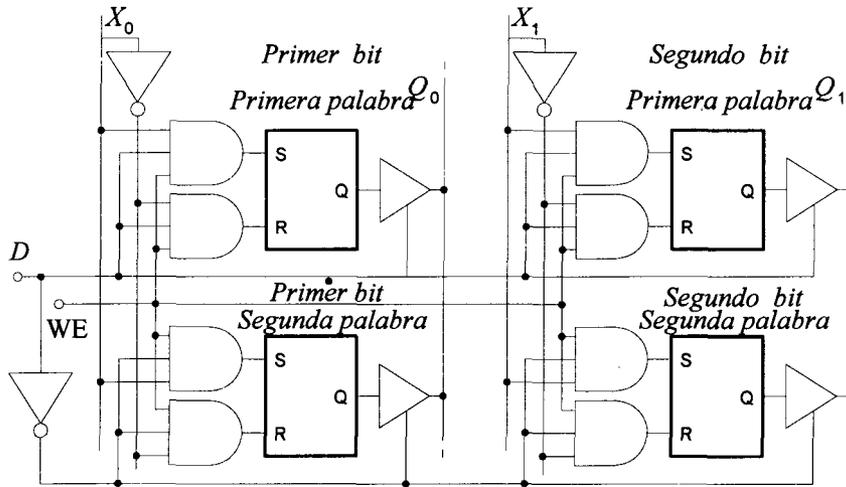


Fig. 11.10.1 Resultado de combinar las soluciones propuestas en las figuras (11.5.4) y (11.9.2).

- B) El circuito de la figura (11.10.1) dispone de una señal para direccionar de forma independiente cada una de las palabras a través de las señales D y \bar{D} . Podemos sustituir estas señales por O_2 y O_3 con lo que tenemos resuelto el problema. No obstante, si queremos mantener las dos posibilidades de direccionado lo podemos

conseguir con ayuda de una nueva señal que permita seleccionar uno u otro modo de acceso. Esto se puede conseguir sencillamente con un MUX de dos a uno tal y como aparece en la figura (11.10.2).

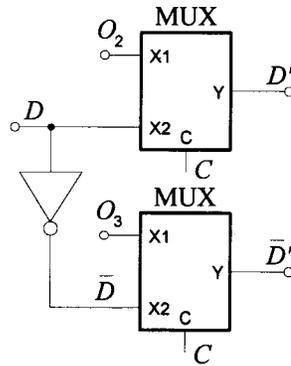


Fig. 11.10.2 MUX necesarios para seleccionar uno u otro modo de direccionamiento

Con ayuda de la señal de control C generamos las nuevas líneas de selección de dirección D' y \bar{D}' . También podríamos haber sintetizado un circuito a base de puertas lógicas, pero con los multiplexores se ilustra más claramente la doble posibilidad de direccionado.

Memorias de acceso secuencial

PROPÓSITO

En este capítulo hemos visto en teoría la organización de las memorias de acceso secuencial (FIFO, LIFO), basadas en estructuras tipo registro de desplazamiento y algunos aspectos básicos de las tecnologías soporte (etapas dinámicas en MOS y CMOS y dispositivos acoplados por carga). Para intentar conectar con el mundo real hemos usado circuitos comerciales tipo Am7005-A de AMD para describir los procesos de lectura y escritura y los circuitos de control. Sin embargo, la complejidad inherente a este tipo de circuito hace que el alumno se aleje de la estructura interna y posea sólo una visión de usuario (esquemas de conexión y significado funcional de los terminales), tal y como ocurría en los circuitos del capítulo anterior. Para evitar en parte estos problemas se proponen una serie de ejercicios en los que se pide, de nuevo, una versión mínima de los comerciales. Al reducir el número de palabras y de bits en cada palabra y al simplificar los circuitos de control (eliminando algunas de las funcionalidades del circuito real) nos podemos permitir bajar a la estructura interna y forzar a la realización de un diseño usando componentes de complejidad razonable y ya conocidos de temas anteriores.

En algunos casos incluiremos también cuestiones que complementen a la teoría y ayuden a comprender la estructura de los registros a nivel de dispositivos activos y síntesis en tecnología discreta. Evidentemente, el propósito en todos los casos es de naturaleza académica.

Al igual que en el tema anterior una última intención de estos problemas es ayudar a la comprensión de las hojas de datos en los catálogos de las distintas casas comerciales.



EJERCICIOS RESUELTOS

E.12.1 Estudio comparativo CCD y MOS

¿Por qué decimos que las estructuras de los registros de desplazamiento en CCD pueden considerarse como transistores MOS multipuerta?. Proponer un circuito con transistores MOS en tecnología discreta que realice la misma función secuencial que el circuito mostrado en la figura 12.7 del texto de teoría.

Solución:

- A) Decimos que la estructura de los registros de desplazamiento en CCD se puede considerar como transistores MOS multipuerta por la forma en que están contruídos. Si nos fijamos en el corte transversal que se muestra en la figura 12.6 del texto de base de teoría (que repetimos aquí por comodidad como figura 12.1.1) vemos que tenemos dos zonas n^+ que serían el equivalente a los terminales fuente (S) y drenador (D) en un transistor MOS y varios terminales independientes, donde se conectan las distintas fases del reloj (ϕ_1, ϕ_2, ϕ_3) que hacen las funciones de "puertas adyacentes" activas en intervalos de tiempo sucesivos. Su misión es crear un pozo de potencial ante cada pulso de reloj para almacenar transitoriamente el paquete de carga correspondiente a la señal introducida por el terminal ID.

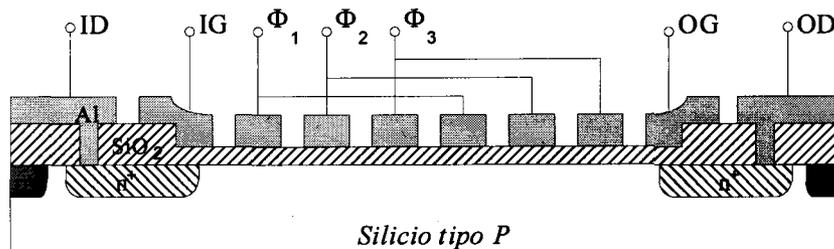


Fig. 12.1.1 Corte transversal de un dispositivo CCD superficial de 2 bits mandado por un reloj de 3 fases, (Φ_1, Φ_2 y Φ_3) que actúa como un registro de desplazamiento.

Por eso decimos que el registro CCD actúa como un transistor multipuerta. En realidad, la analogía más próxima sería la de varios transistores MOS conectados en serie de forma que el drenador de uno sea la fuente del siguiente, tal como se ilustra en la figura (12.1.2).

- B) Para dos fases y de forma muy simplificada podríamos usar un circuito como el de la figura (12.1.3) que usa inversores CMOS y transistores de acoplo activados por el reloj bifásico. En la parte a) de la figura se muestra el circuito y en la parte b) el cronograma para la entrada (1 0 1 1 0 1).

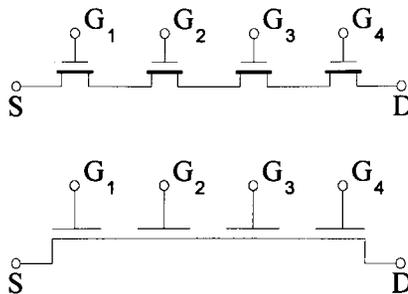


Fig. 12.1.2 Analogía de la parte central del registro CCD en términos de un conjunto de transistores MOS conectados en serie y con terminales de puerta activados de forma sucesiva por las distintas fases de un reloj polifásico.

Seguimos el camino del primer estado de alta: como el transistor Q_1 es de canal N , cuando la fase de reloj ϕ_1 está en alta este transistor conduce y facilita el paso de la señal a la entrada del inversor (Q_3, Q_4). A la vez, comienza la carga del condensador C_1 (señal V_{C1} del cronograma) hasta el umbral de conducción del transistor de canal N que hace de driver del primer inversor (Q_3, Q_4). Esto hace que la señal en A pase a baja (0 lógico), mientras que el transistor de canal P , que hace de carga activa (Q_3), soporta toda la tensión (V_{CC}). Al cambiar de estado las fases del reloj (ϕ_1 en baja y ϕ_2 en alta), Q_2 pasa a conducción, lleva a baja la entrada del segundo inversor y la salida pasa a alta ya que ahora conduce la carga activa (Q_5) y no el driver (Q_6). Hemos llegado así con un pulso desde la entrada hasta la salida, con lo que se demuestra la función de registro de desplazamiento que caracteriza al circuito. Para tres fases (caso del enunciado) bastaría con añadir otro módulo como los dados en la (12.1.3 a).

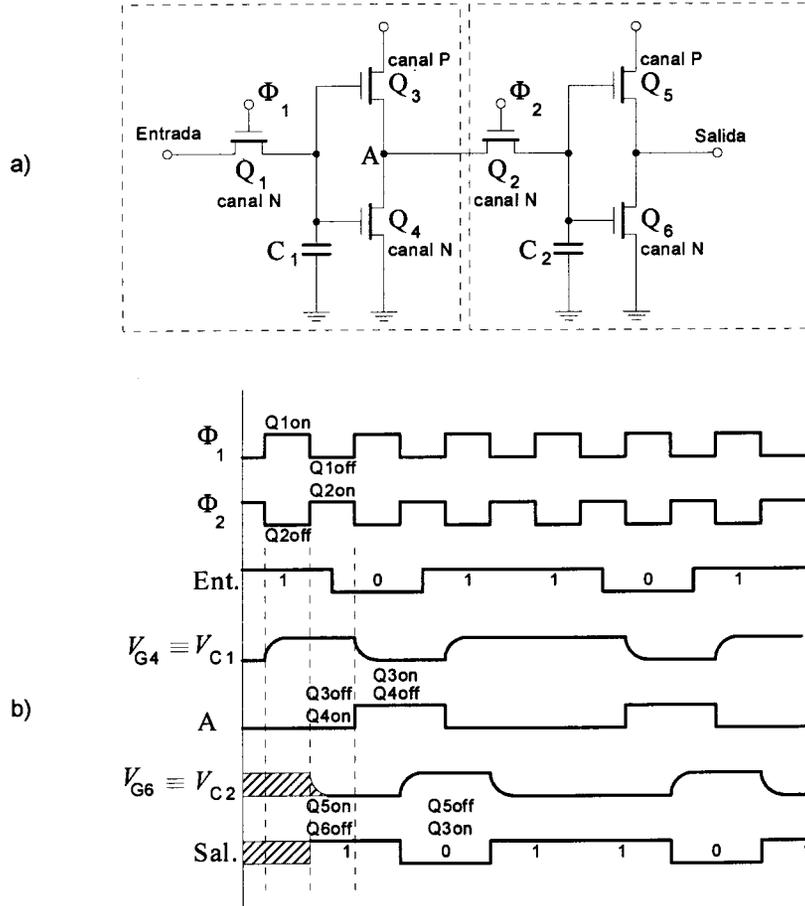
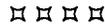


Fig. 12.1.3 Propuesta en tecnología discreta.
a) Circuito y b) Cronograma para la secuencia 101101



E.12.2 Análisis de un registro de desplazamiento con reloj bifásico

Dibujar la evolución temporal de la tensión en el punto P_3 (drenador del transistor Q_4) en el circuito de la figura (12.2.1) cuando en la entrada, V_i , aparece la secuencia 110101. Asociar el valor de esta tensión con el correspondiente a los pulsos ϕ_1 y ϕ_2 del reloj bifásico que controla el desplazamiento.

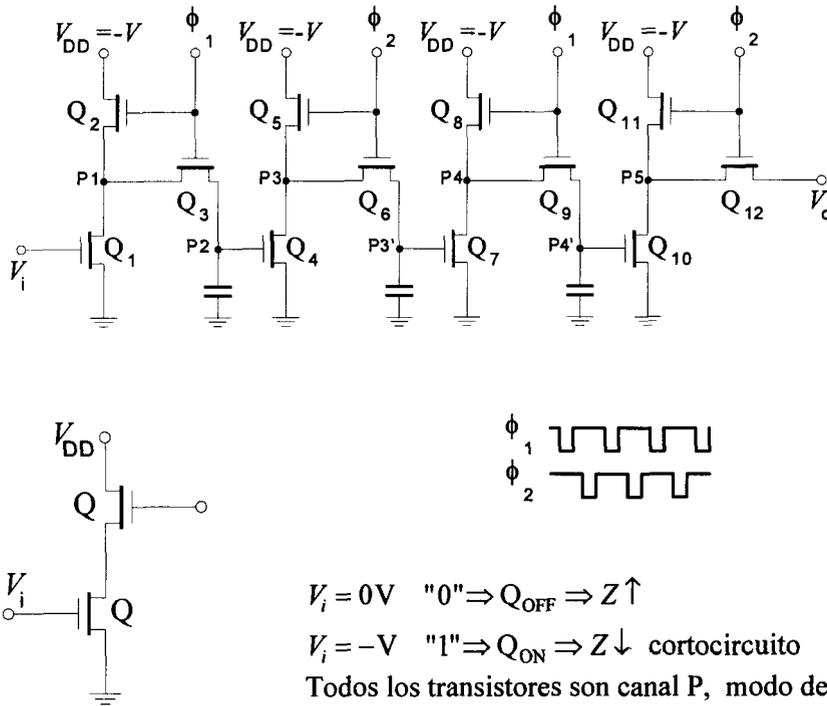


Fig. 12.2.1 Ejemplo de registro de desplazamiento usando reloj bifásico

Solución:

El circuito de la figura corresponde a un registro de desplazamiento en MOS dinámico y lógica negativa. La contestación a este ejercicio la ofrecemos de forma gráfica en la figura (12.2.2).

Empezamos poniendo las fases del reloj y recordando que trabajamos con lógica negativa y $V_{DD} = -V$. Cuando $V_i = 0V$, los transistores no conducen y ofrecen alta impedancia, aislando los condensadores. Inversamente, cuando $V_i = -V$, los transistores conducen, presentando baja impedancia para el acople de señales y para la descarga de los condensadores. Trabajamos con canal P y modo de realce.

Para comprender la solución gráfica propuesta, aconsejamos seguir en paralelo el camino de la señal en el circuito y en el cronograma, comprobando su correspondencia.

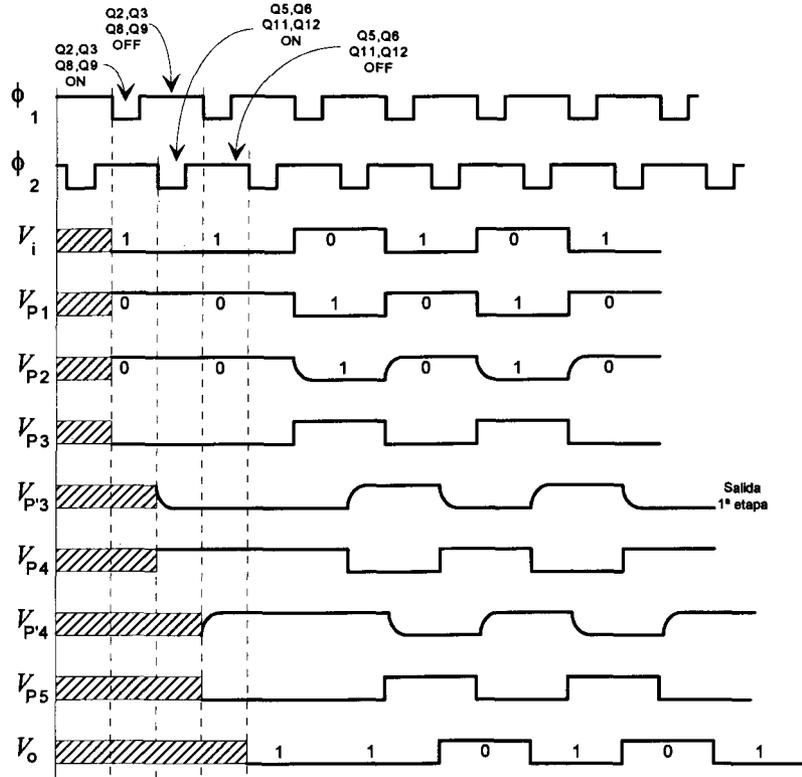


Fig. 12.2.2 Cronograma

□ □ □ □

E.12.3 Registro CMOS con puertas de transmisión

En la figura 12.5 del texto de teoría (repetida aquí como fig. 12.3.1), se ha propuesto un esquema de una etapa de registro en CMOS sin desarrollar mucho la explicación de su funcionamiento, basado en el funcionamiento de las puertas de transmisión mandadas por un reloj monofásico (ϕ) y su señal complementaria ($\bar{\phi}$) y en los inversores CMOS que estudiamos en el capítulo 4.

Apoyándonos en las figuras 4.12 y 4.16 del capítulo 4 de teoría, explicar el funcionamiento de la mencionada figura (12.3.1). Dibujar el cronograma de la evolución de las señales en I_1 , I_2 y V_o , cuando en la entrada de la etapa, V_i , aparece la secuencia 010010. Usar como referencia las señales de reloj ϕ y $\bar{\phi}$.

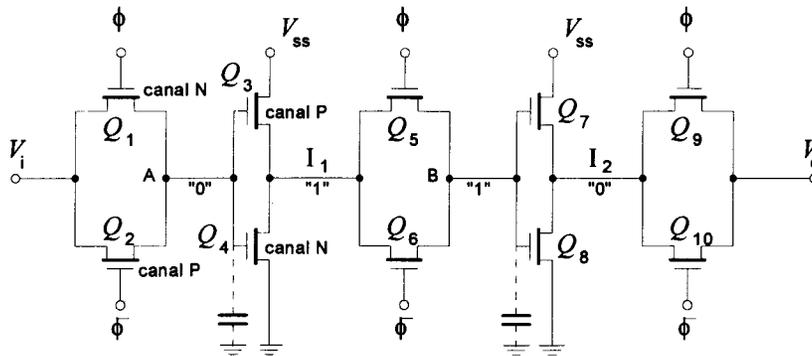


Fig. 12.3.1 Registro en CMOS

Solución:

En la figura (12.3.1) hemos añadido los nombres de los transistores Q_1, \dots, Q_{10} para facilitar la descripción del funcionamiento y la obtención del cronograma correspondiente. También hemos incluido los puntos A y B a la salida de las puertas de transmisión, por ser puntos de interés en el cronograma.

El circuito consta de tres puertas de transmisión y dos inversores cuyo funcionamiento por separado se conoce desde el tema 4. La respuesta a la entrada 010010 es la que se muestra en el cronograma de la figura (12.3.2) y vamos a usar este cronograma para explicar la transmisión, tras tres pulsos de reloj, desde las entradas de (Q_1, Q_2) hasta las salidas de (Q_9, Q_{10}) .

El circuito utiliza una única fase, ϕ , y su complementaria, $\bar{\phi}$, para abrir y cerrar las puertas de transmisión que actúan como conmutadores. Cuando ϕ está en alta, Q_1, Q_5 y Q_9 conducen. Como Q_2, Q_6 y Q_{10} son de canal P, también pasarán a conducción en esos mismos intervalos ya que su tensión de puerta es $\bar{\phi}$.

En el cronograma se muestra el paso del primer bit desde (Q_1, Q_2) hasta (Q_9, Q_{10}) marcado con flechas y acentuando el pequeño retardo que introducen las puertas de transmisión. Inicialmente $\phi = 0$ y $\bar{\phi} = 1$ y aunque en la entrada está presente el primer bit de la señal ($V_i = 0$), esta no pasa al punto A (entrada del primer inversor), hasta que ϕ no pase a "1" y $\bar{\phi}$ a "0" que es cuando los transistores Q_1 y Q_2 pasan a

conducción. En I_1 aparece invertida y tras un nuevo retardo introducido por la puerta de transmisión formada por Q_5 y Q_6 , la señal aparece en B. En I_2 aparece de nuevo invertida y, finalmente, tras tres pulsos de reloj, la señal está en V_o .

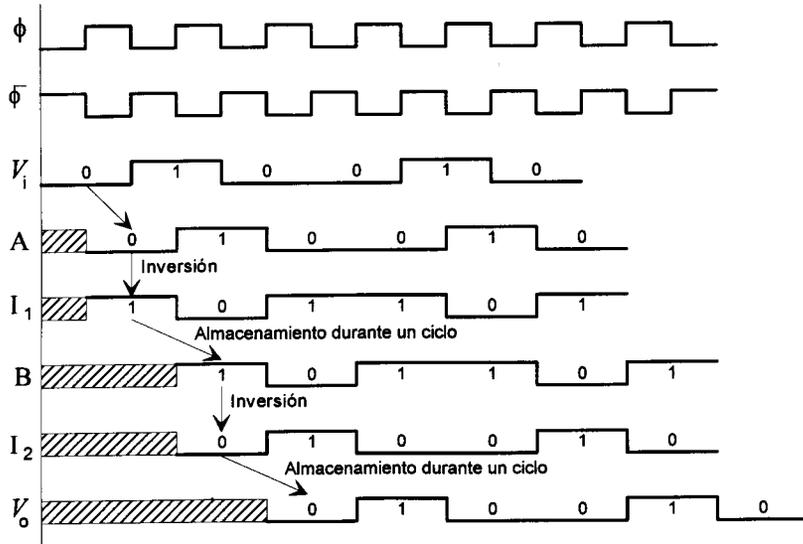


Fig. 12.3.2 Cronograma

Finalmente, tras la solución de los problemas del capítulo 10, la última cuestión de este problema es trivial. Para generar las señales ϕ y $\bar{\phi}$ usaríamos un 555 en configuración astable para onda cuadrada ($R_A = R_B$, para la configuración con diodo) y un inversor.

□ □ □ □

E.12.4 Diseño de circuitos para estructuras de memorias secuenciales

En la figura 12.3 del texto de teoría, se muestran tres organizaciones típicas de memorias secuenciales. a) Organización serie. b) Organización por lazos con direccionamiento directo para cada lazo y secuencial dentro del lazo y c) organización serie-paralelo-serie.

Diseñar los circuitos de control correspondientes para una versión mínima de cada una de estas organizaciones, sin considerar los mecanismos de refresco.

- a) Se dispone de cuatro biestables D , puertas lógicas y circuitos de tiempo tipo 555. Proponer las conexiones adecuadas para entrada y salida de datos y control del desplazamiento en una memoria secuencial de 4 bits con organización serie.
- b) Partiendo de los mismos circuitos del apartado anterior diseñar una organización con dos lazos de 2 bits cada uno, incluyendo junto a los mecanismos de entrada, salida y desplazamiento, los correspondientes al decodificador de las direcciones de los dos lazos.
- c) Usando de nuevo los circuitos diseñados en los apartados anteriores y 4 biestables D adicionales, diseñar la versión mínima de la estructura serie-paralelo-serie. Es decir, un registro de 2 bits, dos vías paralelas de dos bits cada una y otro registro serie de salida, también de 2 bits.

Solución:

Caso a:

Empezaremos usando los cuatro biestables D para construir el registro de desplazamiento y usaremos un 555 en configuración astable para generar la señal de reloj que entra a los terminales Clk de los biestables D . Hemos cerrado el lazo conectando la salida del último biestable, Q_3 , con la entrada del primero a través de un MUX que, de acuerdo con las señales de control, deje pasar nuevos datos o recircule los que ya estaban previamente cargados.

Para entender la función del circuito de control conviene distinguir los cuatro modos de funcionamiento de esta memoria secuencial que maneja la información en palabras de cuatro bits. En el ejemplo propuesto, de extrema simplicidad, sólo admite una palabra de forma que los modos de funcionamiento nos deben permitir la escritura de cuatro bits sucesivos, su recirculación, la lectura no destructiva y la lectura/escritura tipo FIFO. La tabla de la figura (12.4.1) resume estos modos de funcionamiento y la configuración de control que los habilita. Como necesitamos cuatro configuraciones nos bastan dos bits de control, C_1 y C_2 .

Para obtener ahora el circuito completo debemos añadir las puertas OR que nos hagan compatibles los cuatro modos de funcionamiento, de forma que a la entrada del primer biestable tengan acceso tanto los datos externos como los procedentes de recirculación. Análogamente la salida del último biestable, dependiendo del modo, estará accesible sólo para volverse hacia la entrada (modo de recirculación) o ambas cosas. La figura (12.4.2) muestra el circuito completo.

Control		Modo	Circuito
C_1	C_2		
0	0	Escritura	
0	1	Recircular	
1	0	Lectura no destructiva	
1	1	Lectura/Escritura (organización FIFO)	

Fig. 12.4.1 Tabla que muestra el proceso constructivo del circuito de control modo a modo.

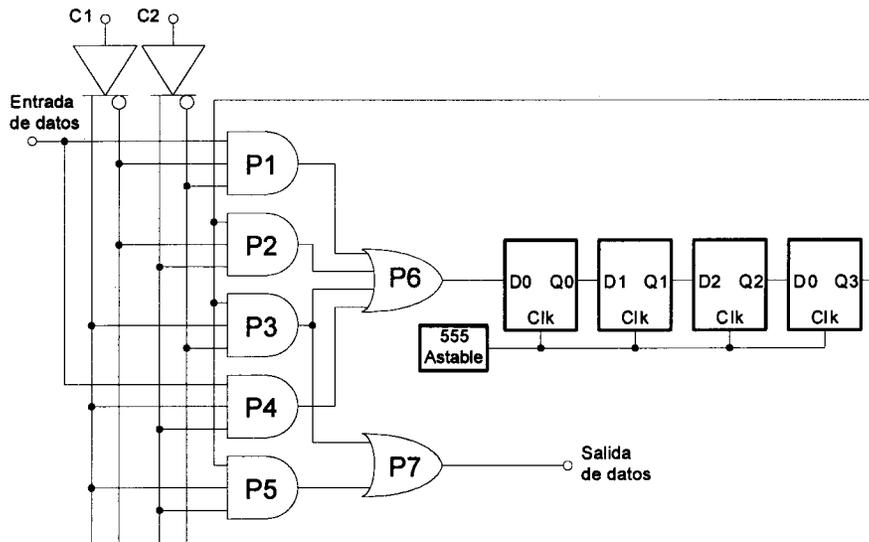


Fig. 12.4.2 Circuito completo para el caso a)

C_3	Lazo 1			Lazo 2		
	C_1	C_2	función	C_1	C_2	función
1	0	0	Escritura	0	1	Recircula
1	0	1	Recircula	0	1	Recircula
1	1	0	Lectura no destructiva	0	1	Recircula
1	1	1	Lect/Esc Organización Fifo	0	1	Recircula
0	0	1	Recircula	0	0	Escritura
0	0	1	Recircula	0	1	Recircula
0	0	1	Recircula	1	0	Lectura no destructiva
0	0	1	Recircula	1	1	Lect/Esc Organización Fifo

Fig. 12.4.3 Organización por lazos. Tabla de verdad del circuito de control. Cuando $C_3 = 1$, el lazo 2 recircula. Cuando $C_3 = 0$, el lazo 1 recircula. En el lazo seleccionado, C_3 transfiere el control de modo a C_1 y C_2 como en el caso a).

Caso b:

En este caso la organización para cada lazo coincide con la propuesta en el caso anterior. Lo único que necesitamos añadir es el decodificador que nos permita la selección de lazo de forma análoga a como se seleccionaba una celda RAM. Dada la sencillez del problema (sólo dos lazos de dos bits) nos basta con una nueva variable de control, sea C_3 , para seleccionar el lazo.

Veamos ahora las funciones que debe realizar la nueva variable de control C_3 . Mientras un lazo está seleccionado el otro debe, simplemente, mantener su contenido, es decir, recircular. Durante la recirculación del lazo no seleccionado pueden estar activos cualquiera de los cuatro modos vistos en el apartado anterior, dentro del lazo seleccionado (figura 12.4.3). El hecho de recircular no modifica el contenido de la memoria pero sí su significado, ya que los bits cambian de posición y por lo tanto representarán en conjunto otro dato binario distinto. Si esto fuera un problema, se debería inhibir el reloj de forma que no se produzca ninguna modificación. La figura (12.4.4) muestra el circuito completo. Obsérvese que ahora el circuito de control anterior (formado por las puertas 1 a 5) se ha duplicado. La parte superior controla el lazo 1 y la parte inferior el lazo 2. Además, se ha añadido la puerta 6 para permitir que la señal recircule en el lazo correspondiente cuando el otro lazo está seleccionado.

Así, cuando $\overline{C_3}C_2C_1$ está en alta está seleccionado el lazo 2 y hay recirculación en el lazo 1, e inversamente, cuando $C_3C_2\overline{C_1}$ está en alta hay recirculación en el lazo 2 y el lazo 1 es el seleccionado.

Caso c:

Para el caso Serie-Paralelo-Serie la configuración mínima consta de:

- 1) Un registro de entrada de dos bits que acepta palabras en serie y la descarga en paralelo.
- 2) Dos registros de desplazamiento de dos bits cada uno con entrada serie y salida serie (con estructura FIFO), y
- 3) Un registro de salida, también de dos bits, con entrada paralelo y salida serie.

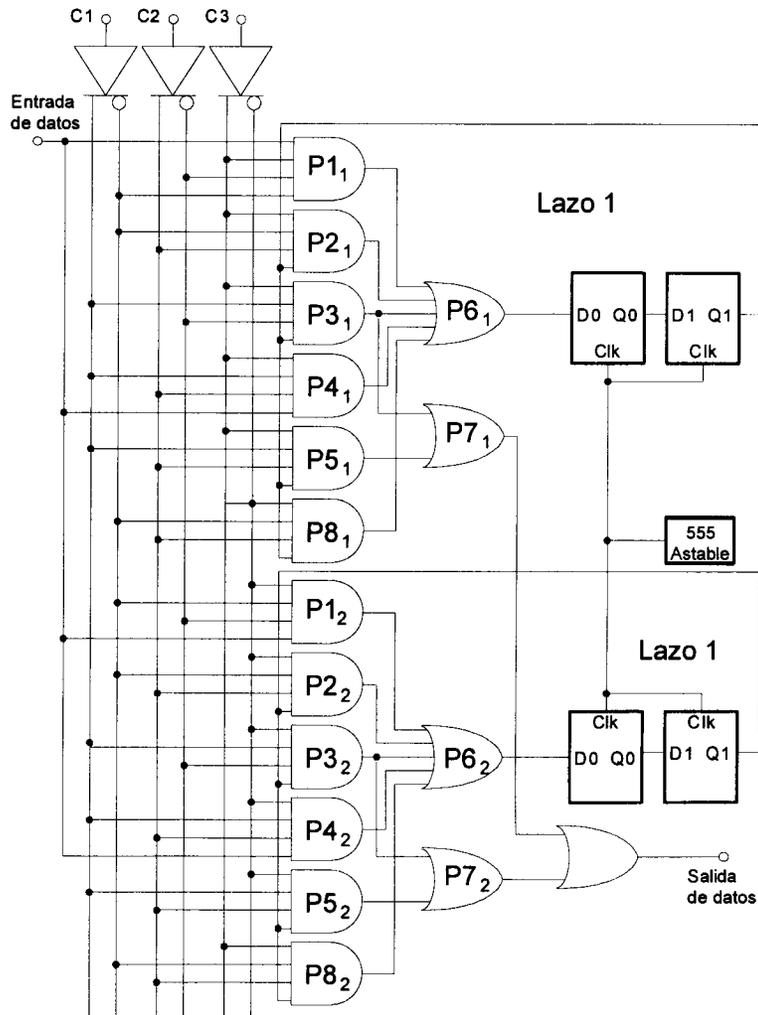


Fig. 12.4.4 Circuito completo para el caso b), de acuerdo con la tabla de control mostrada en la figura (12.4.3)

Por simplicidad en el circuito de control supondremos un único modo de funcionamiento en el que la escritura, el desplazamiento y la lectura coexisten. Para la síntesis del circuito de control usaremos un reloj principal, astable que genera la señal *Clk*, un monoestable que genera un retardo mayor que $2T$ (MSB1) y una puerta AND (A_1) y un inversor (I_1) que generan respectivamente las señales *Clk1* y *Clk2*. Con *Clk1* controlamos el registro de entrada. Con *Clk2* controlamos los registros paralelos

que constituyen la memoria propiamente dicha y, finalmente, con *Clk* controlamos el registro de salida. La figura (12.4.5) muestra el cronograma correspondiente.

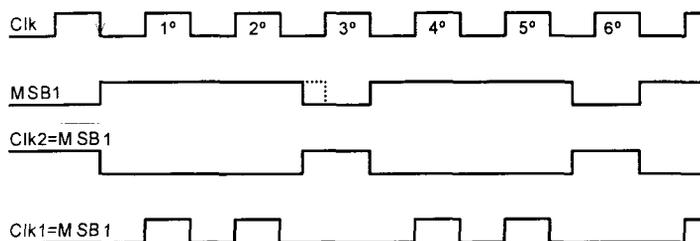


Fig. 12.4.5 Cronograma

Veamos ahora la justificación de este cronograma. Durante los dos primeros pulsos de *Clk* se carga la primera palabra de dos bits en el registro de entrada. Durante el tercer pulso del reloj básico (*Clk*), que aparece en *Clk2* pero no en *Clk1* se transfieren en paralelo los dos bits del registro serie de entrada a las primeras celdas de la memoria ($Q_1^E \rightarrow Q_{10}^M, Q_0^E \rightarrow Q_{00}^N$). Durante los pulsos cuarto y quinto de *Clk*, que aparecen en *Clk1* pero no en *Clk2*, se carga la siguiente palabra en el registro de desplazamiento de entradas. Finalmente, con el sexto pulso se transfieren estos datos a la primera celda de memoria a la vez que el anterior contenido de esta celda se desplaza a la segunda ($Q_{10}^M \rightarrow Q_{11}^M, Q_{00}^N \rightarrow Q_0^N, Q_1^E \rightarrow Q_{10}^M, Q_0^E \rightarrow Q_{00}^N$). Con esto finaliza el ciclo de escritura.

El ciclo de operación de esta manera consta de 6 pulsos de reloj que es el tiempo que se tarda en leer/escribir 2 palabras de 2 bits. Así los pulsos 1°, 7°, 13° son equivalentes, también lo son el 2°, 8°, 14°, una vez superado el transitorio inicial.

Para la lectura se realiza el proceso inverso pasando primero de paralelo a serie desde la memoria al registro de salida y sacando al exterior, en serie, las dos palabras de dos bits. Supongamos que partimos de la memoria ya cargada (pulso sexto del cronograma). A partir de ahora cada vez que se escribe se lee. Durante el primer pulso de este ciclo los registros desplazan el bit que tienen almacenado de forma que la última celda transfiere su contenido a los dos biestables del registro de salida. Este pulso de *Clk* facilita a la vez la entrada y salida de datos, es decir la escritura en los registros de entrada y la lectura de los registros de salida. Las celdas de memoria quedan sin modificar sus contenidos porque *Clk2* está a "0". Durante los pulsos

segundo y tercero del ciclo se leen los bits en el registro de salida. Además, durante este tercer pulso, también se realiza el desplazamiento en la memoria pasando los contenidos de Q_{10}^M y Q_{00}^N a Q_{01}^M y Q_{01}^N respectivamente ya que $Clk2$ está en alta. El cuarto pulso facilita la descarga de la siguiente palabra, y en los pulsos quinto y sexto se vuelve a leer esta palabra desde el registro de salida.

La figura (12.4.6) muestra el circuito completo. Obsérvese en la parte de salida que las puertas A2, A3 y O1 actúan como un MUX para permitir que los relojes Clk y $Clk2$ actúen facilitando el desplazamiento y la carga del registro de salida.

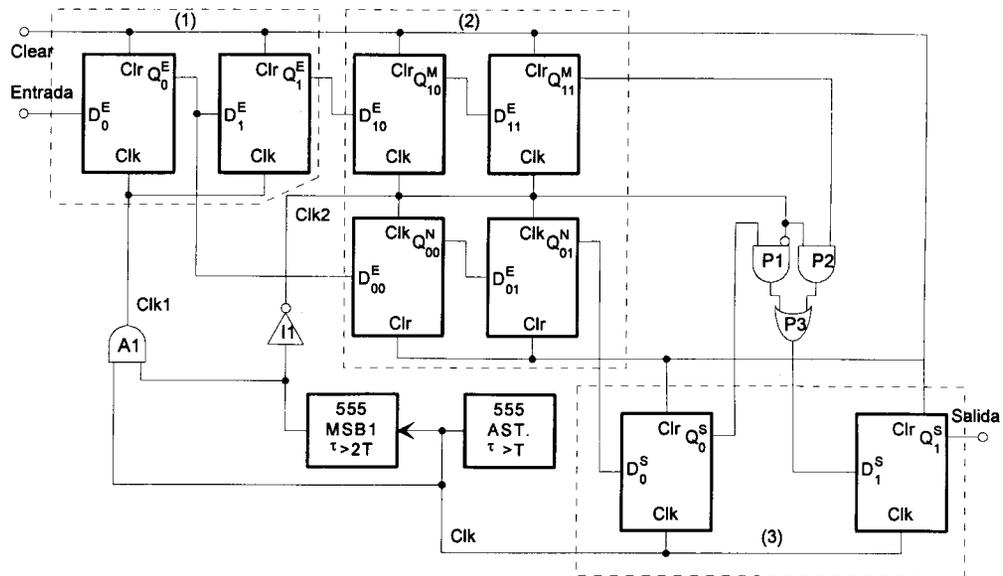


Fig. 12.4.6 Circuito completo

□ □ □ □

E.12.5 Conexión en serie y en paralelo de dos memorias FIFO

En la figura 12.8 del texto base, se muestra el diagrama de bloques de una memoria FIFO integrada para 8192 palabras de 9 bits sobre una estructura RAM con posibilidad de lectura y escritura síncrona.

Manteniendo todos los bloques funcionales (control de lectura, control de escritura, memoria RAM, punteros, bit de condición, lógica de reset y lógica de expansión), diseñar una versión mínima para cuatro palabras de dos bits. ¿Cómo podríamos conectar en serie y en paralelo dos FIFO's mínimas de este tipo?. Considerar el procedimiento propuesto en las figuras 12.10 y 12.11 para circuitos reales más complejos.

Solución:

El circuito de partida es una memoria FIFO comercial y actual de la que aquí buscamos una versión mínima. La parte central es una memoria secuencial de cuatro palabras de dos bits que se obtiene con dos registros de desplazamiento de cuatro biestables D cada uno. Dejaremos de momento aparcado el problema de la expansión, tanto en profundidad (mayor número de palabras de igual número de bits) como en anchura (igual número de palabras pero de mayor número de bits cada una).

El problema de diseño de una memoria FIFO está en los circuitos de control que permiten la lectura desde la última celda, la escritura en la primera y el desplazamiento de una celda a la siguiente. Estos procesos de lectura y escritura se completan con la detección del estado de la memoria para que no sigamos escribiendo cuando ya está llena, ni podamos leer cuando está vacía.

Las señales de entrada al circuito deberán ser:

- 1.- Dos líneas para datos de entrada (D_0 y D_1).
- 2.- Señal de escritura (W). Cuando está activa se escribirá el dato que en ese momento está en línea de entrada de datos si no existe ninguna señal de estado que lo prohíba por estar llena (señal \overline{FF}).
- 3.- Señal de lectura (\overline{R}). Cuando esté activa presentará los datos almacenados en la última dirección de memoria sobre las líneas de salida (Q_0 , Q_1). De nuevo, para que la orden de lectura sea efectiva el bit de estado que detecta que no está vacía debe estar activo (\overline{EF}).

En una memoria FIFO, cuando introducimos un nuevo valor, todo el contenido de la memoria se desplaza una posición como si se tratase de un registro de desplazamiento. A la vez que se produce el desplazamiento el puntero de lectura incrementa su valor ya que el dato que debe ser leído en la próxima lectura ha avanzado su posición. Por el contrario, cuando se produce una lectura, el puntero disminuirá el valor con lo que habremos sacado un elemento de la memoria FIFO.

Tendremos por tanto un registro de desplazamiento sobre el que debemos implementar, tal como sugiere el enunciado, un acceso aleatorio (memoria RAM), por lo que necesitaremos un decodificador de direcciones. Las entradas de este decodificador de direcciones vienen de la salida de un contador que almacena el número de posiciones que se han escrito. Este contador se incrementa al escribir y se decrementa al leer. Las salidas de este decodificador nos pueden proporcionar directamente el estado de la memoria. Como el contador almacena el número de celdas ocupadas, con ayuda del decodificador de direcciones podemos obtener de forma sencilla las señales de memoria vacía (*EF*) y memoria llena (*FF*). Puesto que el acceso es secuencial si el contador contiene un cero la memoria está vacía. Si está llena su contenido será igual al número de celdas de que dispone la memoria, que en nuestro caso es cuatro. De esta forma, las señales de memoria vacía y memoria llena las obtenemos de las correspondientes líneas del decodificador.

En la figura (12.5.1) se muestra la estructura elemental de la FIFO.

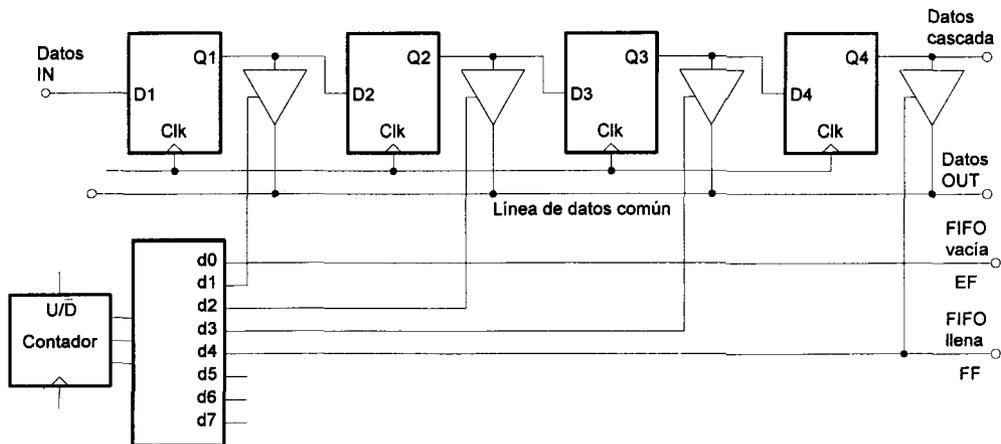


Fig. 12.5.1 Estructura elemental de la memoria FIFO para palabras de un bit sin el control.

En esta figura podemos ver el registro de desplazamiento, el contador, el decodificador, y como se unen las salidas a una línea de datos común a través de una puerta triestado. El decodificador de direcciones se encarga de habilitar una y solo una de las salidas de los biestables. Puede ser que no se habilite ninguna. Esto sucede cuando la memoria está vacía. Esta línea de datos es común a todos los módulos si deseamos hacer una ampliación en cascada. En este caso tendremos tres tipos de módulos:

- Los que están completamente vacíos.
- Los que están completamente llenos.
- El que está parcialmente lleno (puede no haber ninguno en esta situación).

Los primeros no plantean problema puesto que su decodificador inhabilita las salidas de todos sus biestables. Sin embargo, todos aquellos que estén completamente llenos habilitarán la salida de la última celda, al igual que lo hará la salida correspondiente del módulo que esté parcialmente lleno (si existe). ¿Cómo podemos evitar este problema?. La solución es realmente simple, puesto que el llenado es puramente secuencial, sólo debe habilitarse la última salida. Basta por tanto con introducir a cada módulo la señal de vacía del módulo siguiente. De esta forma, cada módulo sólo activará la última salida si el módulo siguiente está completamente vacío. Esto es lógico, ya que si no estuviese vacío, el primer dato introducido (la cabeza de la FIFO) estaría en el módulo siguiente.

Veamos ahora las señales internas de control:

Tanto en los procesos de lectura como en los de escritura cuando no pueden realizarse, por estar vacía o llena la memoria, respectivamente, se deben inhibir los pulsos de reloj.

La señal de memoria llena (*FF*) debe inhabilitar la escritura, y de la misma forma, la señal de memoria vacía (*EF*) debe inhabilitar la lectura. Por otra parte debemos distinguir entre dos relojes: por una parte el reloj que incrementará y decrementará el contador y por otra el que se encarga de controlar a los biestables para producir la carga de los datos de entrada y el desplazamiento. La diferencia entre ambos es que el del contador debe inhabilitarse cuando el módulo está lleno o vacío. Sin embargo, el de los biestables debe permanecer habilitado aunque el módulo este lleno siempre que todavía haya celdas disponibles en otros módulos. Necesitaremos por tanto una señal de módulo lleno y otra de memoria llena (todos los módulos llenos). La señal de módulo lleno ya se comentó que se puede obtener directamente del decodificador. La señal de todos los módulos llenos coincide con la del último módulo. La memoria no está llena si no lo está el último módulo y viceversa.

El reloj de desplazamiento debe estar activo cuando queramos escribir (o leer y escribir simultáneamente) y la memoria no está completamente llena. Según esto será:

$$Clk(desp.) = W \cdot \overline{FF} \cdot Clk.$$

El reloj del contador de cada módulo debe habilitarse cuando queramos escribir y no esté lleno (el módulo) o queramos leer y no esté vacío (el módulo). Si además añadimos la posibilidad del encadenamiento, sólo un módulo debe ser activo en cada momento. Este módulo activo será aquel que tenga el módulo anterior completamente lleno y el siguiente completamente vacío. Debe estar inhabilitado también cuando realicemos una lectura y escritura simultáneas, ya que en ese caso debería incrementarse y decrementarse.

Según esto:

$$Clk(cont.) = (W \cdot \overline{R} \cdot \overline{d_4} \cdot FF_{ant} + \overline{W} \cdot R \cdot \overline{d_0} \cdot EF_{sig}) Clk$$

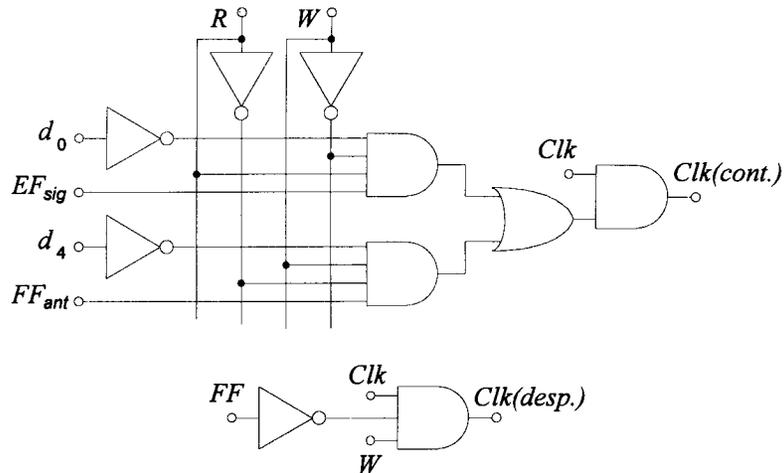


Fig. 12.5.2 Circuito de control para cada módulo de la memoria FIFO de la figura (12.5.1)

El control de incremento/decremento del contador (U / \overline{D}) se obtiene directamente de la señal W puesto que el reloj del contador se habilita sólo cuando las señales de lectura y escritura no coinciden, $R \oplus W$. En el resto de situaciones el reloj del contador está inhabilitado, $R=0$ y $W=0$ no hace nada y $R=1$ y $W=1$ ya se comentó que equivalía a un incremento y decremento simultáneo.

El circuito completo de cada módulo será por tanto el que se muestra en la figura (12.5.3). En esta figura se muestra un módulo de memoria FIFO completo de cuatro

palabras de un bit. Si quisiéramos contemplar más bits bastaría con duplicar el registro de desplazamiento y la línea de datos común. El resto sería común para todos los registros. No se ha incluido aquí para no complicar el dibujo, y la expansión en anchura pedida en el enunciado la obtendremos con dos módulos como el de este esquema.

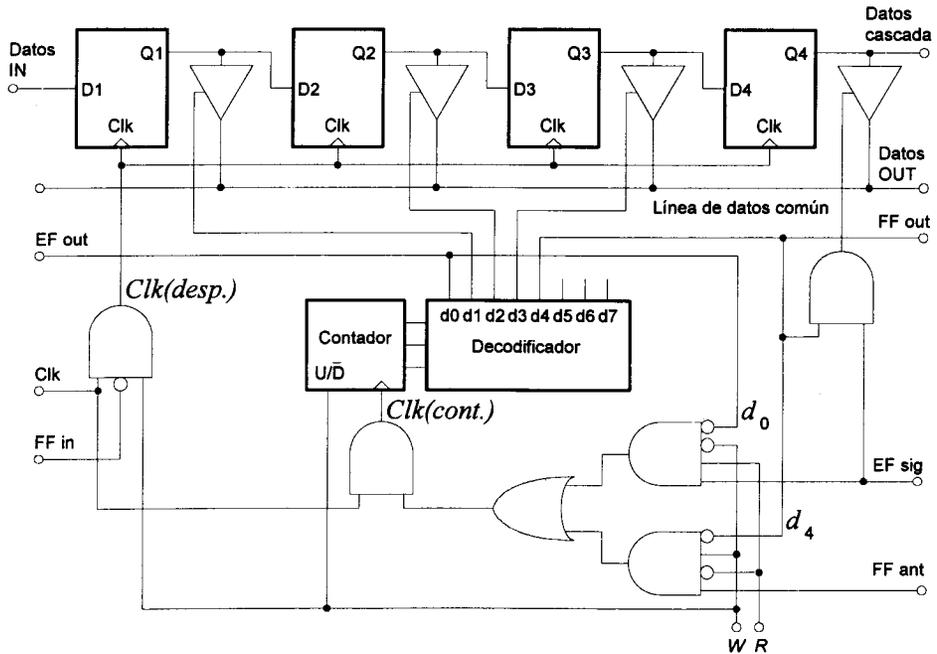


Fig. 12.5.3 Módulo FIFO completo. Sólo se ha incluido un bit. Para palabras más anchas basta con duplicar el registro de desplazamiento pero la lógica de control y el puntero de lectura serán los mismos.

En esta figura se han incluido las señales de control para operación en cascada. Veamos ahora como deben conectarse tanto para funcionamiento individual como para expansiones tanto en anchura como en profundidad.

Para la operación individual del módulo, la entrada FF de memoria llena debe proceder de la salida del mismo módulo, ya que en este caso memoria llena y módulo lleno son lo mismo. Cuando se produzca una lectura o una escritura, la posibilidad de hacerlo debe depender únicamente del estado del módulo con lo que las entradas FF_{ant} y EF_{sig} deberán ponerse a "1". Esto es lo mismo que decir que todos los módulos anteriores están llenos (hay que escribir en este módulo) y que todos los

siguientes están vacíos (hay que leer en éste). La figura muestra uno de estos módulos con las conexiones precisas para funcionamiento individual.

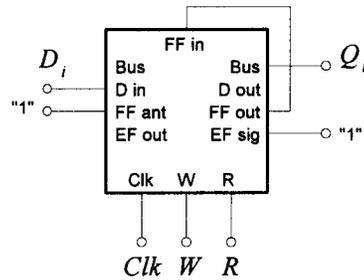


Fig. 12.5.4 Módulo FIFO operando de forma individual

La conexión en cascada es inmediata después de conocer el significado de cada una de las señales de entrada y salida del módulo. En la figura (12.5.5) se muestra un ejemplo con ampliación en anchura (dos bits) y en profundidad (16 bits = 4 módulos).

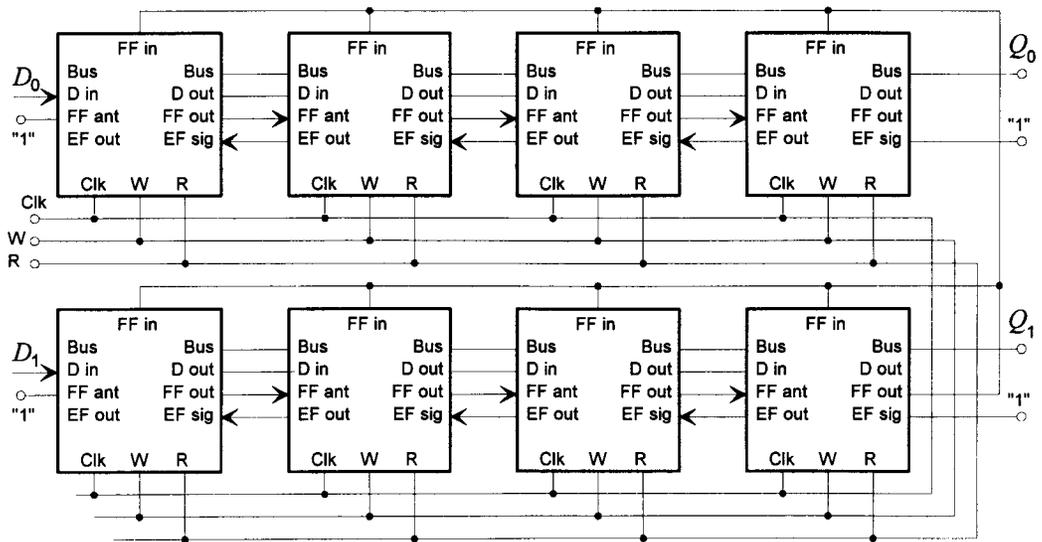


Fig. 12.5.5 Conexión en cascada de ocho módulos FIFO de 4 palabras de 1 bit para obtener una memoria de 16 palabras de 2 bits

□ □ □ □

E.12.6 Conexión de memorias LIFO

En la figura 12.2 del texto de teoría aparece la estructura general de las memorias LIFO. Diseñar una versión mínima para dos registros de cuatro bits cada uno.

Solución:

En una memoria LIFO la última palabra que se escribe es la primera que se lee, y en esto se diferencia de la FIFO. Por lo demás, es también una memoria de acceso secuencial basada en el uso de tantos registros de desplazamiento en paralelo como bits tienen las palabras. En este problema nos piden un prototipo mínimo consistente en cuatro palabras de dos bits. Entonces la parte central estará formada por dos registros convencionales contruidos a partir de la conexión de cuatro biestables D . El problema de diseño está en los circuitos de control que facilitan la lectura o la escritura y los correspondientes desplazamientos. Cuando se escribe una LIFO siempre se hace en la primera dirección (en la parte de arriba de la "pila"). Consecuentemente, el contenido previo de la memoria se empuja hacia "abajo", desplazándose el contenido de los biestables D . Inversamente, al leer en una LIFO, los contenidos de todas las direcciones son "empujados" hacia arriba, ya que la lectura también se realiza en la primera dirección. La memoria no usada queda vacía por "abajo".

Como los bits tienen que poder subir o bajar, todas las entradas D de los biestables deben estar multiplexadas de forma que en el primero la entrada pueda proceder del exterior o del segundo, en el segundo del primero o del tercero, y así sucesivamente. Finalmente, la salida de los primeros biestables también tiene que estar multiplexada ya que durante el modo de escritura tiene que pasar a la entrada del segundo y en el modo de lectura tiene que salir al exterior. La figura (12.6.1) muestra esta parte de la memoria LIFO.

Al igual que en el caso de la FIFO, necesitamos incluir en el circuito un contador que nos prohíba escribir cuando la memoria ya está llena y que tampoco nos deje leer cuando está vacía. Como sólo tenemos cuatro palabras, esto lo conseguimos con un contador reversible de dos bits de forma que cuando la memoria está vacía se encuentra en el estado (00) y cuando está llena en el (11). Ante (00, 01, 10) se permite escribir y ante (11) no. Inversamente, ante (01, 10, 11) se permite leer, pero ante (00) no. Tras cada operación de escritura se incrementa el contenido del contador y tras cada lectura se decrementa. Este circuito de control coincide con el desarrollado en el problema anterior para la FIFO, por lo que no lo repetimos aquí. La única diferencia

es que ahora se deben desplazar los datos tanto en operaciones de lectura como de escritura.

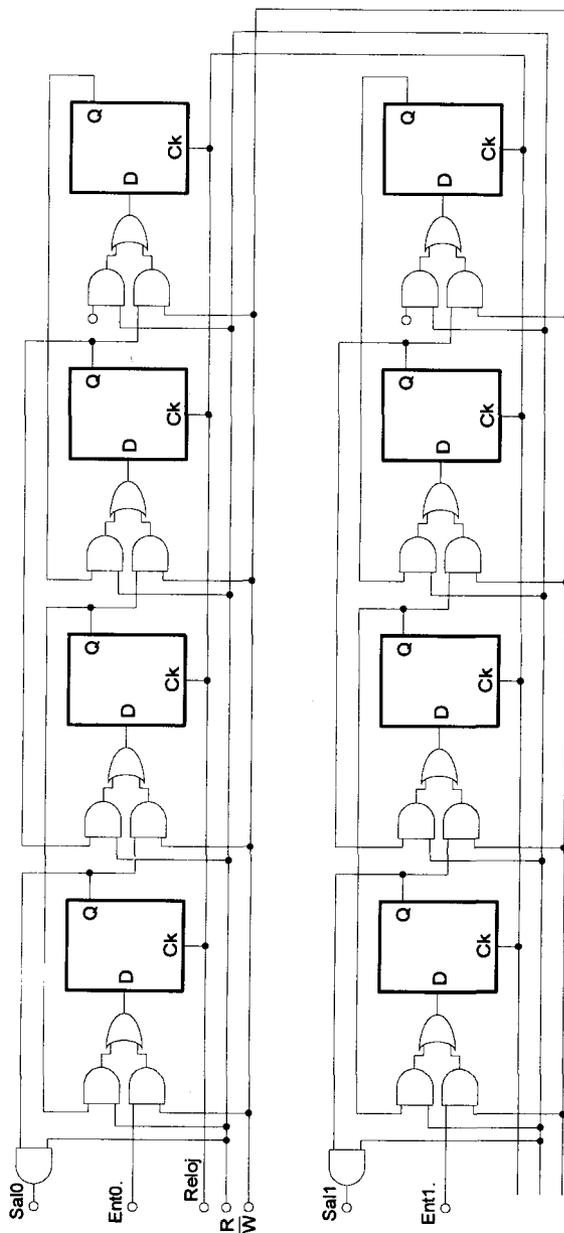


Fig. 12.6.1 Circuito de los dos bits de la LIFO, sin el control
